A Study on the Design of MDCT/IMDCT for MPEG Audio

Jung Tae Kim*, Kee Chun Bang**, Kang Hyeon Rhee*
* School of Electronics & Info-Comm. Eng.,
Multimedia ASIC Design Lab., Chosun University
** Dept. of Multimedia, NamSeoul University.

Abstract

During the last decade, high quality digital audio has essentially replaced analog audio. During this period, digital audio have applied many application areas of the info-industry.

These applications have created a demand for high quality digital audio.

In audio compression, the methods using human auditory nervous properties are used and introduced from psychoacoustical model utilized perceptual audio coding unable to code above the limitation of human perception. The discussion concentrates on architectures and applications of those techniques which utilize psychoacoustical models to exploit efficiently masking characteristics of the human receiver.

In this paper, the designed MDCT/IMDCT as a standard of current MPEG is implemented onto FPGA.

I. 서 론

MPEG Audio와 같은 음성 압축은 인간의 감각특성을 이용해서 감도가 낮은 뉴런의 집합을 생략하고 부호량을 줄이는 체험효과를 빠르게 주에 사용한다. 심리 음향 모델을 적용한 저감음량 압코더와 디코더는 그림 1과 같다.

본 연구는 반도체설계교육센터(IDEF)의 지원 장비 및 CAD용에 의하여 수행된 연구입니다.
MPEG Audio를 위한 MDCT/IMDCT의 설계에 관한 연구

II. MDCT의 구조


MDCT의 수식은 아래와 같이 표현된다.

\[ X_m(k) = \sum_{n=0}^{2m} f(n) \cos \left( \frac{\pi}{2n} (2k+1+\frac{m}{2})(2m+1) \right) \cdot \cdot \cdot (1) \]

\[ m = 0,1,2,\ldots,\frac{n}{2}-1 \]

\[ X_m(m) \]는 MDCT에서 얻은 결과로 주파수영역의 성분이다. 여기서 주파수 영역의 성분의 수는 위와 같이 \( \frac{n}{2} \)개가 된다. 즉 \( m = 0, \ldots, \frac{n}{2} - 1 \) 이고, \( f(n) \)는 분석 블록의 양도수 함수이다.

MDCT의 역 변환은 식(2) IMDCT와 같다.

\[ f(n) = \frac{2}{N} \sum_{m=0}^{\frac{N}{2}-1} X_m(k) \cos \left( \frac{\pi}{2m} (2n+1+\frac{m}{2})(2m+1) \right) \cdot \cdot \cdot (2) \]

\[ m = 0, \ldots, N-1 \]

그림 3은 MDCT의 블록 형성 패턴[5]을 나타낸다. 4장자의 블록 수가 사용되며, 36-point MDCT가 첫번째로 오고, 12-point MDCT가 마지막 블록으로 사용된다. 알리어스 구간 소거를 위해 start 블록은 short 블록 없이 하여야 한다.

그림 4. MDCT 버터플라이 구조

버터플라이 계수는 다음 식(3), 식(4)로 구할 수 있다.
\[ c_i = \frac{1}{\sqrt{1 - c_i^2}} \quad \cdots \cdots \cdots (3) \]

\[ a_i = \frac{c_i}{\sqrt{1 + c_i^2}} \quad \cdots \cdots \cdots (4) \]

### III. IMDCT의 구조와 하드웨어 설계

IMDCT 행렬 벡터는 식(2)에서 볼 수 있듯이 코사인 함수의 사전연산 및 누산이 필요함을 알 수 있다. 이러한 연산을 하기 위해서 연산의 데이터는 2의 보수로 표현하고 2의 보수형태의 연산을 할 수 있게 설계했다. IMDCT의 연산 종류는 ∑, ×, 코사인 함수로 구성되어 있다. 이를 하드웨어로 구현하기 위해서 누산기, 금성기, 코사인함수 발생기가 필요하다. 누산과 금성은 소수점 이하 18자리 이용이다. 따라서 평균값과 각각이 가능하도록 설계하여야 한다. 그리고 코사인 함수는 10자 이상의 다항식이 되어야만 정밀도를 얻을 수 있다.

누산기는 4비트 캐리 전달 가산기 (RCA : ripple Carry Adder)의 캐리를 선택하는 구조로 설계하였다. 즉 캐리 선택 가산기와 레지스터를 사용하여 누산기를 설계하였다. Layer3 디코딩에서 행렬의 가중치가 부하가 많아 업로드가 부하가 심한 부분은 레지스터를 가용한 구조로 설계하여 동작을 고속으로 하였다.

골렘기는 21비트(입력) × 21비트(코사인함수 출력)로 많은 시간을 소요한다. 따라서 코사인함수와 금성을 결과를 레지스터로 만들기로 코사인함수 발생기와 골렘기를 없었다. 태블릿은 복잡한 종류가 long, short long, short, short 4가지이고, long, short, 복잡한 몱외름가 2비트로 만들고 다른 복잡들은 같은 태블릿에 넣어 분산산술 연산의 참조 태블릿(DALUT : Distributed Arithmetic Look-Up Table)로 골렘을 구현하였다. DALUT로 골렘을 구성하였으므로 입력에 대해 정밀한 태블릿을 찾는 태블릿 선택기가 필요하다. 태블릿 선택은 샘플의 입력 순번과 입력 값에 따라 결정되므로 카운터와 디코더를 사용하여 어드레스 디코더를 설계하였다.

그림 5는 IMDCT의 전체 블록 다이어그램이다. IMDCT 계수는 long, long-short, short-long 복잡하다. 따라 해당하는 계수 태블릿을 선택한다. 마찬가지로 각각의 시브에셋의 분리도를 높이기 위해 사용하는 레지스터의 범위를 복잡하게 해야 설계된다. 그리고, 시간영역의 변압을 줄기하기 위해 느린소자 216 사용한다. 계수 값들의 금성은 DALUT를 사용하고, 모든 데이터는 2의 보수형태로 계산한다.

### 3.1 캐리 선택 누산기의 설계

누산기는 4비트 캐리 전달 가산기와 MUX, 파이프라인 레지스터, 누산용 레지스터로 구성되었다. 하위 4비트부터 캐리 전달 지연이 발생하고 다음 상위 4비트는 같은 시간에 캐리 1 0을 계산하되 하위 4비트 가산자 앞은 캐리 출력을 MUX에서 선택하도록 하여 8비트까지의 전달지연은 4비트 캐리 지연 + MUX 스위칭 시간만이 소요되어 고속으로 동작할 수 있다.

16비트 가산기는 위와 같이 구성된 8비트 CSA (Carry Select Adder)의 같은 방식으로 구성하여 더 이상의 캐리 전달지연이 발생하지 않도록 하였다. 그림 6은 24비트 캐리 선택 누산기의 전체 구조를 보여준다.

### 3.2 DALUT을 사용한 승산기의 설계

설계된 승산기를 구성하고 있는 것은 DALUT, 쉬프트 가산기, DALUT을 사용한 병렬 파이프라인 승산기와 누산기이다. 설계된 승산기의 모든 블록은 클릭동기로 음직이며, 외부 컨트롤러의 제어가 간결하도록
MPEG Audio를 위한 MDCT/IMDCT의 설계에 관한 연구

EN(측도 제어용), RESET(초기화), B(동작중)선을 두었다. 각각의 LUT는 모두 같은 메모리 공간을 사용하므로 메모리 셀 1개로 구성되어 있다. 이 설계는 IMDCT에서 코사인함수의 중간을 구하기 위한 것이 다. 그리고 결과는 다시 합성원도수 값을 끌어올리하여 끌어올리는 단위로 24비트까지 처리하여 누산 결과를 41비트까지 계산할 수 있도록 처리 비트 크기만큼 크게 설계하였다. 그림 7은 제안된 설계한 승산기의 구조다.

그림 7. DALUT을 사용한 승산기의 구조

본 논문에서 사용된 DALUT 방식의 승산기 구조는 랜덤 파이어라인 되어 처리되므로 속도 향상을 가져온다. 그림 8은 Synopsys를 사용하여 합성된 성능 품목 설계와 이에 따른 하위수준 Gate 레벨 합성 결과를 나타낸다.

(a) 승산기의 패 축별 (b) 승산기의 합성

그림 8. DALUT를 사용한 승산기의 합성

그림 9는 본 논문에서 구현한 합성필터 전체를 구성하는 FPGA에 구성한 IMDCT의 전체 품목의 합성 결과이다.

그림 9. IMDCT 합성 필터의 합성

본 논문에서는 MPEG-1 Audio의 LayerⅢ의 핵심 부분인 MDCT/IMDCT를 설계할 때, 임베디드 FFGA에 구현하였다.

구현된 시스템은 실제 여러 개의 FFGA에 나누어 합성되거나 ASIC으로 구현할 경우 합성효율이 매우 높아지게되어 크기가 작아진다. 또한 높은 속도가 약 30%정도 빨라지므로 실제 50초일 이상을 최고화할 수 있다. 본 시스템에서 설계된 MDCT/IMDCT는 MPEG 에 디바이드 음용시스템에 적합하게 적용할 수 있다.

참고문헌