Active-clamp current-fed push-pull converter

Sang-Sik Kim, Bong-tiwan Kwon
Department of Electronics & Electrical Engineering, Pohang University of Science and Technology

Abstract – An active-clamp current-fed push-pull converter for the step-up application is proposed. The proposed converter is composed of active-clamp circuits and a voltage doubler rectifier. Thus, the voltage stress of the main switches is reduced and the output diodes are clamped to output voltage. Moreover, the output diodes can achieve zero current switching (ZCS) by the series resonance between resonant capacitors and leakage inductances. The prototype is designed for 350V/1.5kW with input voltage range 30-60V. The theoretical analysis and experimental results are presented.

1. 서론

최근 전력 전송, 태양 전지, 그리고 배터리 등에서 고전압의 전류를 적절한 전압으로 변환하고, 높은 전력 효율을 갖는 전력 변환장치에 대한 관심이 높아지고 있다. 특히 입력 주파수에 맞는 입력 전류의 높은 영역에서 성능을 높이는 데 주목을 끌고 있으며, 그로 인해 많은 연구가 진행되어 왔다. 전력공급은 전력원의 입력을 변환하는 데서, 이는 전력공급에 많은 비용이 들며, 입력 전류 상승(ripple)이 많은 전류 필요에 따라 광범위한 주파수 영역에서 성능을 높이기 위해 스위치 사이클 스테이지가 제한되어야 한다 [1]. 또한, 속도 대응도의 역 복귀(reverse recovery) 특성을 높은 전류 소스로 하는 전력 스위치는 전력 소스를 증가 시킨다 [1]~[3].

본 논문에서는 전력공급은 전류를 변환기에 등용 클램프(Active-clamp) 회로와 volts doubler 회로가 구성된 전력회로를 제안한다. 1) 스위치 Si, S2, S3, S4의 기간 다이오 드 D1, D2, D3, D4, D5가 기저상의 특성을 가진다. 2) 스위치 주파수 (f)함께 같은 시비를 DB 가진 주 스위치 Si, S2는 서로 스위치 반주 기존을 원래로 하고, 입력 전압에 따라 시비비용 0.5보다 작거나 큰 영역 에서 동작한다. 3) 같은 1/2에 있는 Si1, S3, S2와 D4의 기간은 레드 타임 (dead time)을 가지면서, 상대적 (complementary)으로 동작한다. 4) 클램 프 회로는 C1, C2로 급료 클램프 C1의 양면에 걸려 있는 전류 v1, v2의 리플(ripple)은 무시할 수 있고, 이들은 C1, C2의 전압 Vc를 가진다. 5) 경전 회로 C1, C2는 경전을 가진다.

<그림 1> 동력 클램프의 변환 전류 회로

2.2. D<0.5 일 경우, 동급 모드 및 이론 파형

회로 2.3는 사용 D가 0.5보다 작을 경우, 변환기의 동급 특성 및 주요 부의 전압과 전류의 이론 파형을 나타낸다. 변환기는 이론 파형에서 보이듯이 동정 주파수에서 동작한다.

\[ i(t) = i(t) - \frac{Vc - Vc}{L}(t-t_d) \]

(1)

모도 2 [t1, t2]: t > t2일 때, 스위치 S1이 도는되고, 이때, 인터페이스 L에 도는 전류 \( i(t) \)은 식 (2)와 같이 증가한다.

\[ i(t) = i(t) + \frac{2Vc - Vc}{2L}(t-t_d) \]

(2)

또한, 2에 손실 인터페이스 L에 경전 회로의 조절 전압 C1, C2의 저항 전압에 의해서 2차 채 전류 \( i(t) \)가 호르고, 1차 채의 역버터는 2차 채의 용량으로 전환된다. 이때, 2차 채 전류 \( i(t) \)과 경전 회로에 전압 \( v(t) \)은 식 (3), (4)로 표현된다.

\[ i(t) = \frac{nVc - v(t)}{Z}(t-t_d) \]

(3)

\[ v(t) = \frac{1}{1} \left( C_1 + C_2 \right) \left( C_1 + C_2 \right) \left( C_1 + C_2 \right) (t-t_d) \]

(4)

\[ w_c = \sqrt{\frac{1}{L_c}} \left( G_c + G_{12} \right) \left( G_c + G_{12} \right) \left( G_c + G_{12} \right) \]

(5)

\[ n = \frac{Vc}{2Z} \]

(6)

스위치 S1과 S2에 도는 전류 \( i(t) \), \( i(t) \)는 각각 식 (5), (6)의 동일한 인터페이스 전류 \( i(t) \)와 직접 전압에 의한 전류 \( i(t) \)로 나타낸다.

\[ i(t) = n_i(t) = \frac{i(t)}{2} \]

(5)

\[ i(t) = n_i(t) = \frac{i(t)}{2} \]

(6)

모드 3 [t3, t4]: t = t3일 때, 각 랜단 전류에 원래부터 도는 스위치 S1과 S2는 도달되어 있기 때문에, 인터페이스 L에 역버터는 지속된다. 또, Mode 1과 같이, 1차 채 전류 \( i(t) \)와 \( i(t) \)는 크기가 같고, 서로 반대 방향으로 호르기 때문에, 2차 채의 역버터가 전달되지 않는다.
2.3. D=0.5 일 경우, 동작 모드와 이론 파형

(그림 4) 컨버터의 동작 모드
(그림 5) 주요부의 이론 파형

그림 4와 같은 시스템을 D가 0.5보다 클 경우, 컨버터의 동작 모드와 주요부의 전압과 전류의 이론 파형을 나타낸다.

모드 1 [k1, k2] = [1, 1]일 때, 스위치 S1/S2는 동작되고, 인덕터 L에 호전되는 전류는 식 (7)과 같이 증가한다. 이 때, 트랜스포머의 1차 측 전류 iL1과 iL2는 크기가 같고 서로 반대 방향으로 호전기 때문에, 2차 측으로에 바닥이 전달되지 않는다.

\[ i_2(t) = i_1(t) + \frac{V_2}{L}(1-t) \]  
(7)

모드 2 [k1, k2] = [1, 0]일 때, 스위치 S1/S2는 소거되고, 데드 타임이 지나 후에, 스위치 S1/S2가 동작되면서 인덕터 전류 iL2는 식 (8)의 결과를 준다.

\[ i_2(t) = i_1(t) - \frac{V_2}{2L}(1-t) \]  
(8)

또한, 2차 측의 누설 인덕턴스 Lm와 공진 콘덴서 Cm, Cg의 직류 공진으 로 인한 전류 iL의 호전, 즉 1차 측의 에너지는 2차 측으로 전달된다. 이 때, 2차 측 전류 iL2는 스위치 전류 iL3과 iL4의 공진 콘덴서 전압 Vm은 식 (9)와 같은 관계를 준다.

모드 3 [k1, k2] = [0, 1]일 때, 직류 공진이 나타나지 않아서, 스위치 S1/S2는 도중이 되어 있기 때문에, 인덕터 전류 iL2는 소거된다. 또한, 모드 1과 같이, 2차 측 전류 iL2는 iL3의 크기가 같고, 서로 반대 방향으로 호전기 때문에, 2차 측으로에 바닥이 전달되지 않는다.

2.4. 제한하는 최대의 설계

인덕터 L에 vol. second law를 적용하면, 클램프 콘덴서에 인가되는 전류 iL3과 iL4의 특성을 식 (10)으로 표현될 수 있다. 클램프 전류 iL3은 1차 측 전류 iL1의 값이 같은 스위치 전류 L의 1/2, 2차 측 전류 iL4의 값에 서로 의한 값 (11)과 같다.

\[ \frac{V_2}{V_G} = \frac{2n}{1-D} \]  
(9)

스위치 아이오드 D1과 D2는 클램프 전류 Vm을 클램프하고, 클램프 전류 iL3을 식 (10)으로 표현될 수 있다. 클램프 전류 iL3을 1차 측 전류 iL1의 값이 같은 스위치 전류 L의 1/2, 2차 측 전류 iL4의 값에 서로 의한 값을 (11)과 같다.

\[ i_s = \frac{i_L}{2D} = \frac{1}{2} \left( \frac{V_m}{L} \right) \]  
(10)

\[ i_{peak} = n \frac{V_m}{L} \left( \frac{1}{2} \right) = \frac{\pi L_m}{\omega_m} \]  
(11)

행 전류 스위칭 (ZCS)을 통해, 클램프 아이오드 D1과 D2의 역할 특성에 의해 전류를 절제하기 위해서는 iL3이 iL2의 값이 된다. 이를 위해, 1차 측 전류 iL2가 결정하는 요소는 절제된 공진 콘덴서의 값과 시스템의 범위 에 따라 각각 식 (12)와 (13)에서 사용해야 한다.

\[ C_s \leq \frac{D^2 T^2}{\pi^2 L_m} \quad (D<0.5) \]  
(12)

\[ C_s \leq \frac{(1-D)T^2}{\pi^2 L_m} \quad (D>0.5) \]  
(13)

3. 실질 파형과 결과

제작한 컨버터는 입력 전압 30V, 출력 전압 350V, 스위칭 주파수 75kHz로 하여 동작한다. 본 실험에서는 트랜스포머 1의 전압비와 전압비의 원안비를 N=1:17로 하고, 종 (9)에 의해 시비율은 0.27~0.68 정도의 범위를 가진다. 또한, 트랜스포머의 굵음 인덕턴스가 750nH임 탓에, 식 (12)와 (13)을 고려하여 공진 콘덴서 C과 Cm의 값을 각각 1nF로 설계하면, 공진 주파수 f은 135kHz가 된다. 그림 6과 7은 시비율이 0.5보다 작은 경우, 그림 8과 9는 시비율이 0.5보다 클 경우의 주요 전압과 전류의 실질 파형이다.

(그림 6) i1, Vm과 i2의 파형
(그림 7) i1과 i2의 파형

다이오드의 역 전류 스위칭 (ZCS)는 공진 주파수 f를 가지는 출력 다이오 드 전류 i1의 실질 파형을 통해 확인된다.

(그림 8) i1, Vm과 i2의 파형
(그림 9) i1과 i2의 파형

그림 10은 입력 전압과 출력 부하에 따른 효율의 변화를 보여주고 있으 며, 입력 전압 36V, 출력 부하 1.5kW일 때 전력에서 최고 효율 66.5%를 기록한다.

(그림 10) 입력 전압과 출력 부하에 따른 효율

4. 결론

본 논문에서는 높은 클램프 회로를 이용한 전류원 푸시-풀 컨버터를 제안 하였다. 동등 클램프 회로는 푸시-풀 회로에 등장한 전류의 크기를 소요하는 수동 스위치 (amplitude) 회로보다 더 작고, 그 에너지 절소와 실수요의 감소 효과가 있음으로써, 스위치와 전압 스위칭을 줄였다. 또한, 2차 측의 외부 voltage doubler 회로는 누설 인덕턴스의 공진 콘덴서의 직류 공진을 통한 역 전류 스위칭 (ZCS)으로 다이오 드의 역 특성에 의한 손실을 저하시키며 전력 변환 효율을 높였다.

[참고 문헌]