

ECMA 표준에 기반한 Multi-Gigabit Packet 수신기 알고리즘 설계 및 구현

이용욱, 이지연, 오왕록  
 충남대학교 전기정보통신공학부

Design and Implementation of Multi-Gigabit Packet Receiver Algorithms based on ECMA Standard

Yongwook Lee, Jiyeon Lee, Wangrok Oh  
 Department of Electronics and Computer Engineering, Chungnam National University

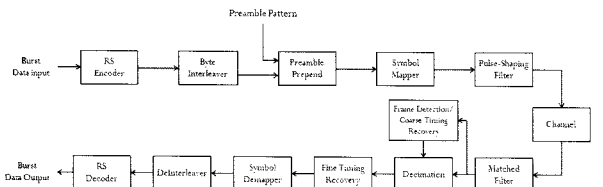
**Abstract** - 본 논문에서는 ECMA 표준에 기반한 multi-gigabit packet 수신기를 위한 프레임 검출 방안을 제안한다. ECMA 표준은 60 GHz 대역에서 multi-gigabit 전송을 달성하기 위하여 버스트 (burst) 송수신 방식을 사용하며 프리엠블 (preamble)과 데이터 (data)로 이루어진 프레임 (frame)을 통하여 데이터 송수신이 이루어진다. 본 논문에서는 ECMA 표준 중 DBPSK (Differential Binary Phase Shift Keying)와 DQPSK (Differential Quadrature Phase Shift Keying) 그리고 OOK (On-Off Keying) 변조 방식을 지원하는 multi-gigabit 송수신 시스템을 위한 프레임 검출기를 설계하였다. 설계된 프레임 검출기는 동일한 구조 및 동작 방식을 통하여 고려한 모든 변조 방식들을 지원할 수 있을 뿐만 아니라 하드웨어 구현 복잡도가 낮은 장점을 지닌다.

1. 서론

미래의 멀티미디어 무선 통신을 실현하기 위해서 광대역 주파수 자원이 필요하게 되었고 그로인해 지금까지 상용 시스템에서 사용되지 않았던 밀리미터파 대역(30GHz ~ 300GHz)이 새로운 주파수 자원으로 대두되고 있다. 미국의 경우 2001년 FCC에서 57~64GHz 주파수 대역을 허가 없이 사용할 수 있도록 할당하였고 일본과 캐나다, 유럽 등도 이러한 국제 주파수 정책에 발맞추어 빠르게 대응하고 있다. 국내에서도 지난 2006년 7월 정보통신부는 57GHz~64GHz에 걸친 7GHz의 주파수 대역을 무선 통신용으로 할당하였다. 이러한 60GHz 밀리미터파 대역 채널의 특성으로는 광대역을 사용할수록 높은 데이터 전송률을 얻을 수 있다는 점 이외에 직진성이 강해 주변 간섭에 매우 강하고, 보안성이 뛰어나며, 주파수 재사용이 용이하다는 등 기술응용이 쉬운 장점을 가지고 있다. 또한, 파장이 짧아 각종 소자의 소형화 및 경량화가 가능하다. 반면, 감쇄현상으로 인하여 전파거리가 짧고 직진성의 특성으로 인하여 가시거리(line of sight) 확보가 어려운 문제점이 있다. 본 논문에서는 이러한 밀리미터파 대역 (60GHz)에서 고속의 데이터를 근거리에서 무선 전송하기 위한 ECMA 표준 [1-2]에 기반한 버스트 모드 multi-gigabit 송수신 시스템을 위한 수신 알고리즘을 제안하고 성능을 분석하였다. 제안된 알고리즘들은 동일한 구조의 수신기를 통하여 다양한 변조방식을 지원할 수 있을 뿐만 아니라 하드웨어 구현 복잡도가 낮은 장점을 지닌다.

2. 시스템 모델

ECMA 표준에 부합하는 multi-gigabit 송수신 시스템의 구조는 <그림 1>과 같다. 입력된 신호는 Reed-Solomon (RS) 부호화와 인터리버를 거친 후 프리엠블을 패턴과 조합되어 하나의 패킷을 구성한다. 이러한 방식으로 형성된 패킷 신호는 변조와 송신 여파기를 거친 후 전송된다. 여기에서 송신 여파기는 roll-off 계수가 0.25인 root raised-cosine 여파기를 사용하였다.



<그림 1> Multi-gigabit Packet 송수신기

본 논문에서는 DBPSK, DQPSK 그리고 OOK 변조방식을 지원하는 수신 알고리즘들을 설계하였다. 백색 가우시안 잡음 채널을 통과한 수신 신호는 정합 필터 (matched filter)를 거친 후 프레임 검출 블록으로 입력되어 프레임 검출과 초기 타이밍 획득에 사용되며 이러한 과정을 성공적으로 거친 신호는 잔류 타이밍 오프셋 (timing offset) 보상을 위한 미세 타이밍 동기 블록을 거쳐 정확한 심볼 타이밍에서 표본화된 후 인터리버 (deinterleaver)와 RS 복호화를 통과한 후 출력된다.

2.1 ECMA 표준의 프리엠블 구조

ECMA 표준에서는 프리엠블 패턴을 생성하기 위하여 먼저 식 (1)과 같은 관계식을 통해 길이가 16 bit인 Frank-Zadoff 시퀀스를 생성한다.

$$S_{FZ, A_{FZ}}[n] = \exp\left(j \frac{2\pi pq}{A_{FZ}}\right) \quad (1)$$

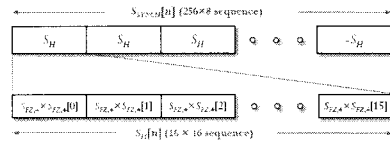
여기에서  $p = (n \bmod A_{FZ}) + 1$ ,  $q = \left\lfloor \frac{n}{A_{FZ}} \right\rfloor + 1$ ,  $n = 0, \dots, A_{FZ}^2 - 1$ 이며 길이가 16 bit인 시퀀스를 생성하기 위하여  $A_{FZ} = 4$ 를 이용한다. 이렇게 생성된 시퀀스  $S_{FZ, 4}[n]$ 를 식 (2)와 같은 관계식을 이용하여 길이가 256 bit인 시퀀스  $S_H[n]$ 를 생성하고 이를 다시 식 (3)과 같은 covering 시퀀스와 식 (4)의 관계식을 통하여 길이가 2048 bit인 시퀀스  $S_{SYNCH}[n]$ 를 생성하며 이를 프리엠블 패턴으로 사용한다 [1-2].

$$S_H[n] = S_{FZ, 4}[n \bmod 16] \times S_{FZ, 4}\left[\left\lfloor \frac{n}{16} \right\rfloor\right] \quad n = 0, 1, \dots, 255 \quad (2)$$

$$S_{COVER}[n] = \begin{cases} 1 & n = 0 \dots 6 \\ -1 & n = 7 \end{cases} \quad (3)$$

$$S_{SYNCH}[n] = S_{COVER}[(n/8)] \times S_H[(n \bmod 256)] \quad n = 0, \dots, 2047 \quad (4)$$

아래 <그림 2>는 이와 같은 과정을 통하여 생성된 프레임 동기화를 위한 프리엠블 패턴의 구조를 도식화한 것이다.



<그림 2> 프레임 동기화를 위한 프리엠블 구조

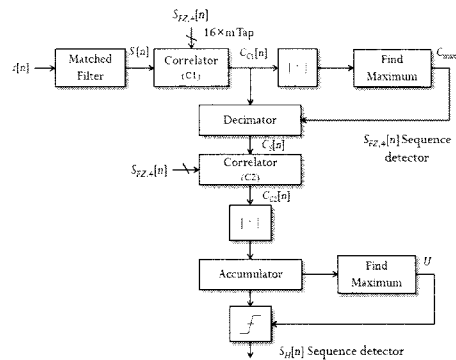
프리엠블 시퀀스는 DBPSK와 DQPSK 변조방식이 사용되는 경우 식 (5)와 같이 실수부와 허수부의 합을 통해 변조 심볼이 결정되며 OOK 변조 방식의 경우 식 (5) 및 식 (6)을 통해 OOK 변조 심볼로 변환된다.

$$S_{B_{SYNCH}}[n] = \text{Re}\{S_{SYNCH}[n]\} + \text{Im}\{S_{SYNCH}[n]\} \quad (5)$$

$$S_{C_{SYNCH}}[n] = \begin{cases} 1 & \text{if } S_{B_{SYNCH}}[n] < 0 \\ 0 & \text{if } S_{B_{SYNCH}}[n] > 0 \end{cases} \quad (6)$$

2.2 프레임 검출

본 논문에서는 앞에서 설명한 프리엠블 패턴을 이용하여 프레임 동기를 획득하는 프레임 동기 알고리즘을 설계하였다.



<그림 3> 프레임 검출기

버스트 모드의 데이터 통신 방식에서 데이터의 유무 확인 과정이 필수적이며 이에 관하여 다양한 알고리즘이 제안되어 있다. 본 논문에서는 앞에서 기술한 프리엠블이 계층 구조를 가지고 있는 특징을 이용하여 간단한 하드웨어를 통하여 프레임 검출을 수행할 수 있는 알고리즘을 제안한다. 변조 방식으로 DBPSK 혹은 DQPSK가 사용된 경우, 정합필터를 통과한 수신 신호  $s[n]$ 과  $S_{FZ, 4}[n]$  시퀀스를 이용한 상관기 (C1) 출력 신호  $C_{C1}[n]$ 은

$$C_{C1}[n] = \sum_{l=0}^{15} S_{FZ, 4}[l] \cdot S[l \times m + n] \quad n = 0, \dots, (16 \times m) - 1 \quad (7)$$

와 같이 표현되고, 여기서  $m$ 은 과표본화율을 나타낸다. 상관기 (C1) 출력 신호  $C_{C1}[n]$ 의 절대값 중 최대값을 찾아 길이가 16 bit인  $S_{FZ, 4}[n]$  시퀀스의 시작점,  $C_{max}$ 를 검출하는 방법은 다음의 식 (8)과 같다.

$$C_{max} = \underset{k}{\operatorname{argmax}} |C_{C1}[k]|, \quad 0 \leq k \leq (16 \times m) - 1 \quad (8)$$

이렇게 구해진  $C_{max}$  지점으로부터 상관기 (C1)의 출력인  $C_{C1}[n]$ 을  $16 \times m$

간격 마다 표본화하여 신호  $C_s[n]$ 를 구할 수 있다.

$$C_s[n] = C_{C1}[C_{\max} + (16 \times m) \times n] \quad n = 0, 1, 2, \dots \quad (9)$$

최대값을 통해 표본화된 신호  $C_s[n]$ 와  $S_{FZ,1}[n]$ 를 이용한 두 번째 상관기 (C2)의 출력  $C_{C2}[n]$ 는

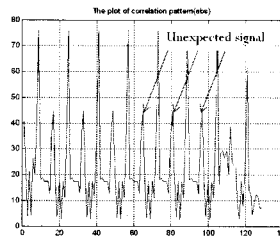
$$C_{C2}[n] = \sum_{i=0}^{15} S_{FZ,1}[i] \cdot C_s[i+n] \quad n = 0, 1, 2, \dots \quad (10)$$

과 같이 나타나고, 출력값  $C_{C2}[n]$ 의 절대값에 누적 횟수  $I$ 번 만큼의 누적을 통하여 그 중 최대값을 검출 하는 것은 식 (11)과 같다.

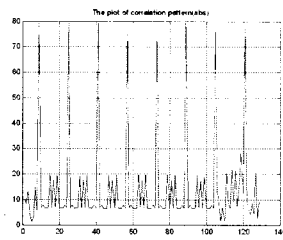
$$U = \max \sum_{i=0}^{I-1} (|C_{C2}[i \times 16 + n]|), \quad 0 \leq n \leq 15 \quad (11)$$

이렇게 최종적으로 출력된 최대값  $U$ 는 설정된 임계값과의 비교를 통해 프레임 검출을 수행할 수 있으며 프레임이 존재한다고 판단된 경우 그 최대값이 갖는 위치를 찾음으로써 길이가 256 bit인  $S_M[n]$ 의 타이밍 정보를 검출할 수 있다. 이와 같은 구조를 사용함으로써 길이가 256 bit인  $S_M[n]$  시퀀스 검출기를 256 탭 (tap)을 갖는 상관기로 구현하는 대신 16 탭의 상관기 두 개를 이용하여 구현할 수 있으므로 하드웨어 복잡도를 크게 낮출 수 있다. 또한 프리앰블 검출 성능을 개선하기 위하여 C2 상관기의 출력 신호의 절대값을 일정 길이동안 누적한 후 프레임 검출 및 초기 타이밍 복원에 활용할 수 있으며 시스템의 분실 확률 (missing probability) 및 오정보 확률 (false alarm probability) 요구 사항에 따라 누적 횟수를 조절할 수 있다.

변조 방식으로 OOK이 사용되는 경우에는 일반적으로 변조 방식이 변경됨에 따라 프레임 검출기의 구조가 변경되어야 하는 문제가 있다. 본 논문에서는 변조 방식으로 DBPSK와 DQPSK가 사용될 경우 적용 가능한 프레임 검출기를 OOK 변조 방식이 사용될 경우에도 동일하게 사용할 수 있는 방안을 도출하였다. ECMA 표준에서는 변조 방식으로 OOK이 사용될 경우 식 (4)를 통하여 생성된 프리앰블 패턴을 식 (5)와 (6)의 관계식을 이용하여 변환한 후 프리앰블 패턴으로 사용하도록 제안되어 있다. 하지만 이러한 OOK 변조방식으로 변환된 프리앰블 시퀀스가 DBPSK와 DQPSK에서 사용되는 상관기 (C1)의 출력 신호에 bias가 존재하게 되고 두 번째 상관기 (C2)를 거쳐게 되면 <그림 4>에서 관찰할 수 있는 바와 같이 원하지 않는 부분에서 찢절들이 발생하게 된다. 본 논문에서는 OOK 변조 방식에서 이러한 성능 저하 요인을 제거하기 위하여 자기상관을 위한 시퀀스  $S_{FZ,1}[n]$ 을 -0.333 (-1/3)만큼 천이시키는 방안을 도출하였으며 <그림 5>에서 볼 수 있듯이 OOK가 사용될 경우에도 상관기 (C2)의 출력 신호는 안정된 결과를 나타낸다. 그 결과 DBPSK 및 DQPSK 변조 방식과 동일한 프레임 검출기를 OOK 변조 방식을 사용하는 경우에도 적용할 수 있다.



<그림 4> OOK 변조 방식의 경우 상관기 (C2) 출력



<그림 5> 제안된 방식을 사용한 경우 상관기 (C2) 출력

### 3. 모의실험 결과

#### 3.1 프레임 검출

본 논문에서는 ECMA 표준을 기반으로 Frank-Zadoff 시퀀스를 이용하여 2048 bit 길이의 프리앰블을 생성하고 계층적 구조를 이용하여 하드웨어적인 복잡도를 최소화한 상관기를 설계하였다. 상관기 C2 출력 누적 회수에 따른 일정 오정보 및 분실 확률은 다음의 식 (12), (13)을 통해 구할 수 있다.

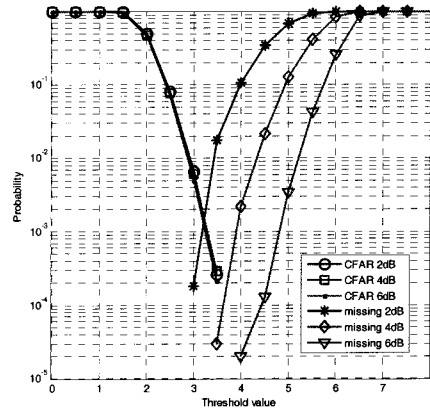
$$P_{FA} = P(U_{norm} > Th | H_1) \quad (12)$$

$$P_M = P(U < Th | H_0) \quad (13)$$

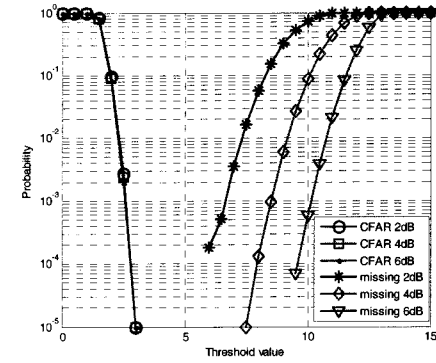
여기서  $H_0$ 와  $H_1$ 는 정확한 frame detection이 이루어 졌을 때와 그렇지 않을 때를 나타내고,  $Th$ 는 임의의 임계치를 나타낸다.  $U_{norm}$ 은 식 (11)에서 구한  $U$ 를  $C_{C2}[n]$ 의 평균 전력으로 나누어 준 값이다.

$$U_{norm} = \frac{U}{\frac{1}{L_n} \sum_{j=0}^{L_n-1} |C_{C2}[j]|} \quad (14)$$

$L_n$ 은 상관기 (C2) 출력의 길이, 즉 128 이다.  $U_{norm}$ 을 통하여 일정 오정보 확률은 SNR의 변화에 상관없이 일정한 곡선을 보인다는 것을 예측할 수 있다. <그림 6, 7>에서 볼 수 있는 바와 같이 누적 회수가 2회 이상일 경우 고려한 모든 신호대잡음비에서 임계값을 4로 잡을 경우 오정보 및 분실 확률을  $10^{-5}$  이하로 낮출 수 있다.

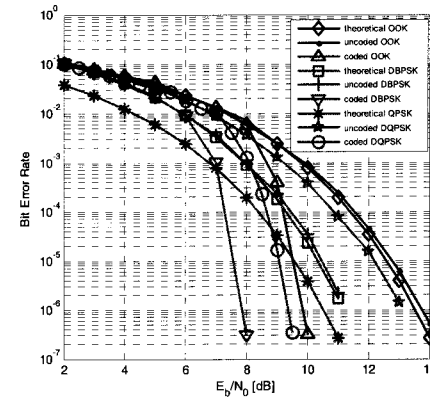


<그림 6> 누적 횟수 1회인 경우 오정보 및 분실 확률



<그림 7> 누적 횟수 2회인 경우 오정보 및 분실 확률

### 3.2 전체 시스템 성능



<그림 8> 전체 시스템의 BER 성능

프레임 검출 및 잔류 타이밍 오차 복원 알고리즘을 적용한 시스템의 성능을 확인하였으며 그 결과는 <그림 8>과 같다.

### 4. 결론

본 논문에서는 ECMA 표준에 기반한 Multi-gigabit packet 수신기를 위한 프레임 검출 알고리즘 설계 및 구현 방법에 관하여 연구하였다. 버스트 모드로써 프리앰블로는 Frank-Zadoff 시퀀스를 사용하여 계층적 구조 (hierarchical)로 구성하였고 하드웨어 복잡도를 줄인 상관기를 통하여 프레임 검출하는 알고리즘을 제안하고 모의실험을 통해 시스템의 성능을 검증하였다. 차동 변조방식을 감안하여 주파수 오프셋과 채널 추정을 고려하지 않았으나 시스템의 안정성을 고려하여 주파수 오프셋 보정과 채널 추정 기법을 도입할 필요가 있다.

### [참고 문헌]

- [1] PHY and MAC Layers for 60 GHz Wireless Network; 6th Draft Standard ECMA-XXX; TC48/2008/050, Mar 2008
- [2] Merged 60 GHz AD PHY Proposal; ECMA/TC32-TG20/2007/124, 2007
- [3] Floyd M. Gardner, "A BPSK/QPSK Timing-Error Detector for Sampled Receivers," IEEE Trans. on Comm., Vol. Com-34, No. 5, May 1986