

## 시그마-델타 변조기를 이용한 CMOS 온도센서 설계

이덕환, 이주석, 김일권, 김경환, 박동삼\*, 유종근  
 인천대학교 전자공학과, \*기계공학과

### Design of a CMOS Temperature Sensor Using a Sigma-Delta Modulator

D. H. Lee, J. S. Lee, J. K. Kim, K. H. Kim, D. S. Park\*, C. G. Yu  
 Dept. of Electronics Engineering, \*Dept. of Mechanical Engineering, University of Incheon

**Abstract** - 본 논문에서 설계한 온도센서는 0.18 $\mu$ m CMOS 공정으로 -5 $^{\circ}$ C ~ 125 $^{\circ}$ C의 온도 범위에서  $\pm 0.1^{\circ}$ C의 정확도를 갖는다. 이 센서는 parasitic PNP 트랜지스터로 온도 변화에 따른 전압을 추출하고 시그마-델타 변조기를 이용하여 디지털 온도 값을 얻기 위한 비트스트림을 생성한다. 또한, 이상적이지 않은 요소로 인해 발생할 수 있는 에러를 0.01 $^{\circ}$ C 레벨로 감소시키기 위해 DEM(Dynamic Element Matching)과 2차 시그마-델타 변조기를 이용하였고, Bandgap Reference 회로로 온도 변화에 상관없이 일정한 bias 전압을 생성한다. 설계된 온도센서의 면적은 PAD를 포함하여 0.98 mm $\times$ 0.92mm이고, 1.8V 단일 전원에서 동작한다.

$\Sigma\Delta$  변조기의 연속적인 사이클에서 mismatch로 인한 에러들을 평균화하게 된다.

$$V_{BE}(T) = \frac{kT}{q} \ln \left( \frac{I_{bias}(T)}{I_s(T)} \right) \quad (1)$$

$$\Delta V_{BE} = \frac{kT}{q} \ln(p) \quad (2)$$

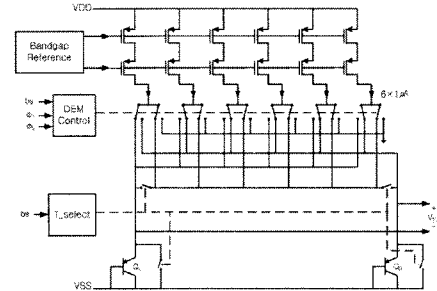
위 식을 이용하여 계산한 결과 27 $^{\circ}$ C에서 이론값은 41.6mV였으며 모의실험 결과는 이와 유사한 41.7mV를 나타내었다. 그림 3은 27 $^{\circ}$ C에서 BJT Core의 모의실험한 결과이다.

#### 1. 서 론

온도센서는 측정, 기구, 제어시스템 등 많은 분야에서 사용되고 있다. 특히 전원회로나 모터회로와 같은 항상 열이 발생하는 회로에서 열을 식히지 않으면 시스템 전체가 파괴되어 버릴 수 있기 때문에 온도를 감지하여 냉각시스템을 동작시키기 위한 온도센서가 필수적이다.

과거 CMOS 온도센서는 비용이 저렴하다는 장점이 있었지만 정확도가 떨어지고 동작할 수 있는 온도 범위가 좁았기 때문에 높은 정확도와 넓은 온도 범위를 갖는 thermistor와 platinum resistor가 사용되었고 현재까지도 많이 이용되고 있지만 비용이 많이 든다는 단점 때문에 저가의 CMOS 온도센서로의 대체가 요구되고 있다.

본 논문에서는 0.18 $\mu$ m CMOS 공정으로 기존의 CMOS 온도센서[1]보다 저전압, 작은 면적으로 설계했으며, 대부분의 CMOS 온도센서처럼 parasitic bipolar 트랜지스터의 온도 특성을 이용하였고 -55 $^{\circ}$ C ~ 125 $^{\circ}$ C의 온도 범위에서  $\pm 0.1^{\circ}$ C의 정확도를 갖도록 설계하였다.

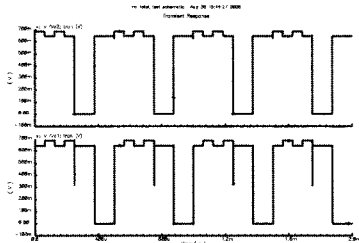


〈그림 2〉 Circuit diagram of BJT Core

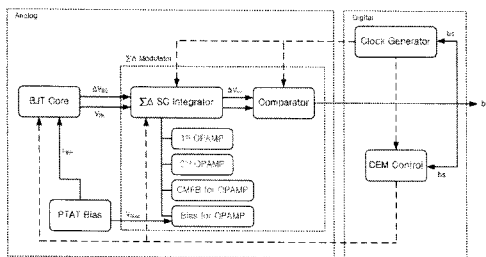
#### 2. 본 론

##### 2.1 CMOS 온도센서 구조

그림 1은 본 논문에서 설계한 CMOS 온도센서의 전체 블록도를 나타낸다. PTAT Bias 회로를 통해 1 $\mu$ A의 전류를 공급받는 BJT Core는 온도변화에 따라 각각 다른  $V_{BE}$ 와  $\Delta V_{BE}$ 를 2차로 구성된  $\Sigma\Delta$  변조기의 입력으로 전달하며 적분된 전압  $\Delta V_{int}$ 는 Comparator에 의해 비트스트림으로 출력된다. Mismatch와 offset에 의한 에러를 줄이기 위해 DEM(Dynamic Element Matching)설계와 double-sampling을 하였고, 0.01 $^{\circ}$ C 레벨의 온도출력을 위해 약  $\pm 5\mu$ V를 비교할 수 있는 Comparator를 설계하였다. 제안된 회로는 100ms의 conversion 시간동안 400bit의 비트스트림을 출력한다.



〈그림 3〉 Simulation result of BJT Core



〈그림 1〉 CMOS 온도센서 블록도

##### 2.1.1 BJT Core

그림 2는 2개의 BJT를 이용하여  $V_{BE}$ 와  $\Delta V_{BE}$ 를 생성하는 BJT Core의 circuit diagram을 나타낸다. PMOS cascode 전류원에 바이어스 전압을 인가하여 6개의 1 $\mu$ A를 흐르게 하였고, 식(1)과 식(2)를 이용하여 2개의 BJT에 흐르는 전류비를 1:5로 결정하였다. PMOS 전류원들 사이의 mismatch는 정확함 1:5의 전류 비율을 제한하고 정밀한 레이아웃만으로는 정확한  $\Delta V_{BE}$ 를 기대하기 어렵기 때문에 DEM Control이 사용되었다. 6개의 전류원을 번갈아가며 사용하고  $Q_n$ 과  $Q_p$ 의 스위치를 바꿔가며 연결하는 이 기술은

##### 2.1.2 Bandgap Reference

BJT Core와 2차  $\Sigma\Delta$  변조기의 OTA에 필요한 바이어스 전압을 온도의 변화에 상관없이 일정하게 제공하기 위해 Bandgap reference 회로를 설계하였다. Bandgap reference로부터 생성된 2개의 전압은 BJT Core에서 PMOS 전류원들의 바이어스 전압으로 사용되어 1 $\mu$ A의 전류를 흐르게 하고, wide-swing cascode current mirror 회로에 연결하여  $\Sigma\Delta$  변조기의 OTA에 필요한 5개의 바이어스 전압을 얻는데 사용하였다.

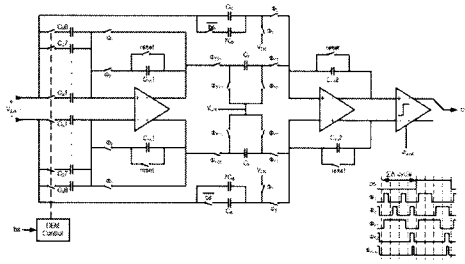
##### 2.1.3 2차 $\Sigma\Delta$ Integrator

그림 4는 2차  $\Sigma\Delta$  변조기의 circuit diagram을 나타낸다. 본 논문에서는  $\pm 0.1^{\circ}$ C의 정확도를 제안하며 이를 위한 offset제거와 DEM Control의 용이한 구현을 위해 switched capacitor구조가 사용되었다. 비트스트림 bs=0 일 때 입력 $\Delta V_{BE}$ 는 두 개의 사이클에서 적분되고, bs=1 일 때  $V_{BE}$ 는 한 개의 사이클에서 적분되는데  $\Delta V_{BE}$ 가 적분될 땐 8개의 capacitors이 사용되고  $V_{BE}$ 가 적분될 땐 1개의 capacitor만이 사용된다.  $\Sigma\Delta$ 사이클이 끝나는 시점에서 1차 integrator의 출력은  $C_F$ 로 샘플링 되고  $\Sigma\Delta$ 사이클의 시작 시점에서 2차 integrator의 입력으로 전달된다.

1차 integrator의 동작은 전체 modulator의 정확도를 결정하기 때문에 100dB 이상의 DC gain을 갖는 fully differential gain-boosted folded cascode op-amp가 사용되었다. 이에 비해 2차 integrator는 높은 DC gain을 필요로 하지 않으므로 간단한 구조의 simple folded cascode op-amp가 사용되었으며 두 가지 구조 모두 차동출력에 필요한 Switched Capacitor

본 논문은 정보통신연구진흥원의 NEXT 사업 지원에 의한 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

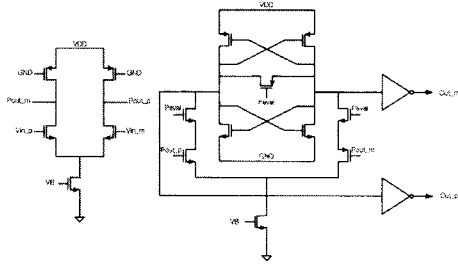
CMFB(common-mode Feedback)회로가 사용되었다.



<그림 4> Circuit diagram of  $\Sigma\Delta$  Modulator

### 2.1.4 Clocked Comparator

그림 5에 나타난 Clocked Comparator는  $\Sigma\Delta$  integrator의 출력  $\Delta V_{int}$ 를 입력 받아 비트스트림을 출력한다.  $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 의 전체 온도 범위에서, 제한된 0.01 $^{\circ}\text{C}$ 의 레벨을 만족시키기 위해서는 약 50 $\mu\text{V}$ 를 비교할 수 있어야 하기 때문에, 본 논문에서는  $\pm 5\mu\text{V}$ 까지 비교할 수 있는 comparator를 설계하였으며 설계된 회로는 pre-amplifier를 갖는 dynamic latch구조를 갖는다.



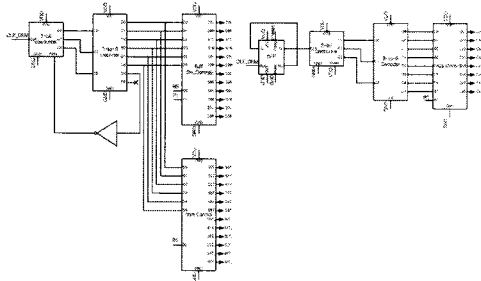
<그림 5> Circuit diagram of Clocked Comparator

### 2.1.5 Clock Generator

Clock Generator는 외부 클럭을 입력 받아 IC 내부 회로에 필요한 클럭을 만든다.  $\Sigma\Delta$  변조기에 필요한 non-overlapping되는 클럭을 만들기 위해 delay inverter를 이용하여 최소 3ns 이상으로 설계했고, delay가 필요한 클럭은 최소 2ns 이상 delay 시켰다. 추가로 Clocked Comparator에 필요한 클럭과 DEM에 필요한 클럭도 함께 생성한다.

### 2.1.6 DEM(Dynamic Element Matching)

DEM(Dynamic Element Matching) Control은 BJT Core의 PMOS 전류원들 사이의 mismatch와  $\Sigma\Delta$  integrator의 capacitors로 인한 errors를 평균화하기 위해 사용되었다. 그림 6에 나타난 DEM은 5개의 블록(3-bit upcounter, 3-to-8 decoder, BJT sw control, Itrim control, Cs control)으로 구성되고, BJT Core와  $\Sigma\Delta$  변조기에서 요구하는  $\pm 0.011\%$ ,  $\pm 0.0067\%$ 의 정확도를 만족시키는 역할을 수행한다.

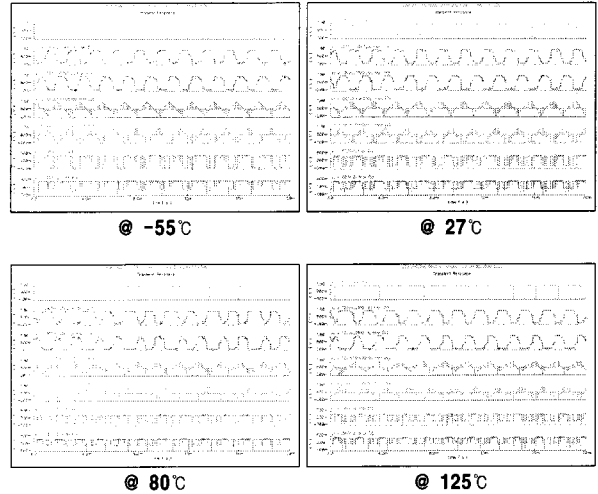


<그림 6> Circuit diagram of DEM

### 2.2 모의실험 결과 및 레이아웃

그림 7은 BJT Core의 출력 전압인  $V_{BE}$ 와  $\Delta V_{BE}$  및  $\Sigma\Delta$  변조기의 1차 출력과 2차 출력 그리고 최종 출력 파형인 비트스트림을 나타낸다. 설계한 온도센서는 온도변화에 따라 변하는 BJT Core의 출력전압을 적분하고, 적분된 전압에 의해 각기 다른 주기의 비트스트림을 출력함으로써 주어진 온도 범위 내에서 정상동작 함을 확인하였다.

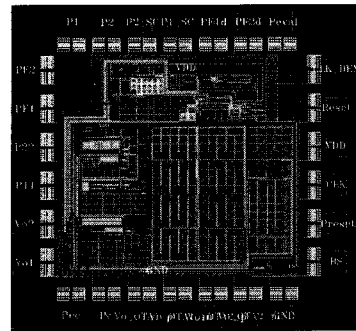
설계된 CMOS 온도센서의 성능요약을 표 1에 나타내었다. 기존의 연구결과와 비교 시 본 논문에서 설계된 온도센서는 저전압 구동과 작은 면적을 갖는다. 그림 8은 0.18 $\mu\text{m}$  CMOS 공정으로 설계된 온도센서의 Layout 도면이다. 설계한 각 블록의 출력을 확인해 보기 위해 많은 PAD를 달았고 칩 면적은 PAD를 포함하여 0.98mm  $\times$  0.92mm로 작은 면적을 갖는다.



<그림 7> 모의실험 결과

<표 1> 성능요약

	[1]	[2]	[3]	[4]	This work
Technology	0.7 $\mu\text{m}$ CMOS	0.5 $\mu\text{m}$ CMOS	-	-	0.18 $\mu\text{m}$ CMOS
Area	4.5mm <sup>2</sup>	2.5mm <sup>2</sup>	-	-	1mm <sup>2</sup>
Power Supply	2.5V ~ 5.5V	2.7V ~ 5.5V	2.7V ~ 5.5V	3.0V ~ 5.5V	1.8V
Temperature Range	-55 $^{\circ}\text{C}$ ~ 125 $^{\circ}\text{C}$	-50 $^{\circ}\text{C}$ ~ 125 $^{\circ}\text{C}$	-25 $^{\circ}\text{C}$ ~ 150 $^{\circ}\text{C}$	-55 $^{\circ}\text{C}$ ~ 125 $^{\circ}\text{C}$	-55 $^{\circ}\text{C}$ ~ 125 $^{\circ}\text{C}$
Inaccuracy	$\pm 0.1^{\circ}\text{C}$	$\pm 0.5^{\circ}\text{C}$	$\pm 0.33^{\circ}\text{C}$	$\pm 0.5^{\circ}\text{C}$	$\pm 0.1^{\circ}\text{C}$



<그림 8> 전체회로 Layout

### 3. 결 론

본 논문에서는 parasitic bipolar 트랜지스터의 온도 특성과  $\Sigma\Delta$  변조기를 이용하여 0.18 $\mu\text{m}$  CMOS 공정으로  $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 의 온도 범위에서 동작하는 온도센서를 설계하였다. 설계된 회로를 모의실험한 결과 100ms의 conversion 시간동안 400bit의 비트스트림을 출력한다. 정확도는 설계 시 제안한  $\pm 0.1^{\circ}\text{C}$ 를 만족하도록 설계하였고, 칩 면적은 PAD를 포함하여 0.98mm  $\times$  0.92mm로 작은 면적을 갖는다.

### [참 고 문 헌]

- [1] Michiel A.P.Pertjjs, Kofi A.A. Makinwa, Johan H. Huijsing, "A CMOS Smart Temperature Sensor with a 3 $\sigma$  Inaccuracy of  $\pm 0.1^{\circ}\text{C}$  From  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$ ", IEEE Journal of Solid-State Circuits, VOL. 40. NO. 12, Dec. 2005
- [2] Michiel A.P.Pertjjs, Andrea Niederkorn, Bill McKillop, Anton Bakker, Johan H. Huijsing, "A CMOS Smart Temperature Sensor with a 3 $\sigma$  Inaccuracy of  $\pm 0.5^{\circ}\text{C}$  From  $-50^{\circ}\text{C}$  to  $120^{\circ}\text{C}$ ", IEEE Journal of Solid-State Circuits, VOL. 40. NO. 12, Feb. 2005.
- [3] LM92 Data Sheet, National Semiconductor Corporation, [Online], Available: <http://www.national.com>
- [4] DS18S20 Data Sheet, DALLAS Semiconductor Corporation, [Online], Available: <http://www.dalsemi.com>