

## Ring VCO를 사용한 UHF 대역 CMOS Fractional-N 주파수합성기 설계

추홍성, 서희택, 박상재, 김경환, 강현철\* 유종근  
 인천대학교 전자공학과, \*정보통신공학과

### Design of a UHF-Band CMOS Fractional-N Frequency Synthesizer Using a Ring-Type VCO

H. S. Chu, H. T. Seo, S. J. Park, K. H. Kim, H. C. Kang\*, C. G. Yu  
 Dept. of Electronics Engineering, \*Dept. of Information and Telecom. Engineering, university of Incheon

**Abstract** - In this paper, we describe a UHF-band CMOS fractional-N frequency synthesizer using a ring - type VCO. It has been designed using 0.18 $\mu$ m CMOS technology. First, The newly designed charge-pump circuit includes an OTA for matching between the upper current and the lower current. In addition, a ring - type VCO is also used for small chip size. The simulation results show that the designed circuit has a phase noise of -109.53dBc/Hz at 1MHz offset and consumes 19.4mA from a 1.8V supply. The lock time is less than 30usec and the chip size is 0.45mm $\times$ 0.5mm.

#### 1. 서 론

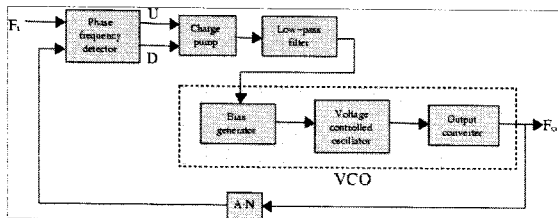
UHF 대역 모바일 RFID 리더는 모바일 단말기에 RFID 리더 칩을 내장함으로써 어디서든지 관심 있는 대상의 식별 코드를 사용하여 무선 인터넷 네트워크망을 통해 보다 상세한 정보를 검색할 수 있다. 이러한 RFID 리더 칩을 설계하는데 있어 주파수 합성기는 꼭 필요한 블록이다.

본 논문에서는 UHF 대역 RFID 리더 적용을 위한 고성능 Fractional-N  $\Sigma$ - $\Delta$  modulator 유형의 주파수 합성기를 설계하였다. ISO/IEC에서 규정하는 900MHz(860~960MHz) 대역을 만족하도록 설계하였으며, 모바일 RFID 리더에도 적용할 수 있도록 하였다. In-band noise 특성과 spur 특성을 향상시키기 위해 Integer-N 유형 대신  $\Sigma$  $\Delta$  modulator를 사용하는 Fractional-N 유형의 주파수 합성기를 설계하였다. [1] Phase noise와 spurs 특성을 최소화 하고, 모바일 리더에의 적용을 위해 전력소모를 최소화하고 작은 면적을 갖는데 중점을 두어 설계하였으며, VCO를 집적화 하여 외부 소자의 필요성을 최소화 하였다.

#### 2. 본 론

##### 2. 회로설계

그림 1은 설계한 UHF대역 RFID 리더용 Fractional-N 주파수합성기의 전체 블록도를 나타낸다. 설계된 주파수 합성기는 기준 주파수와 비교 주파수를 비교하여 두 신호의 위상차에 해당하는 신호를 발생하는 PFD 회로와 발생된 신호에 의해 전류를 loop filter에 공급하는 역할을 하는 CP회로, 전류에 의해 결정되는 제어전압에 의해 1.3GHz에서 동작하는 ring - type VCO를 포함하며, VCO의 출력은 CML(Current Mode Logic) 형태의 frequency divider에 의해 900MHz로 분주된다.



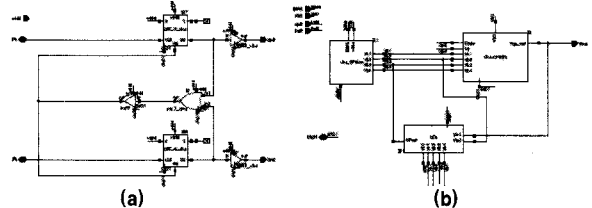
< 그림 1 > Fractional-N 주파수합성기의 블록다이어그램

##### 2.1 PFD(Phase Frequency Detector) , CP (Charge Pump), LPF

PFD는 기준신호 'FR'과 VCO의 출력을 분주한 신호인 'FN'을 비교하여 두신호의 위상차를 출력하는 회로로써, 두 개의 D flip-flop과 OR gate, 그리고 delay cell로 구성되어 있으며 설계한 도면을 그림 2. (a)에 나타내었다. Dead zone 문제를 해결하기 위해 delay cell을 사용하였으며, 'FR'과 'FN' 두 신호의 위상차에 해당하는 'Up' 신호와 'Dn' 신호를 발생시켜 charge pump에 전달한다.

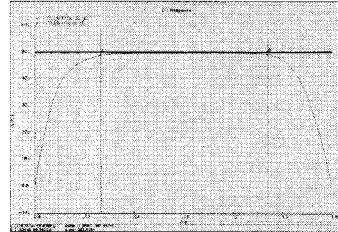
본 논문은 정보통신연구진흥원의 NEXT 사업 지원에 의한 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

Charge pump는 PFD로부터 발생된 'Up' 신호와 'Dn' 신호에 의해 전류를 loop filter에 공급하는 역할을 한다. loop filter로 공급되거나 또는 빠져나간 전류에 의해 VCO의 제어전압이 결정되며, 이 제어전압에 의해 VCO의 출력주파수가 결정된다. 설계한 charge pump를 그림 2. (b)에 나타냈다. 공급되는 전류의 값은 50 $\mu$ A이다. Charge pump의 current mismatch를 감소하기 위해 OTA를 추가하여 feedback amplifier 회로를 구성하여 바이어스 전압을 고정 시킴으로써 current mismatch를 개선하고자 했다. [2]



< 그림 2 > (a) 설계한 PFD 회로도 (b) 설계한 CP 회로도

그림 3은 Charge pump의 current mismatch의 모의실험 결과이다. up / down current의 mismatch는 약 0.4V에서 1.4V까지 50 $\mu$ A 기준으로  $\pm$  0.3  $\mu$ A의 변화폭을 갖으며, VCO의 제어전압조건을 충분히 만족하는 voltage compliance를 갖는 것을 확인할 수 있다.

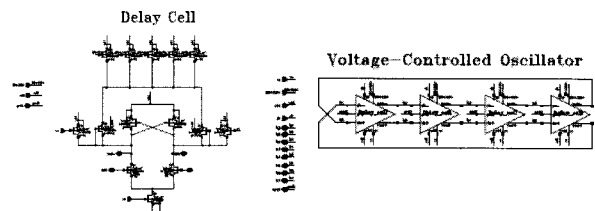


< 그림 3 > Charge pump의 current mismatch

Charge pump 출력단에 나타나는 DC레벨 전압은 고주파 성분을 포함하고 있기 때문에 이를 제거하기 위해 저역 통과 필터 형태의 loop filter를 사용한다. loop filter는 고주파 성분을 제거할 뿐만 아니라 loop에 충분한 phase margin을 확보함으로써 주파수 합성기를 안정화시킨다.

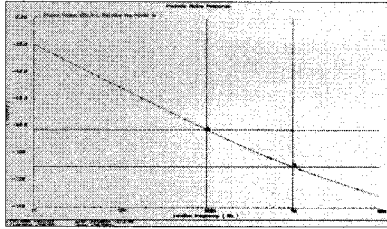
##### 2.2 VCO(Voltage Controlled Oscillator)

주파수 합성기의 특성 중 중요하게 고려해야 할 것 중 하나가 위상 노이즈(phase noise)이며 PLL의 out of band 노이즈는 대부분 VCO에 의해 결정된다. 따라서 VCO의 위상 노이즈가 작은 값을 가지도록 설계하는 것이 중요하다. 본 논문에서는 LC-VCO보다 면적이 작아 비용 면에서 우수한 Ring-VCO를 설계하였다.[3] 그림 5. (a)는 설계한 VCO의 Delay Cell의 도면 이고 그림 5. (b)는 4단 VCO를 나타낸다. 설계한 VCO는 Delay Cell을 이용한 I/Q 신호를 쉽게 검출하기 위해 만든 4단 VCO이다. symmetric loads를 이용하여 선형성을 증가 시키고 P-Latch를 이용해 발진을 안정화시켰다. 또한 넓은 tuning range와 낮은 VCO gain을 갖기 위해 4bit 제어 신호로 동작하는 Coarse Tuning단을 구성하였고, 폴리커(1/f) 잡음이 작은 PMOS 바이어스 단을 구성하였다.



< 그림 5 > (a)설계한 Delay Cell 회로도 (b)설계한 4단 VCO 회로도

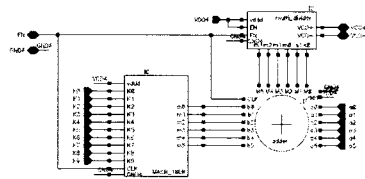
그림 6은 VCO의 위상 잡음 특성 모의실험 결과이다. VCO의 발진주파수 1GHz 일때 100kHz offset에서 -82dBc/Hz, 1MHz offset에서 -109dBc/Hz를 특성을 갖는다.



< 그림 6 > VCO 위상 잡음

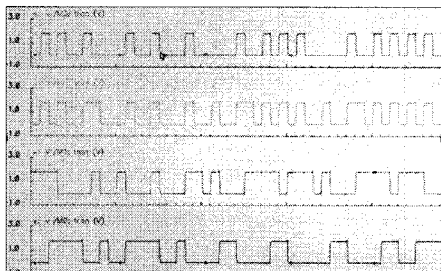
### 2.3 Divider

D-block은 fractional spur를 줄이기 위해서 사용되는  $\Sigma$ - $\Delta$  modulator 블록과, 소수 분주비 출력과 정수 분주비 입력을 합치는 adder블록, multi-modulus 분주기 가능한 divider 블록으로 구성되어 있으며 carrier 주파수를 프로그램 하는 역할을 수행하였다. Multi-modulus divider 블록은 dual-modulus 4/5 prescaler, 4-bit M-counter, 2-bit A-counter 등으로 구성되어 있으며 최소 40분주 최대 52분주모드까지 동작할 수 있도록 설계하였다. 이를 그림 7에 나타내었다.



< 그림 7 > 설계한 Divider 회로도

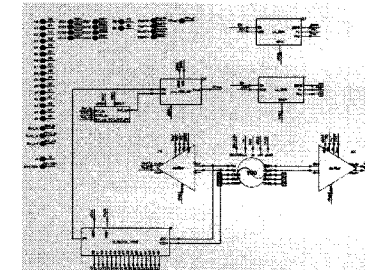
그림 8은  $\Sigma$ - $\Delta$  modulator의 frequency word 'K'가 5일 때의 modulator 출력을 모의실험 한 결과이다. 그림에 나타난 바와 같이 [-4~3] 사이의 값이 랜덤하게 출력되는 것을 확인할 수 있다.



< 그림 8 > 3rd-order  $\Sigma$ - $\Delta$  modulator 모의실험 결과 (@K=5)

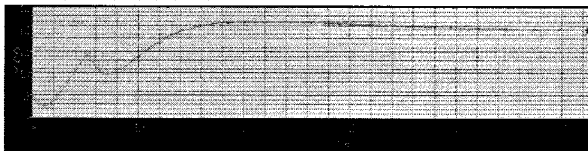
### 3. 모의실험 결과 및 레이아웃

그림 9는 설계한 Fractional-N 주파수 합성기의 전체 도면을 나타낸다.



< 그림 9 > 설계한 PLL 전체 회로도

시뮬레이션은 Transient 특성을 확인함으로써 주파수가 Locking되는지 확인해보는 시뮬레이션을 수행하였으며 주파수가 12 $\mu$ s 정도에서 Locking 영역에 근접하여 25 $\mu$ s에서 최종적으로 Locking 됨을 확인할 수 있었다. 이를 그림 10에 나타내었다.



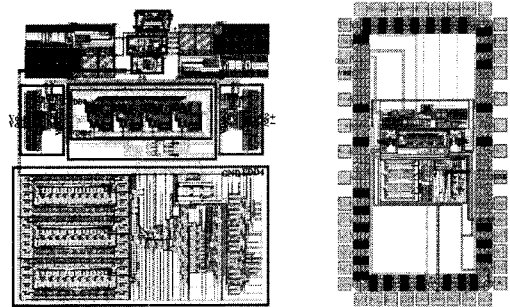
< 그림 10 > 모의실험 결과

설계된 UHF 대역 RFID 리더용 Fractional - N 주파수 합성기의 성능 요약 표 1에 나타내었다. 기존 연구 결과와 비교시 본 논문에서 설계된 주파수 합성기는 적은 전류 소모와 작은 면적의 특성을 나타낸다.

< 표 1 > 성능 요약

	[4]	[5]	[6]	This work
Technology	0.18 $\mu$ m CMOS	0.18 $\mu$ m CMOS	0.18 $\mu$ m CMOS	0.18 $\mu$ m CMOS
Power supply	1.8	1.8	1.8	1.8
Channel spacing	-	-	200/500KHz	200/500kHz
PhaseNoise [dBc/Hz]	-114.3 @1MHz	-87 @100kHz -120 @1MHz	-106 @100kHz -126 @1MHz	-81.78 @100kHz -109.53 @1MHz
Locking Time	-	40 $\mu$ s	-	25 $\mu$ s
current consumption	58mA	26mA	12mA	19.4mA
chip area(mm <sup>2</sup> )	1.61	-	-	0.2
Frequency Band(GHz)	-	-	0.88-0.92	0.8~0.98
VCO type	LC	LC	LC	Ring

전체 회로는 Magna 0.18 $\mu$ m CMOS 공정을 사용하여 Layout 하였고 DRC와 LVS를 통과했다. 전체 주파수 합성기의 레이아웃 도면과 제작된 칩 사진을 그림 11에 나타내었다. 제작된 칩 크기는 PAD를 포함하여 0.85mm x 1.5mm이다. (PAD 제외 0.45mm x 0.5mm)



< 그림 11 > 전체회로 Layout

### 3. 결 론

본 논문에서는 UHF대역 RFID 리더용 Fractional-N 주파수합성기를 설계했다. ISO/IEC에서 규정하는 900MHz(860~960MHz)대역을 모두 만족하도록 설계하였으며, 전체 전력소모량은35mW이고, VCO의 전력소모량은 11mW이다. 위상잡음은 발진주파수가 1.2GHz와 880MHz일 때 각각 100kHz offset에서 -81.90dBc/Hz와 -81.78dBc/Hz 그리고 1MHz offset에 -109.26dBc/Hz와 -109.53dBc/Hz이다. 모의실험 결과 주파수 고정 시간은 12 $\mu$ s에서 고정 영역에 접근하여 25 $\mu$ s에서 고정됨을 확인했다. Chip size는 PAD를 포함하여 0.84mm x 1.5mm(PAD 제외 0.45mm x 0.5mm)이다.

설계된 주파수 합성기 IP의 전체적인 성능 simulation 결과 설계 초기에 목표로 잡았던 대부분의 Spec을 만족하는 결과를 얻을 수 있었다.

### [참 고 문 헌]

- [1] B.D Muer and M. S. J. Steyaert, "A CMOS monolithic controlled fractional - N frequency synthesizer for DCS-1800, IEEE Jour. Solid-State Circuits, vol. 37, pp. 835-844, July 2002
- [2] Jae Shin Lee; Woo Kang Jin; Dong Myung Choi; Gun Sang Lee; Suki Kim; "A wide range PLL for 64X speed CD-ROM & 10X speed DVD-ROM", Consumer Electronics, 2000. Digest of Technical Papers, pp. 98 - 99, June 2000
- [3] S. H. Cho and A. Chandrakasan, "A 6.5-GHz energy-efficient BFSK modulator for wireless sensor applications" IEEE J. Solid-State Circuits, vol. 39, no. 5, pp. 731-739, May 2004
- [4] Cheng-Hung Chen, Wei-Cheng Lien and Christina F. Jou, Highly-Integrated, Quad Bands  $\Delta\Sigma$  Fractional-N Frequency Synthesizer Design in 0.18- $\mu$ m Standard CMOS Process", APMC2005 Proceedings, 2005
- [5] Ickjin Kwon, Heemun Bang, Kyudon Choi, Sangyoon Jeon, Sungjae Jung, Donghyun Lee, Yunseong Eo, Heungbae Lee, Bongyoung Chung, "A Single-Chip CMOS Transceiver for UHF Mobile RFID Reader", IEEE Solid-State Circuits, pp.216-598, 2007.
- [6] Sang-Yoon Jeon, Hee-Mun Bang, Sung-Jae Jung, Dong-Hyun Lee, Heung-Bae Lee "Frequency Generation for Mobile RFID Reader", European Microwave Integrated Circuits Conference, pp.324-327, 2006.