

AC-PDP 어드레스 전압마진 개선을 위한 Slope Overlapped Scan Method 구현

김태균, 임병하, 이동호
경북대학교

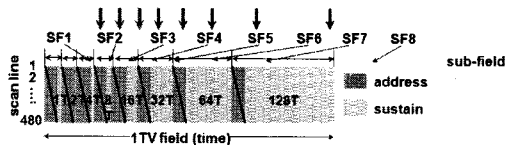
Improvement Of Address Voltage Margin for Slope Overlapped Scan Method in AC-PDP

Tae-Gyun Kim, Beong-Ha Lim and Dong-Ho Lee
Kyungpook National University

Abstract - A new AC-PDP driving method was proposed to reduce the address period. The overlapped scan method can reduce the address period. However, this method has a narrow address voltage margin compared with conventional scan method. In this paper, Slope overlapped scan method is presented. The proposed new overlapped scan method allows wider address voltage margin than conventional overlapped scan method.

1. 서 론

PDP(Plasma Display Panel)는 현재 활발히 연구되고 있는 LCD(Liquid Crystal Display), FED(Field Emission Display), OLED(Organic Light Emitting Diodes)와 같은 평판형 디스플레이 중에서도 대형화에 적합한 많은 장점을 가지고 있다. PDP는 형태에 따라 DC-PDP와 AC-PDP 두 가지 존재하나 현재는 전극을 보호할 수 있는 AC-PDP가 주종을 이루고 있다. [1] 가장 널리 사용되는 AC-PDP 구조는 3전극 면방전형이다. PDP의 구동법은 ADS(Address Display Separation)과 AWD(Address While Display)이 주류이며 특히 ADS방식이 AWD방식에 비해 회로구조가 간단하기에 거의 대부분의 회사에서 채택하고 있는 방식이다. <그림 1>은 ADS 방식을 표현한 그림이다. 광량정보를 담고 있는 그림을 SubField라 부르며 1-SubField는 패널을 모두 초기화하기 위한 Reset, 각 셀에 화상정보를 담기 위한 Address, 패널의 전면발광을 위한 Sustain으로 구성되어 있다. 이런 SubField의 합을 TV-Field라 한다. 본 실험에서는 1-TV-Field를 60Hz로 정의하였다. ADS 방식에서는 셀을 선택하는 Address 구간과 여상을 표시하는 Sustain 구간이 구분되어 전 패널에서 Sustain 방전이 동시에 수행되는 것이 특징이다. ADS 방식에 있어서 Addressing은 이미지를 구현하기 위한 각 셀에 데이터를 기입하는 단계로서 실제 패널에 광이 나오는 구간이 아니다. Addressing 시간에 따라 TV-Field 내에서 Sustain으로 사용가능한 시간비율은 화면의 해상도가 높아질수록 작아지고 Scan폭이 작을수록 커진다. 그런데 XGA(HD), FHD, UHD급으로 갈수록 해상도가 높아지고 Sustain으로 사용할 수 있는 시간이 점점 줄어들어간다. 또한, PDP의 단가 하락을 위해 고가의 Address IC를 만만 사용하는 Single-Scan 방식에서의 전환은 Sustain 시간을 더욱 줄이도록 만들었다. 따라서 고해상도에서 고휘도, 저전력 구동을 위한 High Speed Addressing을 실현하여야 한다. 어드레스 시간을 단축시키기 위해 기존 Address폭을 유지한 채 어드레스 시간을 중첩시키는 Overlapped Scan이 고안되었다. 그러나 제안된 Overlapped Scan은 낮은 Address 전압 마진을 가졌다. 본 논문에서는 XGA급 AC-PDP를 구동하면서 Address 시간을 감소시키면서 높은 Address 전압마진을 가질 수 있는 Slope Overlapped Scan 구동 방식을 제시 하였다.



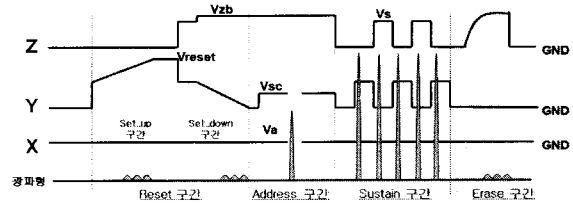
<그림 1> ADS 구동방식

본 논문은 지식경제부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과입니다.

2. 본 론

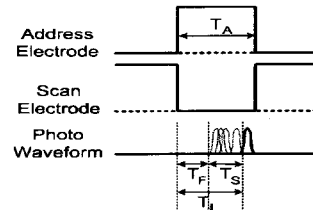
2.1 ADS 구동

<그림2>는 Ramp reset을 이용한 AC-PDP 구동 과정을 나타내고 있다. 기본적으로 패널의 모든 셀을 Address 방전 이전에 동일한 조건으로 만들어 주기 위한 초기화 구간인 Reset구간, 모든 셀들에서 Reset 방전이 발생하므로 Off-셀에서도 빛이 발생될 수 있기 때문에 빛의 발생을 억제시키기 위해 암방전을 일으키도록 Ramp펄스를 이용한 Reset을 이용하여, 선택된 스캔라인에 영상 데이터를 기입하기 위한 Address 또는 Scan 구간, 선택된 Y전극에 scan pulse를 인가하고 X전극에는 data pulse를 인가하여 address 방전을 일으킨다. Scan구간에서 address 방전으로 선택된 셀에 sustain펄스 인가 시 유지 방전을 일으키는 Sustain 구간으로 구분된다. 이외에 sustain 구간 동안 On-셀에 축적된 벽전하를 소거하기 위한 Erase 구간이 추가로 구성된다.



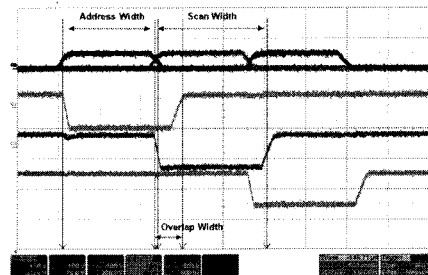
<그림 2> Ramp reset을 이용한 AC-PDP 구동과정

2.2 Overlapped Scan Method



<그림 3> Address방전과 광파

<그림3>은 address 방전시 scan pulse와 발생된 광파를 나타낸다. address 방전을 표현하기 위한 아래의 4가지 지표가 있다. T_a = Scan Width, T_f = Formative time, T_s = Statistical time, T_d = Discharge time. Overlapped Scan은 기존 scan pulse 폭을 유지한채 T_f 내에서 scan pulse를 중첩시켜서 전체적으로 addressing 시간을 단축시키는 방법이다. 기존 scan 라인을 2가지 그룹으로 묶어 각 라인을 중첩시키는 Line-by-Line Interlaced Scan 방법을 사용하고 있다.[2]



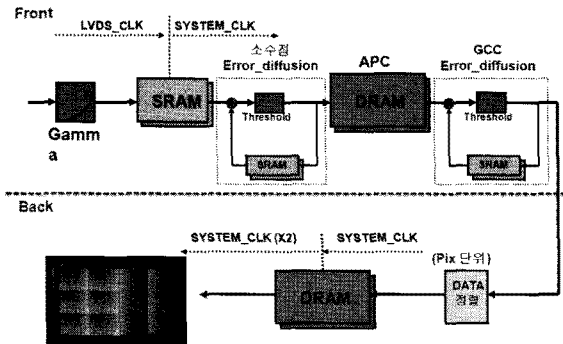
<그림 4> Overlapped Scan 펄스

그러나 <그림8>와 같이 Overlapped Scan은 중첩된 폭이 늘어남에 따라 address voltage margin이 급격히 줄어드는 것을 볼 수 있으며 이는 유지방전시 오방전 현상을 입증하는 증거이기도 하다.

2.3 실험 및 결과

2.3.1 실험 환경

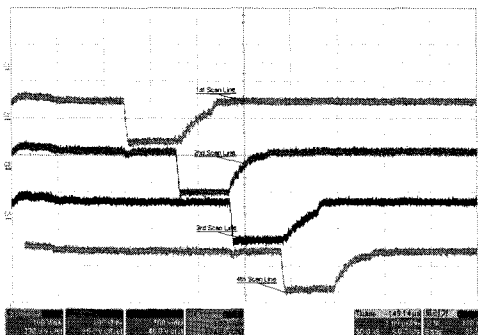
본 논문에서는 상용 42인치 PDP(XGA급)를 테스트 패넬로 사용하였으며 디지털구동 알고리즘 구현을 위해 Altera FPGA(EP20K60EBC652-1X) 2개와 데이터정렬을 위한 SDRAM(64MB) 4개를 사용하여 영상처리와 구동처리로 구분된 디지털구동보드를 제작하여 실험에 사용하였다.[4],[5]<그림5>



<그림 5> 디지털구동보드 블록도

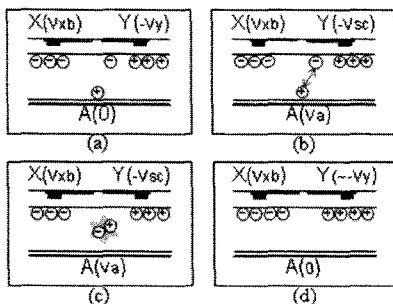
2.3.2 Slope Overlapped Scan Method

<그림6>은 펄스폭이 1.64us인 스캔펄스이며 480ns 오버랩된 Slope Overlapped Scan pulse를 보여주고 있다. 오버랩 되지 않는 구간이 1.16us이다.

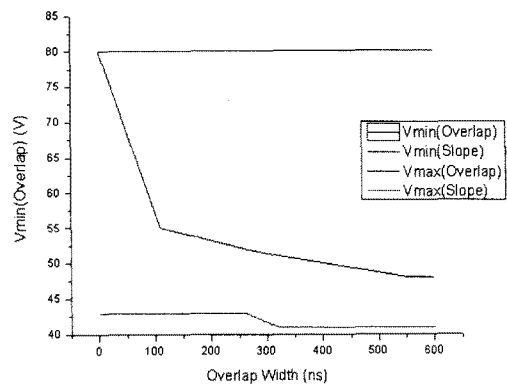


<그림 6> Slope Overlapped Scan Pulse

<그림7>은 어드레스 방전시 전자의 흐름을 보여주고 있다. 리셋방전 류, 벽전하는 그림4.(b)로 도식화 할 수 있다. 어드레스 방전은 (b), (c)에서 발생하며 벽전하가 공간전하로 전이된다. 방전시 발생한 프라이밍입자가 재정렬될 때 Slope scan pulse가 (d)와 같이 Y전극에 인가되면서 어드레스 전극 쪽의 전하를 sustain 전극으로 유도해준다. 이 작용이 이후 유지방전이 쉽게 일어나도록 해주고 있다.[3]

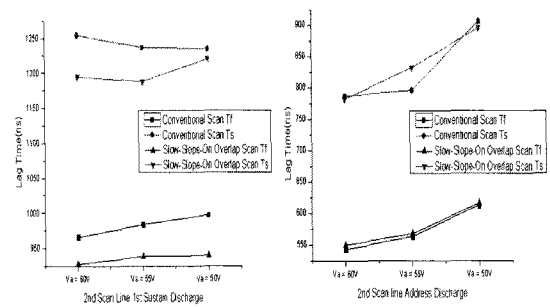


<그림 7> 벽전하 흐름

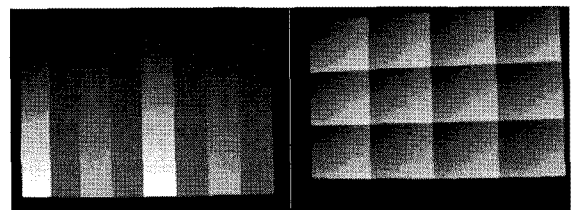


<그림 8> Address Voltage margin

<그림8>은 Slope Overlapped Scan의 address voltage margin을 보여주고 있다. 기존 Overlapped scan과 비교하여 높은 전압 마진을 가지며 Va = 60V에서 기존 오버랩스캔은 오방전 발생이 확인되나 Slope overlapped scan은 유지방전시 오방전 없이 정상적인 영상이 표시되었다.<그림10>



<그림 9> 방전시간 비교



<그림 10> 결과 영상

3. 결 론

현재 3전극 면방전 AC-PDP ADS 구동에 고효상도를 표현하기위해 해결해야 될 가장 큰 문제는 긴 address 시간이다. 이를 해결하기 위해 고속 어드레싱 방법 중의 하나인 Overlapped scan을 고안했으나 낮은 address 전압 마진으로 유지방전시 오방전 현상이 나타나 50V 이상의 address 전압을 사용할 수 없었다. 본 논문에서 제시한 어드레싱 방법은 480ns 오버랩된 환경에서 중첩된 구간 전압 Vrms = 145V, Va = 60V 에서 오방전 없이 정상적인 영상이 표시되었다. 이 방법을 고효상도 FHD 패넬에서 줄어든 스캔 폭을 보상하는 방법으로 사용할 수 있는 가능성을 확인 할 수 있었다. 차후 2가지 전압으로 구동할 수 있는 Scan 회로가 연구되어야 할 것이다.

[참고 문헌]

- [1] 권오규 et al, "AC-PDP 어드레스 개선을 위한 Overlapped Scan Method 구현", CICS'07, 275-276, 2007
- [2] Gun-SU Kim et al, "New Driving Method for Reducing Address period of AC-PDP", IDW'03, 1081-1084, 2003
- [3] Y,W Cho et al, "New Driving Method for High Resolution AC PDP", 대한전자공학회, 제38권, 2001
- [4] Song Qiu et al, "Design of AC-PDP Signal Processor for SoC Application", IHH-MSP'06, 2006
- [5] SN755866PZP, TI datasheet REV 1.1