

0.18um CMOS 공정을 이용한 UHF 대역 RFID 태그 칩 설계

김도희, 송준호, 조영호, 고승오, 유종근
인천대학교 전자공학과

Design of a UHF-Band RFID Tag Chip Using a 0.18um CMOS Process

D. H. Kim, J. H. Song, Y. H. Cho, S. O. Ko, C. G. Yu
Dept. of Electronics Engineering, University of Incheon

Abstract - 본 논문에서는 UHF 대역 RFID의 국제표준인 ISO/IEC 18000-6C 표준을 만족하는 태그 칩을 위한 저전력 고성능 아날로그 회로를 설계 하였다. 설계된 아날로그 회로는 성능 테스트를 위해 메모리 블록을 포함하고 있으며, 태그의 인식률과 경제성을 위해 저전력 및 칩 면적의 최소화에 중점을 두고 설계하였다. 설계된 UHF 대역 RFID 태그용 아날로그 회로는 0.24Vpeak의 RF 입력으로 동작이 가능하며, 칩 면적은 $522.5\mu\text{m} \times 338.8\mu\text{m}$ 로, UHF 대역 RFID 태그 칩에 적합한 작은 면적을 갖는다.

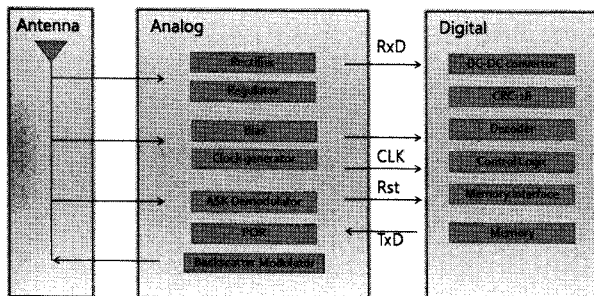
1. 서 론

RFID 태그 칩은 내부 전원공급 장치의 존재 여부에 따라 수동형, 능동형, 반 능동형 태그로 나뉘며, UHF 대역에서 사용되는 수동형 태그의 경우 칩 내부에 전원공급 장치를 포함하고 있지 않아 리더로부터 오는 전력을 통해 내부 전원전압을 얻게 된다. 따라서 다른 주파수 대역을 사용하는 수동형 태그에 비해 긴 인식거리를 갖고 있지만 UHF 대역에서 긴 인식거리를 얻기란 쉬운 일이 아니다. 또한 모든 인식범위에서 정확히 동작하기 위해서는 저전력 고성능의 회로 설계 기술이 필요하다. UHF 대역 RFID 태그 칩은 아날로그 블록, 메모리, 메모리를 컨트롤하기 위한 디지털 블록으로 구성되며, 그 중 아날로그 블록은 태그에 안정된 전원전압과 클럭을 공급하기 위한 핵심 블록이다. 특히 UHF 대역 RFID 태그는 거리에 따라 태그에 입력되는 전력이 다르기 때문에 이러한 환경에서 안정된 전원전압과 클럭을 공급하기 위해서는 고성능의 전압 안정화 회로와 공급전압 및 온도변화에 무관한 전류를 생성할 수 있는 기준전류 발생 회로를 필요로 하게 된다.

2. 본 론

2.1 회로설계

본 논문에서 제안하는 UHF 대역 RFID 태그 칩 블록을 그림 1에 보였다. 설계된 TAG chip은 UHF 대역 RFID의 국제표준인 ISO/IEC 18000-6 type C 표준을 만족하며 0.18um CMOS 공정을 사용하여 설계되었다. 설계된 블록은 리더로부터 오는 RF 신호를 DC 전원전압으로 변환하여 안정된 전원전압 및 클럭을 공급하는 역할을 하는, 정류기(rectifier)와 레플레이터 그리고 기준전압·전류 발생기, 클럭 발생기, ASK 복조기, PSK 변조기, POR 등으로 구성된다. 회로는 인식거리와 칩 면적에 중점을 두고 설계하였으며, 높은 인식거리를 얻기 위해 모든 회로를 1.2V에서 동작하도록 하여 설계된 세부 회로들의 전력소모를 최소화 하였다.



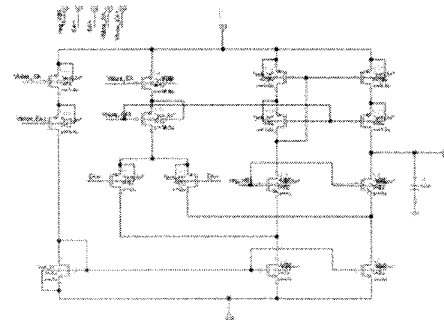
〈그림1〉 TAG Chip의 블록도

2.1.1 Rectifier 설계

RF 신호를 DC 전원전압으로 변환하기 위해서 RF-DC 컨버터, 즉 정류기가 사용되고, 이러한 정류기의 성능이 UHF 대역 RFID 태그 칩의 인식범위를 넓히기 위한 태그의 성능을 결정짓는 중요한 요인이다. 설계된 정류기는 6단 Dickson Charge Pump로 CMOS로 구현하기 위해 Schottky Diode 대신 NMOS 트랜지스터를 사용하여 설계 하였으며, MOSFET의 문턱전압에 의해 승압이 제한되는 것을 최소화하기 위해 Magna Chip에서 제공하는 낮은 문턱전압 ($V_t=0.07\text{v}$)을 갖는 Native MOSFET을 사용하여 설계하였다. 또한 칩 면적을 고려하여 capacitor는 PMOS CAP으로 사용하였다.

2.1.2 Regulator 설계

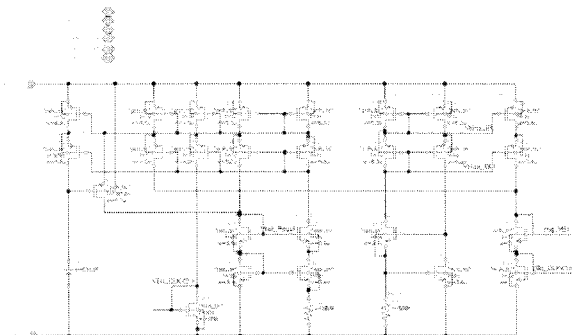
Rectifier에 의해 생성되는 DC 전압을 Regulator를 통해 안정화 하여 태그의 아날로그 블록과 디지털 블록을 구동하기 위한 전원전압으로 사용하였다. 설계된 Regulator는 Error Amplifier와 Pass Transistor로 구성된 LDO(Low Drop Out) Regulator로서 Error Amplifier는 높은 이득과 Phase Margin을 얻고 출력스윙의 범위를 넓히기 위해 Wide Swing Cascode Current Mirror 구조의 Folded Cascode 구조로 설계 하였다. 설계된 Error Amplifier를 그림2에 나타내었다.



〈그림 2〉 설계된 Error Amplifier의 회로도

2.1.3 Bias 설계

설계된 기준전압·전류 발생기의 회로를 그림3에 보였다. 회로는 간단한 구조의 V_T (threshold voltage)에 비례하는 전류 발생기와 V_t (thermal voltage)에 비례하는 전류 발생기로 구성되며, 두 전류 발생기에서 발생되는 전류를 합하여 온도변화에 무관한 전류를 생성하게 된다. MOS 트랜지스터를 subthreshold 영역에서 동작하게 함으로써 V_t 에 비례하는 전류를 얻고, threshold reference self-biasing 회로를 이용해 V_T 에 비례하는 전류를 얻도록 설계하였다. 이때 V_T 에 비례하는 전류 성분과 V_t 에 비례하는 전류 성분을 공급전압에 무관하게 생성하는 것이 관건이다.

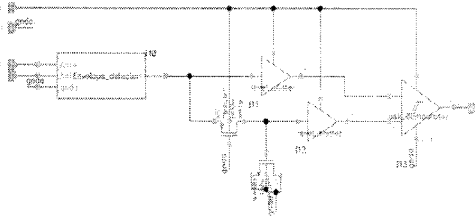


〈그림3〉 설계된 bias의 회로도

본 논문은 정보통신연구진흥원의 NEXT 사업 지원에 의한 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

2.1.4 ASK Demodulator 설계

ASK 복조기는 리더에서 송신된 carrier신호에 실려 오는 commend data를 복조하기 위한 회로이다. 그림4의 ASK 복조기는 포락선 검출기를 통해 검출된 포락선 신호를 저역 통과 필터를 거쳐 포락선 신호의 평균화된 신호를 얻고 이것을 비교기를 통해서 포락선 신호와 평균화된 신호를 비교하여 전력신호에 함께 실려 오는 데이터 신호를 복조하였다.



<그림4> 설계된 ASK 복조기의 회로도

2.1.5 PSK Modulator 설계

UHF 대역 RFID 시스템은 up link시 backscatter방식을 이용하여 태그의 저장된 data를 리더로 보낸다. 이때 태그 메모리에 저장된 data에 따라 PSK modulator의 switch가 on/off 되고, 이로 인한 태그 칩 입력 임피던스의 변화가 리더로부터 오는 RF신호의 반사량을 변화시켜 data를 리더로 전달하게 된다.

2.1.6 CLK Generator 설계

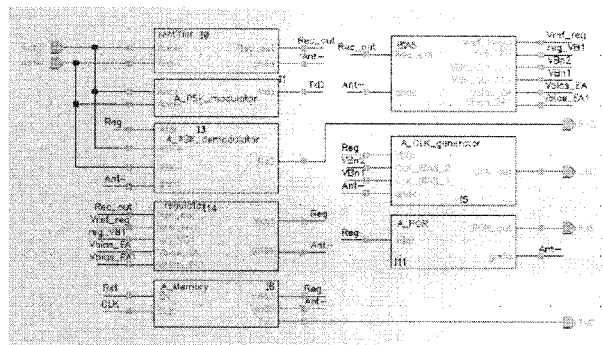
클럭 발생기는 디지털블록의 클럭을 공급하기 위한 회로이다. 온도변화에도 안정된 클럭을 디지털 블록에 공급하기 위해 앞서 설계된 bias에서 발생하는 전류를 사용하였다. 또한 저전력 이면서 간단한 구조를 갖는 Current starved ring oscillator를 사용하여 전류소모 및 면적을 최소화 하였다. 설계된 ring oscillator는 적은 전력으로 가장 많은 주파수로 분주가 가능한 1.92MHz를 생성하도록 설계하였다.

2.1.7 POWER ON RESET 설계

POR은 태그의 전압이 정상상태에 이를 때 태그가 정상적인 동작을 시작하도록 디지털 블록에 리셋신호를 보내는 역할을 한다. 설계된 POR 회로는 저항, 커패시터, 디지털 슈미트 트리거로 구성되며, 커패시터에 충전된 전압이 슈미트 트리거의 upper trip 포인트와 만날 때 리셋 신호를 생성하게 된다.

2.2 모의실험 결과 및 레이아웃

그림5는 설계한 아날로그 블록과 성능 테스트를 위한 메모리와 디지털 블록의 전체 도면을 나타낸다.

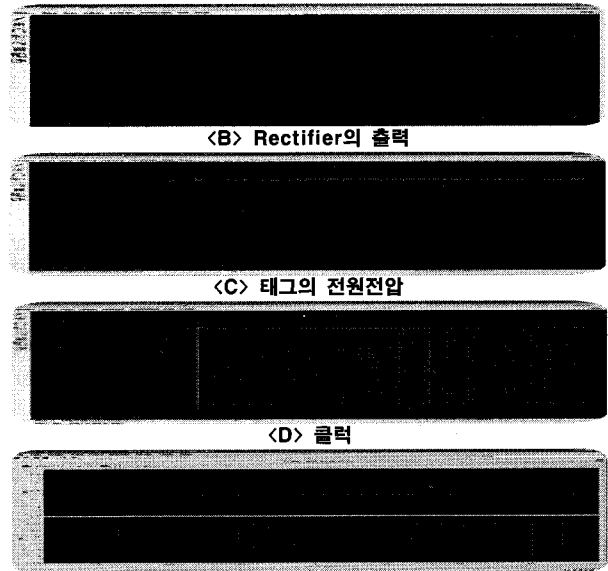


<그림5> 설계된 아날로그 블록의 전체 회로도

전체 블록의 모의실험은 0.3Vpeak의 RF 신호를(sine wave) 입력으로 하여 수행되었다. 그림6은 설계된 아날로그 블록의 모의실험결과를 나타낸다. <A>는 ASK demodulator의 출력이다. 약 9μs에서 태그의 전원전압<C>이 안정화 되고, 원하는 주파수의 클럭<D>을 발생한다. 그리고 충분히 클럭이 안정화 되었다고 예상되어지는 약 50μs에서 Reset신호가 발생되고 동시에 디지털 블록<F>이 동작을 시작하는 것을 확인 할 수 있다.

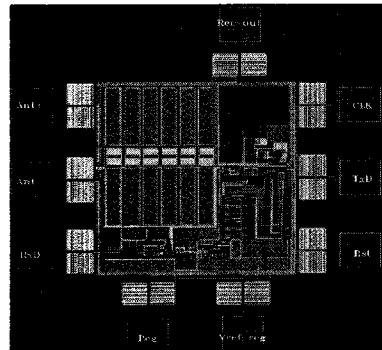


<A> ASK Demodulator의 출력



<그림6> 설계된 아날로그 블록의 모의실험결과

그림7은 Magna 0.18μm CMOS 공정을 사용하여 설계된 TAG chip의 layout이다. Layout시 최대한 기생성분이 적도록 모든 회로를 compact하게 그리는 것에 중점을 두었으며, 칩의 면적은 552.5μ × 338.80μ이다. 설계된 회로의 성능비교를 표1에 요약하였다.



<그림7> TAG Chip의 layout 도면

<표 1> 성능비교

	1.5V	1V	1.2V
Operation voltage	1.5V	1V	1.2V
Power consumption	5.14uW	2.63uW	2.8uW
Chip size	0.42mm ²	0.12mm ²	0.18mm ²
Memory	Mask ROM	Mask ROM	Mask ROM

3. 결 론

본 논문에서는 UHF대역 RFID 태그용 아날로그 회로를 설계했다. 설계된 UHF 대역 RFID 태그용 아날로그 회로는 0.24Vpeak의 RF 입력으로 동작이 가능하였으며, 1.2V 전원전압에서 동작하는 세부회로들은 약 2.8μA의 전류소모를 갖는다. 칩 면적은 552.5μ × 338.80μ로, UHF 대역 RFID 태그 칩에 적합한 작은 면적을 갖는다.

[참 고 문 헌]

[1] Namjun Cho, Seong-Jun Song, Sunyoung Kim, Shinho Kim, and Hoi-Jun Yoo, "A 5.1μW UHF RFID Tag Chip intergrated with Sensors for Wireless Environmental Monitoring", *IEEE International symposium on Circuits and Systems*, pp. 279-282, 2005
 [2] 심현철, "Design of Low-Power Analog Circuits for UHF Band RFID Tag Chip", 인천대학교, 석사학위논문 2007.12
 [3] Tran, Nhan, "Front-end Design of UHF-band RFID Tag Chip Using 0.35 um CMOS Process for Increased Reading Range", 경희대학교, 석사학위논문 2007.8