

프로세서와 디바이스간의 고속 통신을 위한 직렬 인터페이스 설계

이용환 · 주현웅
 금오공과대학교 전자공학과

Design of Serial Interface for High-Speed Communication between Processor and Device

Yong-Hwan Lee · Hyun-Woong Ju
 Department of Electronic Engineering, Kumoh Institute of Technology

Abstract - 기존 칩들 사이에 사용되는 인터페이스는 많은 선을 사용하여 EMI문제를 발생시키고 PCB에 많은 공간을 차지한다. 이를 해결하기 위하여 개발된 UniPro는 적은 선으로 빠른 통신속도를 지원하며 저전력 통신을 위하여 D-PHY와 함께 사용된다. 본 논문에서는 MIPI 규격의 UniPro를 설계하였다. 설계된 UniPro는 4개의 데이터 레인과 1개의 클럭 레인으로 구성되어 디바이스 사이의 데이터 및 제어신호를 전송 가능하다. 또한 낮은 전력소모를 위하여 전원 관리 장치를 추가하였으며 수신한 데이터의 에러 검출이 가능하도록 설계하여 신뢰도를 높였다. 설계된 인터페이스는 5,160 Gate크기 이며 속도는 98MHz이다.

Data를 전송하기 위하여 데이터 레인과 클럭 레인으로 구성되며 저전력 통신을 위한 저속도의 데이터 전송 방식과 고속 전송모드로 데이터를 전달한다.

2.2 PHY Adapter

PHY Adapter 계층은 <그림 2>와 같이 상위계층과 여러 개의 PHY 계층들이 사이에 위치한다. PHY Adapter는 상위레이어로 전원 관리 장치와 수신 버퍼 등이 있는 APPL(Abstract Physical Protocol layer)과 하위계층의 PHY를 제어하기 위한 PPL 부분으로 구성된다.

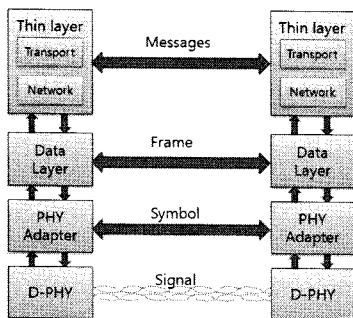
1. 서 론

최근 미디어 환경을 지원하기 위한 멀티미디어 IP들 사이의 통합 환경 구축이 중요하게 되었다. 그러나 디스플레이 모듈이나 카메라 모듈 등 각 칩들 사이에 존재하는 여러 통신 인터페이스는 복잡하고 때문에 PCB의 크기가 커지는 문제가 생긴다. 특히 기존의 병렬 인터페이스 연결의 경우 많은 연결선이 존재하여 단말기구내에 실장 하는데 제한이 있으며 EMI 문제를 야기한다. 이러한 칩들 사이에 인터페이스 문제를 해결하기 위한 단말기 플랫폼의 표준화 작업을 통하여 필름에서 MDDI가 나왔으나 디스플레이와 카메라에 한정된다. 그러나 2004년에 노키아, 모토로라, 삼성, ARM등 다수의 기업이 모여 설립된 MIPI 단체에서 모바일 단말기 전반적인 플랫폼을 위한 인터페이스를 발표하였다. 그 중 통합 프로토콜(UniPro)은 camera, display, audio들에 사용 가능한 인터페이스로 빠른 속도를 지원하는 PHY를 사용한다. 또한 UniPro는 순서 제어 그리고 여러 취급을 지원하기 위하여 모두 링크들은 양방향을 지원한다. 본 논문에서는 MIPI 규격의 UniPro를 설계하였다. 설계된 UniPro는 4개의 데이터 레인과 1개의 클럭 레인으로 구성되어 디바이스 사이의 데이터 및 제어신호를 전송 가능하다. 또한 낮은 전력소모를 위하여 전원 관리 장치를 추가하였으며 수신한 데이터의 에러 검출이 가능하도록 설계하여 신뢰도를 높였다.

2. 본 론

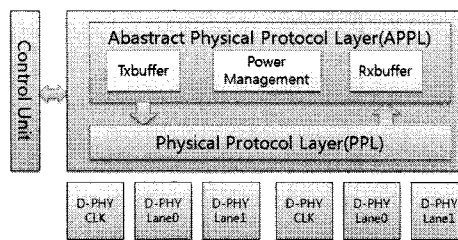
2.1 인터페이스 구조

UniPro의 인터페이스 구조는 최대 8개의 데이터 레인과 1개의 클럭 레인을 지원하도록 구성된다. 인터페이스의 제어 그리고 에러 검출을 지원하기 위하여 모든 링크들은 양방향 구조를 기본으로 연결한다. UniPro의 각 레이어는 <그림 1>과 같은 구조로 구성된다.



<그림 1> UniPro 계층 구조

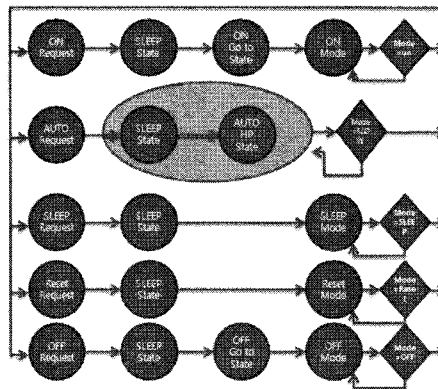
프로토콜 레벨은 수평 화살표와 같이 서로 연결된다. 최상위 Thin 계층은 응용계층과 접촉하는 Transport 계층과 Network 계층 두개로 구성되어 응용 프로그램과 직접적으로 통신한다. Thin layer 에서 Transport 계층은 서로 메시지들을 보냄으로써 통신하며 Network 계층에서 메시지의 도착 및 경우 역할을 한다. 그러나 Thin layer에서 물리적으로 통신하기 위하여, 메시지들을 Data 계층에서 프레임 구조로 재구성 하여 PHY Adapter 계층의 D-PHY의 레인 개수에 맞추어 데이터를 D-PHY로 전송한다. D-PHY는



<그림 2> PHY Adapter의 구성

PHY Adapter는 PHY로부터 전해진 데이터를 상위 계층에 일관성 있도록 전달하기 위해 자료의 일괄적인 변환 방식을 지원한다. PHY Adapter는 데이터의 전송을 위하여 상위 Data 계층에서 컨트롤 비트를 포함하여 17bit의 데이터 전송 받아 버퍼에 저장한다. 그러나 D-PHY는 8bit의 인터페이스를 제공하여 자료 전송시 1bit의 전송이 불가능한 데이터가 발생한다. 이러한 문제를 해결하기 위하여 사용하는 레인의 개수에 따라 데이터를 다시 배치하는 symbol 매핑 과정을 거쳐 각 레인으로 전송하며 데이터의 수신시에는 8bit로 나누어진 자료를 다시 조합하는 과정을 거치게 된다.

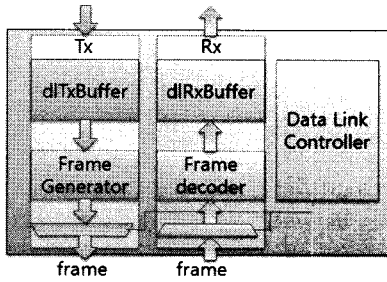
PHY Adapter는 저전력 구현을 위하여 전원 관리 모듈을 내장한다. 이 모듈은 ON, SLEEP, AUTO, RESET, OFF등 여러 가지 모드를 가지고 있으며 이 모드들은 외부에서 레지스터 설정으로 각 모드를 설정할 수 있다. 전원 관리 모듈의 상태도는 <그림 3>과 같다.



<그림 3> 전원 관리 모델 상태도

2.3 Data Link Layer

데이터 링크 계층은 프레임으로 불리는 심볼들의 그룹을 전송하며 PHY Adapter 인터페이스를 제어한다. 데이터 링크 층은 프레임구조의 데이터 구조와 프로토콜 제어기능을 사용하여 프로토콜과 프로토콜 사이에서 통신하는 중간 역할을 수행한다. 데이터 링크 계층은 순서 제어나 데이터 에러를 체크 및 수정 가능하도록 구성되어 있다. <그림 4>는 이러한 데이터 링크 계층의 전체적인 구성도이다



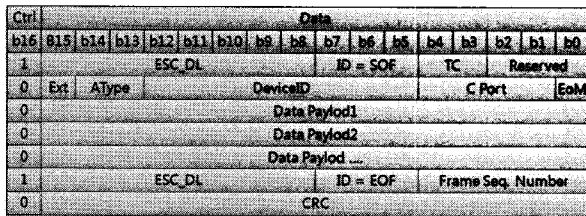
〈그림 4〉 Data Link Layer의 구성

데이터 링크 계층에서 사용하는 프레임은 상태 제어를 위한 헤더와 상위 계층에서 넘어온 데이터들로 이루어져 있다. 데이터 링크 계층에서 트래픽의 구성을 만드는 것은 프레임 포맷을 사용한다. 상위 계층 데이터 패킷과 함께 한가지 TC(Traffic Class)를 설정하여 생성한다. 프레임의 시작에 사용되는 SOF(Start of Frame) 기호는 프레임 시작의 식별과 프레임의 트래픽 종류의 식별로서 사용된다. Data Link 계층에서 상위 계층으로부터 넘어온 데이터의 신호수에 따라 짝수일 경우 프레임의 끝이 EOF_PAD(End of Frame PAD)이고 홀수일 경우 EOF 기호가 프레임에 추가되어 전송된다. 항상 EOF나 EOF_PAD 기호는 CRC 오류검증 기호의 뒤 추가되며 프레임의 정보는 CRC 확인이 정확해야 사용가능 하다.

Data Link 계층에서 프레임의 순서 제어는 응용 프로그램에서 프레임과 프로토콜을 요청할 때 수신단에서 추가적인 데이터 프레임들을 수신여부를 확인한다. 이러한 과정은 데이터를 수신하지 않을 때 수신기를 중단하여 패킷이 빠지거나 버퍼 공간으로부터 부족으로 인해 소실되는 것을 막는다. 수신기가 송신기 자유 공간이 수신기의 공간이 어느 정도 사용 가능한가를 32 바이트 장치에 표현함으로 확인할 수 있다. 버퍼가 충분한 공간을 가지고 있어야만 송신기는 데이터를 보내도록 허용한다.

2.4 Network Layer

네트워크 계층은 패킷을 생성하고 해석하는 기능을 수행하고 전송할 대상에게 네트워크를 통하여 패킷의 수신 루트를 정한다. 네트워크 계층은 CO 패킷을 이용하여 수신하는 대상의 디바이스에 자료를 전달한다. <그림 5>는 CO 패킷의 구조에 대해 나타낸다.



〈그림 5〉 CO 패킷 구조

패킷은 네트워크를 통하여 전송된 데이터의 유니트들로 대상 디바이스의 네트워크를 통하여 패킷을 전송한다. 네트워크 계층은 패킷을 보냈던 소스 디바이스의 정보를 담는다. 네트워크 계층의 패킷은 데이터 링크계층의 프레임들에 의하여 만들어진다. UniPro는 패킷과 프레임사이를 직접 매핑을 하는 방식을 선택하여 패킷을 하나의 프레임으로서 만들어 전송한다. 프레임은 단순히 데이터를 수화물로서 패킷을 전송한다. 패킷은 적재물의 256바이트까지 담고 있는 것이 가능하며, 최종적으로 데이터 링크 계층을 거치면서 로직은 17 비트 기호를 포함한 프레임의 형태로 전송된다. 소스 DeviceID의 CO 패킷 구조는 대상의 DeviceID와 CPort의 조합으로 구성된다. UniPro의 CPort는 동시에 두 개 이상의 연결 연결을 지원할 수 없기 때문에 소스 DeviceID와 CPort의 조합에 의하여 수신하는 디바이스가 구분된다.

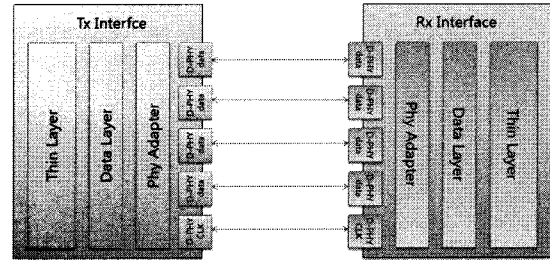
2.5 Transport Layer

Transport Layer는 메시지의 전송과 수신을 그리고 패킷 헤더에 End-of-Message 비트와 ProtocolID 항목을 관리한다. Transport 계층은 어플리케이션이 CO 전송을 위해 Transport 계층의 서비스 인터페이스를 연결을 위한 CPorts를 제공한다.

송신기는 네트워크로 응용 소프트웨어 계층으로부터 넘어온 데이터를 SendCO를 통하여 네트워크 계층으로 전송한다. 전송된 데이터들의 블록들 사이에 약간의 도착 시간의 간격이 존재하며 이 간격은 지연에 따른 SendCO의 요청으로 발생한다. 응용 프로그램 계층은 EoM이 송신기에 전송되는 데이터의 마지막 바이트가 메시지의 최후 바이트인 것을 나타내도록 함으로써 메시지 경계를 규정한다. 다음 전송한 데이터는 자동적으로 새로운 메시지의 출발로 인식한다. SendCO의 패킷명은 패킷의 시작에 여분 헤더 기호를 더하여 헤더를 만든다.

3. 구현 및 검증

본 논문에서 UniPro의 규격을 Verilog-HDL로 구현하였으며 한 개의 클럭 레인과 4개의 데이터 레인을 사용하였다. 인터페이스의 검증을 위하여 <그림 6>과 같은 형태로 구성하였다. 데이터를 전송단의 Thin 계층에 입력하여 PHY로 전송하고 수신단의 PHY에서 수신하여 디코딩 과정을 거치도록 하였다.



〈그림 6〉 검증을 위한 인터페이스 구성

데이터 전송의 정확성을 확인하기 위해 송수신부에 CRC 생성기를 설계하여 전송중의 데이터 에러를 체크 하였다. 시뮬레이션 툴로 Model-Sim을 사용하여 기능 테스트를 수행 하였다.

설계된 인터페이스를 0.35um CMOS 공정을 이용하여 합성한 결과를 다음 <표 1>에 나타내었다. 합성된 결과 면적은 5,160이며 동작 속도는 98MHz로 확인 되었다.

〈표 1〉 합성 결과

Technology	0.35um standard cell	
Synthesis condition	Voltage	3.6(typical : 3.3V)
	Process	0.7(typical : 1)
	Temperature	-40(typical:25)
Operating frequency	98MHz	
Gate count	5,160	

4. 결 론

본 논문에서는 MIPI 규격의 UniPro를 설계하였다. 설계한 직렬 인터페이스는 4개의 데이터 레인과 1개의 클럭 레인을 지원하며 전원 관리 장치들을 이용하여 저전력 구성이 가능하도록 하였다. 구현한 시스템의 합성결과 면적은 5,160 정도 이며 속도는 98MHz 정도로 UniPro의 스펙에 만족하는 결과를 확인 할 수 있었다 설계된 UniPro는 응용 프로세서나 센서 등의 인터페이스로 사용 할 수 있다.

[참 고 문 헌]

- [1] 박상우, 현유진, 권순, 이용환, "모바일용 고속 직렬 디스플레이 인터페이스 설계", 대한 전자공학회, 2007년 추계학술대회, 504, 2007년
- [2] Mingdeng Chen, Jose Silva-Martinez, Michael Nix, and Moses E. Robinson, "Low-Voltage Low-Power LVDS Drivers", *IEEE Journal of Solid-state*, Vol. 40, No. 2, Feb. 2007.
- [3] Analysis of parallelism in autonomous execution of dataflow program nets, *MIPAllianceStandardforUniversalProtocol*,2006
- [4] Amini, E.and Najibi, "FPGA Implementation of Gated Clock based Globally Asynchronous Locally Synchronous Wrapper Circuits", *IEEE JournalofSolid-state*,Vol.1,pp1-4,July.2007.
- [5] Hwang-Cherng Chow and Wen-Wann Sheen, "Low Power LVDS Circuit for Serial Data Communications", *Proceedings of International symposium on Intelligent Signal Processing and Communication Systems*, pp.13-16, Dec 2007
- [6] Jaejeong Lee, Byoungchul Ahn, Dong Ha Lee and Sang Heon Lee, "A Design and Implementation of Low Power Management for Personal Multimedia Systems", *IEEEJournalofSolid-state*,vol10,pp.22-24,Aug2007

* 2008년도 IT-SoC 핵심설계인력양성 사업의 SoC 전공실습프로젝트 지원에 의한 연구 결과의 일부임

* 반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사드립니다.