

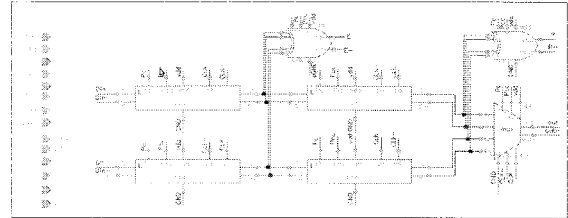
광통신 응용을 위한 2.5Gbps CMOS CDR회로 설계

김태준, 박진구, 이경호, 차충현, 유종근
인천대학교 전자공학과

Design of a 2.5Gbps CMOS CDR for Optical Communications

T. J. Kim, J. K. Park, K. H. Lee, C. H. Cha, C. G. Yu
Dept. of Electronic Engineering, University of Incheon

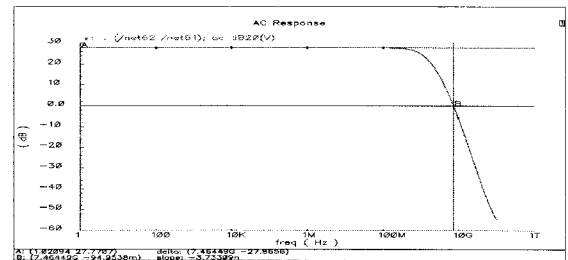
Abstract - 본 논문은 0.18 μ m CMOS 공정을 사용하여 2.5Gb/s CMOS CDR을 설계하였다. CML type의 논리게이트를 이용하여 보다 높은 주파수의 대역의 데이터를 복원하기 위한 위상비교기(PD)와 PD의 up과 down 신호를 지연없이 루프필터(LF)에 공급하기 위한 전하펌프(CP) 그리고 외부 스위치를 통해 VCO이득을 조절할 수 있는 링 타입의 VCO로 구성되었다. 또한 VCO의 부담을 줄이기 위하여 half-rate 클럭 테크닉을 사용하였다. Cadence tool을 사용하여 모의실험 및 layout을 하였다. VCO이득은 100MHz/V이고, 클럭 jitter는 rising일 때 27ps, falling일 때 32ps로 우수한 결과를 얻을 수 있었다. 테스트칩 제작은 매그나칩 0.18 μ m CMOS 공정을 이용하였다. 칩 사이즈는 PAD를 포함하여 850 μ m \times 750 μ m이다.



<그림 2> Half-rate PD 회로도

1. 서 론

CDR(Clock and Data Recovery)회로는 광통신, backplane routing, chip-to-chip interconnect와 같은 고속 데이터 통신 시스템의 수신단에서 디지털 신호의 재생에 필요한 클럭을 제공하기 위해 많이 사용된다. 광통신과 같이 통신 시스템이 고속화됨에 따라서 기존 병렬 인터페이스의 여러 가지 기술적 한계를 직렬 인터페이스를 사용하여 해결 할 수 있으며, 클럭/데이터 복원회로인 CDR이 그 대표적 예로, CDR에 대한 연구가 활발히 이루어지고 있다. 본 연구에서는 0.18 μ m공정과 1.8V의 공급전압을 사용하였다. 본 논문에서 설계한 CDR은 4-phase 링 발진기와 half-rate PD, CP, 그리고 2차 LF를 사용한 half-rate 구조이다. Half-rate구조는 2.5Gb/s 입력 데이터를 2개의 1.25Gb/s 데이터로 demultiplexing와 retiming을 동시에 수행한다.



<그림 3> PD의 AC응답

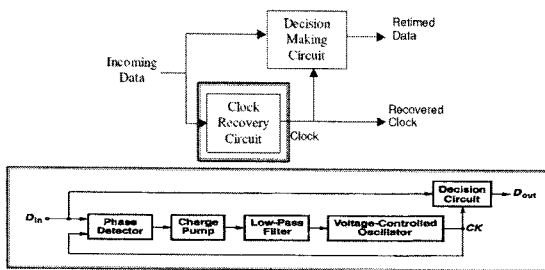
2. 본 론

2.1 회로설계

그림1은 본 논문에서 설계된 CDR의 전체 구성 블록 다이어그램이다. 2.5GHz 대역의 데이터를 복원하기 위한 회로이므로 1.25GHz의 VCO 발진 주파수의 half-rate 구조를 이용하여 VCO의 부하를 줄여 안정적인 데이터와 클럭을 decision circuit에 제공한다. 안정적인 VCO이득 및 낮은 위상잡음(phase noise)을 갖는 VCO와 2.5GHz 대역폭을 갖는 PD가 필수적이고 PD의 출력 신호에 따라 VCO의 컨트롤 전압을 조절하는 LF(low pass filter)에 적정량의 전하를 Pumping 하는 CP(charge pump)가 필요하다.

2.1.2 CP(Charge pump)

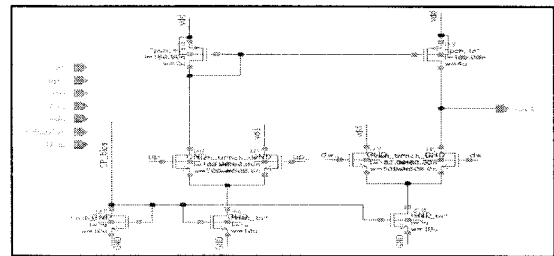
PD의 출력신호인 'up'과 'down'을 차등으로 받아 LF에 전하를 충전 혹은 방전하는 역할을 한다. LF로 공급되거나 빠져나간 전류에 의해 VCO의 컨트롤 전압을 조절하며, 이 컨트롤전압에 의해 VCO의 출력 주파수가 결정된다. 공급되는 전류의 값은 100 μ A이다. 그리고 CP의 안정적인 동작을 위해 Bandgap 기준 전압을 이용하였다. 그림4는 설계된 CP의 회로도이다.



<그림 1> CDR 블록 다이어그램

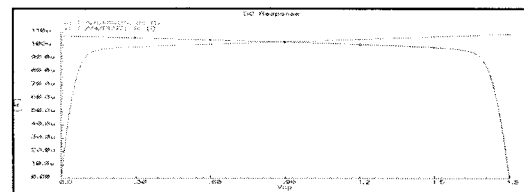
2.1.1 PD(Phase detector)

PD는 입력 데이터와 VCO로부터 피드백되는 클럭을 비교하여 그 위상 차이를 CP의 'up'과 'down'으로 보내는 역할을 한다. 본 회로에서 쓰이는 PD는 half-rate의 구조로써, latch, XOR, MUX로 구성되고, 클럭과 반전된 클럭으로 데이터를 읽는 latch를 통해 에러신호와 레퍼런스 신호는 CP의 'up'과 'down'의 차등입력으로 들어가게 된다. 그림2는 PD의 각 블록의 배치를 보였다. 기존 full-rate Hogge구조의 PD에서 linear half-rate 구조의 PD를 사용함으로써 VCO의 발진 주파수의 부담을 줄였다. 그림 3은 PD의 AC 응답을 보여준다. 이득은 PD에서 중요하지 않기 때문에 데이터를 수용할 수 있는 최대 범위인 UGF를 측정하였다. 그 결과 목표 했던 2.5GHz의 두 배가 넘는 7.46GHz의 대역폭을 얻을 수 있었다.



<그림 4> CP의 회로도

그림5는 CP의 출력전압 크기에 따른 up/down 전류의 변화를 측정한 모의 실험 결과이다. 0.4V~1.4V의 범위에서 100 μ A 기준으로 약 \pm 2.5 μ A의 변화폭을 갖으며, VCO의 컨트롤 전압을 제어하기 충분한 안정성과 유연성을 갖고 있음을 확인했다.

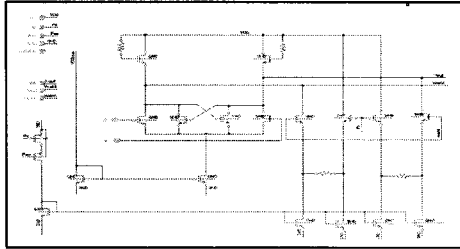


<그림 5> up/down 전류의 변화 측정 결과

본 논문은 정보통신연구진흥원의 NEXT 사업 지원에 의한 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

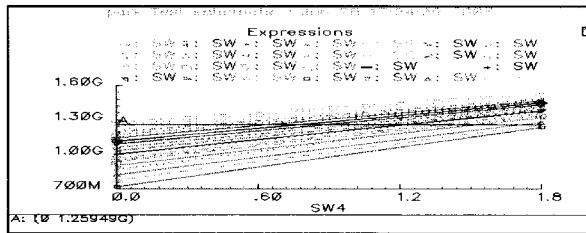
2.1.3 VCO(Voltage controlled oscillator)

Half-rate 구조를 사용하므로 1.25GHz의 발진 주파수를 얻기 위한 VCO를 구성하였다. 그림6과 같은 delay cell을 4단으로 구성하였고 외부 5bit 스위치를 추가하였다. 또한 VCO의 duty ratio를 조절하기 위하여 DCC(Duty Cycle correction)회로를 발진기의 output buffer 사이에 추가하였다. LF로부터 0.9V의 전압을 기준으로 중심주파수 1.25GHz로 설계하였다. VCO 주파수의 위상차이가 PD에 의해 검출되어 CP를 거쳐 LF에 전달되는데 고주파 성분은 제거된 DC 레벨 성분만을 입력으로 받아들여 중심주파수에 locking 되도록 하였다.



<그림 6> VCO delay cell

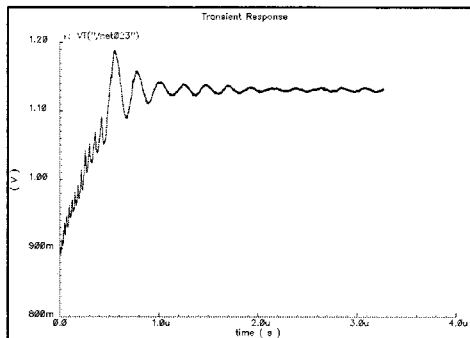
그림7은 5-bit 스위치의 설정에 따른 VCO의 발진주파수 특성이다. 목표 주파수인 1.25GHz에 최대한 많이 걸칠 수 있도록 설계 하였다. 그림에서 보듯이 1.25GHz에 많은 주파수가 걸침을 볼 수 있다.



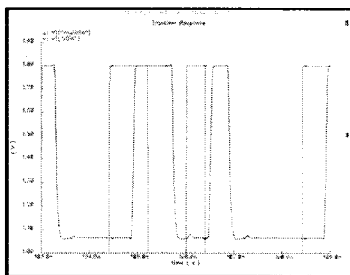
<그림 7> 32개의 VCO이득

2.2 모의실험 결과 및 layout

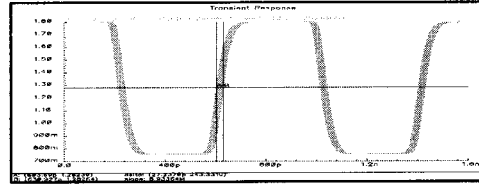
설계된 회로의 성능을 검증하기 위해 0.18μm CMOS 공정변수를 사용하여 모의실험을 하였으며, 그 결과를 그림 8, 9, 10에 나타내었다. 설계된 CDR은 그림 8에서 보듯이 2μsec에서 locking이 되며, 약 0.5nsec 정도의 지연을 가지며 데이터가 제대로 복원되는 것을 그림9에서 확인할 수 있다. 그림 10은 복원된 클럭 지터 특성을 보여주며 rising일 때 27ps, falling일 때 32ps의 결과를 보여준다.



<그림 8> Locking

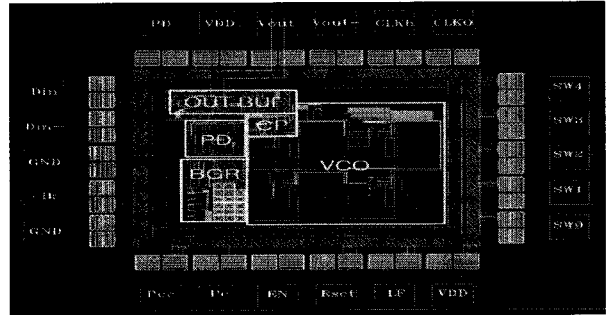


<그림 9> Data in and out



<그림 10> Jitter 특성

그림11은 CDR의 layout 도면이다. Magna 0.18μm 1-poly 6-metal CMOS 공정을 사용하여 layout하였다. Layout시 최소 면적 사용에 주안점을 두어 설계 하였고, differential 구조의 경우 mismatch가 덜 일어날 수 있도록 matching을 고려하여 interdigitized 방식 또는 common-controid 방식을 사용하여 설계하였다.



<그림 11> 설계된 CDR의 layout 도면

<표 1> 성능요약

	[1]	[2]	[3]	This work
Supply voltage	1.2V	1.8V	1.8V	1.8V
VCO gain	200MHz/V	-	200MHz/V	100MHz/V
Dissipation	15.2mW	160mW	86mW	20mW
Clock jitter	-	26ps	12.6ps	30ps
Process	0.13um	0.18um	0.18um	0.18um
Data rate	2.5Gbps	3.2Gbps	3.125Gbps	2.5Gbps
VCO frequency	1.25GHz	1.6GHz	1.56GHz	1.25GHz
CDR structure	half rate	half rate	half rate	half rate

3. 결 론

실험결과 PD의 rising과 falling에서 지터가 각각 9.81ps, 2.69ps로 우수한 결과를 보였으며 대역폭은 7.46Gb/s로 2.5Gb/s의 두 배가 넘는 대역을 확보하였다. CP의 출력 전압에 크기에 따른 up/down 전류의 변화는 0.4V~1.4V의 범위에서 100uA 기준으로 약 ±2.5uA의 변화폭을 가짐으로써 VCO의 제어의 안정성과 유연성을 보였다. VCO의 이득과 위상잡음은 각각 109MHz/V와 -77cBc/Hz로 비교적 우수한 성능을 얻을 수 있었고, Duty ratio는 50:50으로 출력신호와 우수한 대칭성을 보였다. 전체회로에서 소비 전력은 출력 버퍼를 제외한 약 20mW이고, VCO의 locking은 2μs에서 이루어지며 지터는 27ps로 평균 80ps정도 우수한 성능을 보였다.

[참고 문헌]

- [1] B.Razavi (ed.), "Monolithic Phase-Locked Loops and Clock Recovery Circuits", IEEE Press, 1997
- [2] B. Razavi, "Design of Integrated Circuits for Optical Communications", McGrawHill, 2002
- [3] IEEE JOURNAL OF SOLID-STATE CIRCUITS, "CMOS CDR CIRCUIT USING 1/8-RATE CLOCK TECHNIQUE", VOL.38, NO.7, JULY 2003
- [4] Jafar Savojo, Michael Green, Chin-Kong, Ken Yang, Ricardo Perez-Marco, Behzad Razavi, "A 10Gbps CMOS Clock and Data Recovery Circuits", UMI, University of California Los Angeles
- [5] Jin Kyu Kwon, Tae Kwan H내, Sang-Bock Cho, and Sung Min Park, "A 5-Gb/s 1/8-RATE CMOS CLOCK AND DATA RECOVERY CIRCUIT", School of Electrical Engineering, University of Ulsan, Ulsan, 680-749, Korea, Dept.of Information Electronics Engineering. Ewha Womans University, Seoul 1120-750, Korea
- [6] Harish S.Muthali, Thomas P. Thomas, Ian A. "A CMOS 10Gb/s SONET Transceiver", Intel Corporation, Portland Technology Development.