

휴대용 기기를 위한 CMOS DC-DC 변환기 설계

오남걸, 이재경, 조인형, 장수훈, 차충현, 유종근
인천대학교 전자공학과

Design of a CMOS DC-to-DC Converter for Portable Devices

N. G. O, J. K. Lee, I. H. Cho, S. H. Jang, C. H. Cha, C. G. Yu
Dept. of Electronics Engineering, University of Incheon

Abstract - This paper describes a low voltage, low-power CMOS buck DC/DC converter, which has a simple common-gate current sensing circuit. It consumes low power because it includes less transistors than other converters which use operational amplifiers for current sensing. The designed DC-DC converter is fabricated in a 0.18um CMOS technology. A maximum efficiency of 88% has been obtained with the proposed circuit. It has 2V~3.7V input voltage range, 1V~2.5V output voltage range and maximum output current of 1000mA.

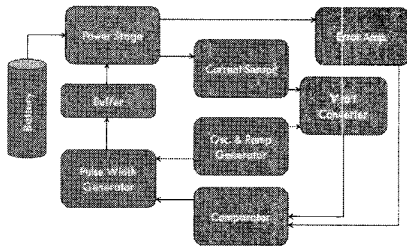
1. 서 론

최근 많은 휴대용 기기들이 사람들의 필수 용품으로 자리 잡고 있다. 이런 휴대용 기기들은 배터리를 전원으로 사용하고 있다. 배터리의 구동시간은 휴대용 기기의 구매 요소에서 매우 중요한 위치를 차지하고 있다. 그러므로 설계자들에게 있어서 배터리 구동 시간을 길게 하기 위해서 DC/DC 컨버터의 효율이 가장 중요한 요소로 부각 되었다. 일반적인 DC/DC 컨버터에서는 연산증폭기를 이용하는 전류감지 기법을 사용하는 경우 비교적 정확한 전류 감지를 보여 주지만 그만큼 많은 전력 소모를 야기 한다.

본 논문에서는 공통게이트 증폭기 회로를 사용하는 전류 감지 회로를 사용함으로써 전력 소모를 줄이고 효율을 높이고자 하였다. 이 설계는 0.18um 공정으로 제작 되었다.

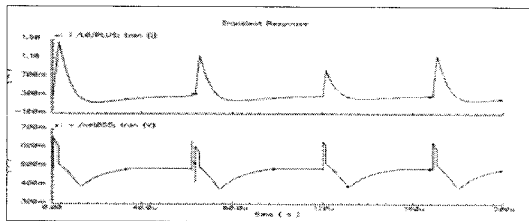
2. 본 론

그림 1은 전체 DC/DC 컨버터의 블록 다이어그램이다. 입력 전압이 들어 오면 파워 스테이지의 스위치 동작으로 전압이 충전과 방전을 하면서 전압을 강하 한다. 위 동작을 원활하고 효율적으로 하기 위해 여러 회로들이 사용된다.



<그림 1> Block diagram

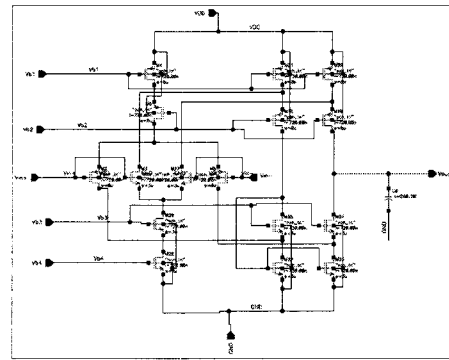
먼저 인덕터에 흐르는 전류를 감지하는 회로를 사용하였다.[1] 이 회로는 공통 게이트 증폭기를 사용하여 적은 전력 소모로 전류를 감지한다. 그림 2에 모의실험을 통한 전류 감지 결과를 나타 내었다. 인덕터에 흐르는 신호를 감지해법을 확인 할 수 있다.



<그림 2> 인덕터 신호(上) & 감지 신호(下)

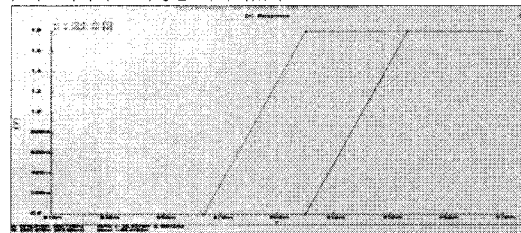
본 논문은 정보통신연구진흥원의 NEXT 사업 지원에 의한 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

다음으로 기준 전압과의 비교를 통해 오차를 증폭하는 오차 증폭기를 그림 3에 나타내었다. 그림 3은 rail to rail OTA[2]로서 입력 단에 PMOS와 NMOS를 사용함으로써 입력 전압의 범위를 늘렸고 보상 커패시터를 칩에 집적함으로써 전체 변환기의 크기도 줄일 수 있었다. 증폭기의 이득은 73dB, phase margin 은 63°로 변환기 동작에 적합한 값을 얻었다.



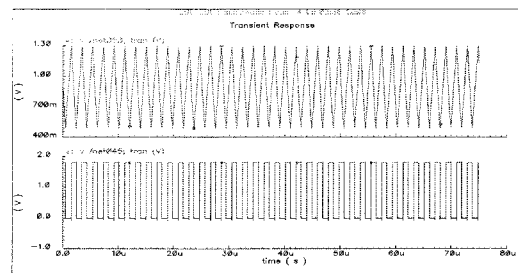
<그림 3> 오차 증폭기

비교기[3]은 오차 증폭기에서 나온 신호와 인덕터에서 감지 된 신호를 비교하여 PWM에 보내게 된다. 비교기는 히스테리시스 특성을 갖도록 설계 하였는데 이 특성으로 스위치 온오프 동작을 더 안정적으로 할 수 있다. 그림 4에 히스테리시스 특성을 나타내었다.



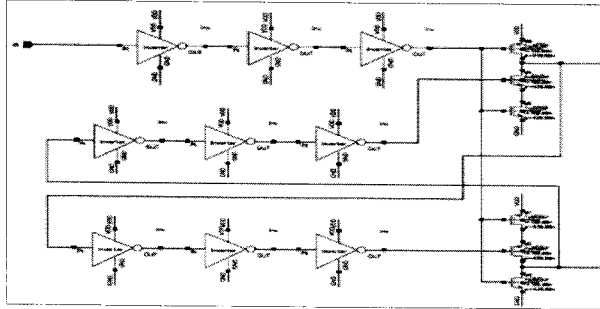
<그림 4> 히스테리시스 특성

스위칭 주파수를 결정 하고 감지한 전류 신호의 보상을 위해서 클럭 신호와 톱니파를 발생시키는 회로를 사용하였다.[3] 이 회로는 본 논문에서 사용하는 비교기와 증폭기를 사용함으로써 새로운 회로 설계에 대한 시간을 절약 할 수 있었다. 그림 4에 500KHz의 주파수를 갖는 클럭 신호와 기울기 보상을 위한 톱니파 파형을 확인 할 수 있다.



<그림 5> 클럭 과 톱니파 발생기 출력 파형

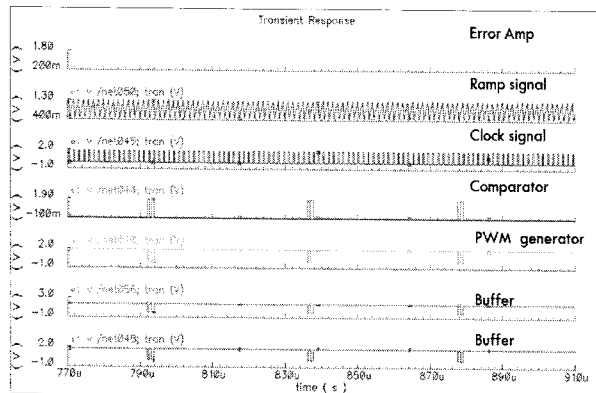
그림 6에 버퍼와 데드타임 컨트롤러를 나타냈다.[3] 최종적으로 파워 스위치 단에 온오프 신호를 보내주는 PWM은 SRLatch와 2입력 NAND게이트로 구성 되어있다. 이 신호가 버퍼로 들어가게 된다. 버퍼에는 파워 스위치를 충분히 구동하기 위해 여러 단의 버퍼를 달아주었으며 스위치로의 돌입전류를 막기 위해서 데드타임 컨트롤러를 설계 하였다.



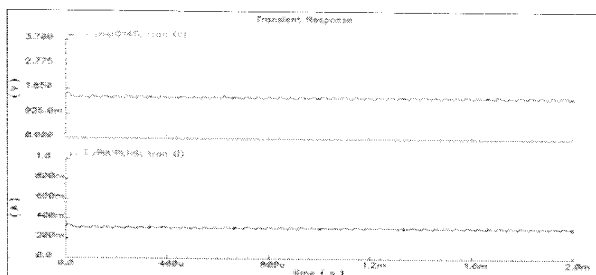
〈그림 6〉 버퍼와 데드타임 컨트롤러

2.2 모의실험 결과

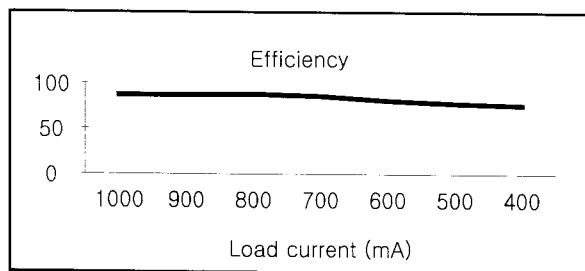
그림 7, 8, 9에 모의실험 결과를 나타내었다. 먼저 그림 7은 각 블록에서의 출력 파형이며 그림 7은 DC/DC 컨버터의 출력 파형이다. 입력 전압 3.7V, 부하 저항 5 ohm의 조건에서 1.5V의 출력 전압과 300mA의 출력전류가 얻어 지는 것을 알 수 있다. 그림 9은 전체 컨버터의 효율을 보여주는 그래프이다. 대체적으로 80%이상의 고른 효율을 나타내며 최대는 88%로서 이는 부하 저항이 1.5 ohm이고 출력전류가 800mA일 때의 효율이다.



〈그림 7〉 각 블록의 출력 파형



〈그림 8〉 출력 전압과 전류 파형

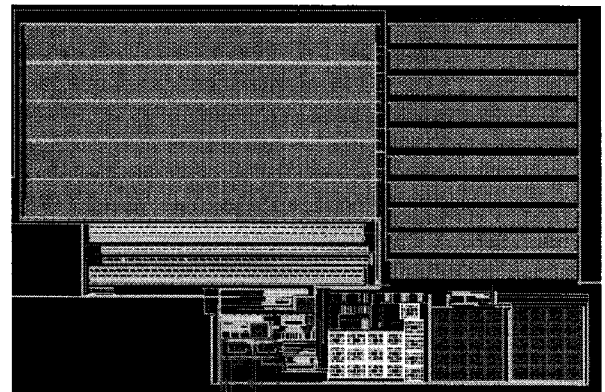


〈그림 9〉 효율

설계된 전체 DC/DC 컨버터의 성능요약과 기존 컨버터들과의 비교를 표1에 나타내었다. 본 논문에서 설계 된 회로는 리플 전압이 약간 크다는 단점이 있지만 다른 주요특성에 대해서는 비슷하거나 좋은 성능을 보여주고 있다. 그림 8은 layout 도면이다.

〈표 1〉 성능 요약

	[4]	[5]	[6]	This Work
Applications	Boost	Buck	Buck	Buck
SW freq. (KHz)	500	5000	54~860	500
In Vol. (V)	0.8~2.4	2.5~3.3	2.4~4.2	1~2.5
Out Vol. (V)	1.8~3.3	0.5~2.5	-	1.7~3.4
Max efficiency (%)	90.7	85	92	88
Load current (mA)	<500	<500	<500	<1000
Ripple vol. (mV)	-	50	18	60
Size (mm ²)	2.1	-	0.85	0.84
Process	0.18um CMOS	0.35um CMOS	0.35um CMOS	0.18um CMOS



〈그림 10〉 Layout 도면

3. 결 론

본 논문에서는 여러 기술을 사용 하여 DC/DC 컨버터를 0.18um CMOS 공정을 사용하여 설계 하였다. 모의실험 결과 전체 칩 크기는 0.84mm² 이고 출력 전류는 최대 1000mA의 범위를 가졌다. 요즘의 휴대용 기기는 점점 작아지고 있으며 한 기기 안에 다양한 응용 프로그램을 가지고 있다. 본 논문의 결과는 그러한 추세에 큰 도움을 줄 것으로 생각된다.

〈참 고 문 헌〉

- [1] L. Ng., S. Prawira, L.S. N. and Y.Y.H. Lam, H.S.Fong "Analysis of Lossless Current Sensing Techniques with High Accuracy and Linearity", ICCAS 2007. Vol. Issue ,11-13, pp. 1021 - 1024 Jul. 2007
- [2] 심현철, 박종태, 유종근, "Jitter 특성 개선을 위한 Charge pump 설계" 학사 졸업논문, 인천대학교, 2005
- [3] C Fai Lee and Philip K. T. Mok, " A Monolithic Current-Mode CMOS DC-DC Converter With On-Chip Current-Sensing Technique," IEEE Journal of solid circuit. Vol. 39, No. 1, pp. 3-14, Jan. 2004
- [4] 정경수, 양희관, 차상현, 임진업, 최중호 "전류 감지 feedback 기법을 사용한 고효율 CMOS DC-DC Boost 변환기의 설계" 전자공학회 논문지 제 43권 SD 편 제 9 호 Sep. 2006
- [5] K. Umimura, H. Sakurai, Y. Sugimoto, "A CMOS current-mode DC-DC Converter with input and output voltage-independent stability and frequency characteristics utilizing a quadratic slope compensation scheme" IEEE 2007,
- [6] S. M. Wu, C. L. Wu, C. H. Chang, " A new CMOS DC-DC Converter with Adaptive mode-Switching mechanism" 2006