

Load Regulation을 보정한 Buck DC-DC converter의 설계

정진일 박용식 김연상 객계달
한양대학교 전자컴퓨터통신공학과

Design of Buck DC-DC converter with improved load regulation

Chung Jinil Park Yongsik Kim Yoonsang Kwack Kaedal
Devision of Hanyang University

Abstract - Proposed buck converter includes load current sensing circuit to compensate load regulation. Because error amp has finite gain, there is load regulation in SMPS. In this paper we use variable current source that is added to positive input of comparator and current of current source is changed by sensed load current.

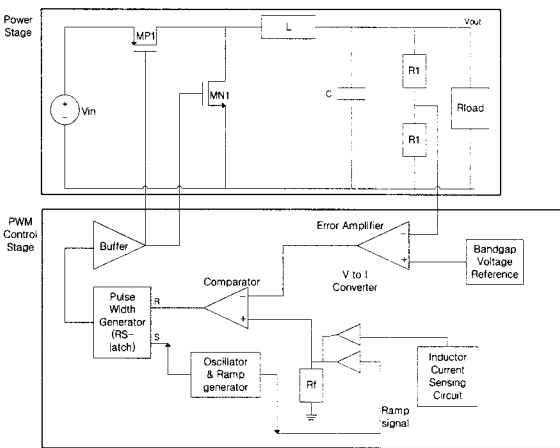
The simulation result shows that proposed buck converter has improved load regulation than conventional buck converter.

1. 서 론

반도체 집적회로 기술의 발전으로 전자기기들의 소형화, 경량화가 이루어지면서 휴대전화, mp3와 같은 휴대용 전자기기들의 보급이 확대되어 가고 있다. 이러한 배터리를 에너지원으로 사용하는 휴대용 전자기기들의 보급에 따라 이들 전자기기의 고성능화, 장시간 사용에 대한 요구가 발생하였고, 이러한 요구에 의해 휴대용 전자기기를 위한 고성능, 고효율의 전원공급장치와 에너지 밀도가 높은 배터리의 개발 등이 활발하게 진행되고 있다. 본 논문에서는 휴대용기기의 전원공급장치로 사용될 수 있는 DC-DC converter의 load regulation을 향상시키기 위해 converter의 출력단에 전류를 감지하는 회로를 추가시키는 방법을 제안한다.

2. 본 론

2.1 DC-DC converter의 기본구조



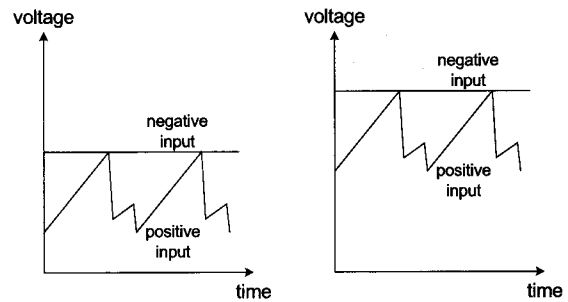
〈그림 1〉 제안하는 Buck converter block diagram

그림 1은 Buck DC-DC converter의 기본구조를 보여주고 있다. DC-DC converter는 크게 power stage와 PWM control stage로 나눌 수 있는데 power stage는 커패시터와 인덕터, 두 개의 스위칭 power MOS를 통해 우리가 원하는 전압을 만들어 내는 부분이다. 즉, 두 개의 power MOS가 스위칭하는 것에 의해 인덕터에 에너지가 저장되었다가 방출되는 것에 의해서 커패시터에 일정한 전압이 쌓여 우리가 원하는 전압을 얻어낼 수 있는 것이다.

여기서 출력으로 나오는 전압은 두 개의 power MOS turn on 되는 시간의 비인 duty ratio에 의해 결정되는데 이 duty ratio를 조절해 주는 부분이 PWM control stage이다. PWM control stage는 출력노드로부터 현재의 전압을 감지하여 이 전압이 우리가 원하는 전압이 되도록 duty ratio를 조절한다. 현재 출력전압이 원하는 전압보다 크면 error amp의 출력이 낮아져 comparator의 전압이 빨리 high로 바뀌고, 결과적으로 duty ratio가 작아져 출력전압이 낮아지게 되고, 출력전압이 원하는 전압보다 작으면 error amp의 출력이 높아져 comparator의 전압이 천천히 low로 바뀌고, 결과적으로 duty ratio가 커져 출력전압이 높아지게 된다.

2.2 Load regulation 보상방법

Buck DC-DC converter에서 load regulation은 부하에 흐르는 전류에 따른 출력전압을 변동률을 말한다. 부하에 전류가 변하게 되면 필요한 전류가 적어져 입력에서 내보내는 전류가 작아지고, 이에 따라 인덕터에 흐르는 전류 역시 변하게 되는데, 인덕터에 흐르는 전류의 변화는 그림 2와 같이 인덕터 전류와 ramp 신호에 의해 형성되는 comparator 입력값의 변화를 가져온다.



(a) 부하전류가 작을 때

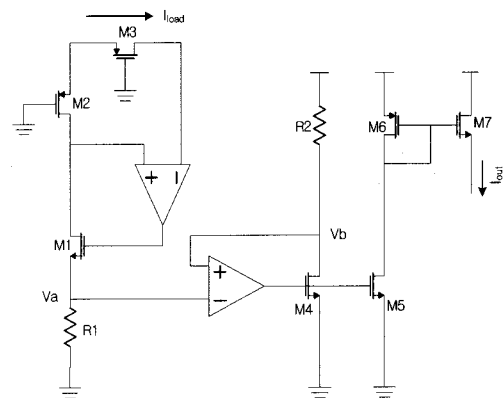
(b) 부하전류가 클 때

〈그림 2〉 부하전류의 변화에 따른 comparator 입력신호의 변화

이렇게 comparator의 양의 입력값이 변하면 양의 입력값, 즉 error amp의 출력값 역시 그에 따라 변하게 되는데 error amp의 이득은 무한대가 아니기 때문에 이 변화는 error amp 입력값은 미세한 변화를 의미하고 이것이 DC-DC converter의 load regulation을 발생시키는 것이다.

이를 방지하기 위해 본 논문에서는 출력단에 부하전류를 감지할 수 있는 회로를 추가한다. 이를 통해 부하전류가 작으면 큰 DC 전류를, 부하전류가 크면 작은 DC 전류를 comparator 양의 입력단에 추가하여, 부하전류에 상관없이 comparator 음의 입력단이 항상 일정한 레벨을 유지할 수 있도록 만들어주게 된다.

2.3 제안하는 Load regulation 보상회로



〈그림 3〉 Load current sensing 회로

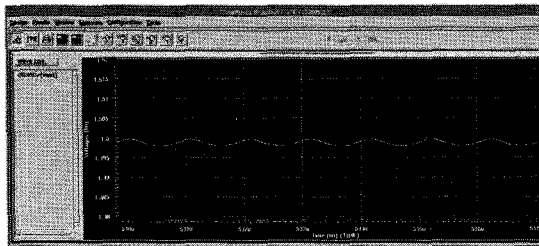
그림 3은 제안하는 load regulation을 보정하는 회로이다. 이 회로에서 M3는 부하와 직렬로 연결된 MOS로서 부하에 흐르는 전류와 같은 전류가 흐르게 된다. 이 전류를 M3와 M2의 크기 비에 의해 일정한 비율로 줄여 부하전류에 비례하는 전류를 M1에 흐르게 만들면 Va와 Vb 노드에는 부하

전류에 비례하는 전압이 발생한다. 이 전압은 저항 R2에 의해 다시 부하전류에 반비례하는 전류를 만들게 되고 이 전류를 전류미러에 의해 M7에 흐르게 만들어준다.

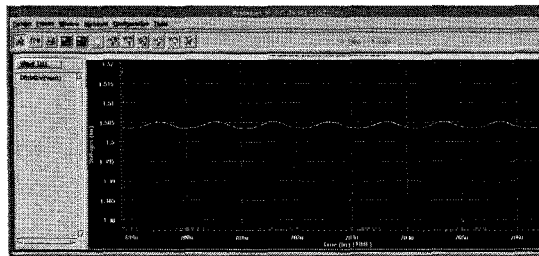
이렇게 만들어진 부하전류에 반비례하는 전류는 그림 1의 Rf 저항 흐르는 전류에 추가된다. 이에 의해 comparator 양의 입력단의 DC 레벨을 일정하게 유지되고, DC-DC converter는 향상된 load regulation을 갖게 된다.

2.4 Simulation 결과

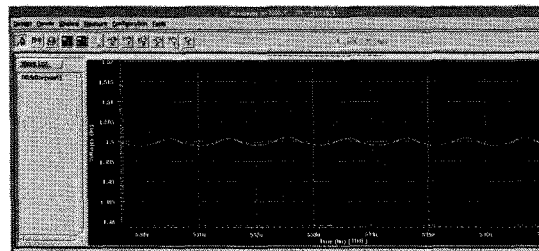
일반적인 구조의 DC-DC converter와 본 논문에서 제안한 회로를 추가한 DC-DC converter를 0.35um CMOS 공정을 사용하여 simulation 비교한 결과는 그림 4와 같다. 입력전압은 2.5V로 인가하였고 출력전압을 1.5V로 만들기 위해 출력전압에 50K, 100K 두 개의 저항을 연결하고 error amp에 비교되는 기준전압을 1V로 인가하였다. 위의 그림은 일반적인 DC-DC converter의 출력전압을 나타낸 그림으로 부하전류가 150mA에서 300mA로 변할 때 출력전압의 값이 크게 변하고 있다. 이에 비해 아래 그림의 제안하는 구조의 DC-DC converter는 출력전압의 값이 상대적으로 작게 변하는 것을 볼 수 있다. comparator의 옴의 입력값 레벨이 거의 변하지 않은 것을 볼 수 있다.



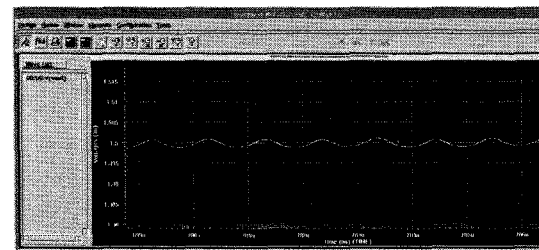
(a) 부하전류가 300mA인 일반적인 구조의 회로



(b) 부하전류가 150mA인 일반적인 구조의 회로



(c) 부하전류가 300mA인 제안하는 회로



(d) 부하전류가 150mA인 제안하는 회로

<그림 4> 부하전류의 변화에 따른 출력전압의 변화

이러한 결과는 부하전류에 반비례하는 DC 전류를 comparator 양의 입력단에 추가하여 부하전류에 상관없이 comparator 양의 입력단이 항상 일정하게 유지되도록 만들어 주는 것에 의해 생긴 것으로 표 1에서 보듯이 본 논문에서 제안하는 부하전류를 감지하는 회로를 추가할 경우 일반적인 구조의 DC-DC converter보다 향상된 load regulation을 가지는 것을 알 수 있다.

3. 결 론

많은 전자기기에서 전원공급장치로 이용되어질 수 있는 buck DC-DC converter는 회로 구조상 error amp의 이득이 유한하기 때문에 부하전류에 따라 출력전압이 변하는 load regulation이 발생하게 된다. 본 논문에서는 그러한 load regulation의 영향을 최소화하기 위하여 부하전류를 감지하여 그에 반비례하는 DC 전류를 comparator의 입력에 추가하는 방법을 사용하였다. 이에 의해 부하전류가 변하여도 comparator의 입력단은 거의 일정한 값을 유지하여 부하전류의 변화에 따른 출력전압의 변화를 최소화 할 수 있게 된다.

DC-DC converter에서 중요한 것은 높은 효율을 가지고 입력이나 부하에 상관없이 항상 정확한 출력전압을 생성하는 것이다. 향후 DC-DC converter의 성능향상을 위해 line regulation을 향상시키고 전력소모를 줄이는 방향으로 회로를 개선하는 것이 필요하다.

4. Acknowledgement

이 연구(논문)는 한국소프트웨어진흥원에서 주관하는 IT-SoC 핵심설계인력 양성 산업의 지원을 받아 수행하였습니다.

[참 고 문 헌]

- [1] C. F. Lee and P. K. T. Mok, "Monolithic current mode CMOS DC-DC converter with on-chip current-sensing technique", IEEE J. Solid-State Circuit, Vol. 29, No. 1, pp. 3-14, Jan 2004
- [2] Chi Yat Leung and Philip K. T. Mok and Ka Nang Leung and Mansun Chan, "An Integrated CMOS Current-Sensing Circuit for Low-Voltage Current-Mode Buck Regulator", IEEE Transactions on Circuit and System-II, Vol.52, No.7, pp.394-397, July 2005
- [3] Jeongjin Roh, "High-Performance Error Amplifier for Fast Transient DC-DC Converter", IEEE Transactions on Circuit and System-II, Vol.52, No.9, pp.591-595, September 2005
- [4] Chi Yt Leung and Philip K. T. Mok and Ka Nang Leung, "A 1-V Integrated Current-Mode Boost Converter in Standard 3.3/5-V CMOS Technologies", IEEE Journal of Solid-State Circuit, Vol. 40, No. 11, pp. 2265-2274, November 2005
- [5] Brad Bryant and Marian K. Kazimierczuk, "Modifying the Closed-Current Loop of PWM Boost DC-DC Converters Operation in CCM with Peak Current-Mode Control", IEEE Transactions on Circuits and Systems-I, Vol. 52, No. 11, pp. 2404-2412, November 2005
- [6] Robert W. Erickson and Dragan Maksimovic, "Fundamentals of Power Electronics" Second Edition.