

## TiSi<sub>2</sub>의 상전이에 미치는 박막의 두께 및 기판의 방위의 영향

윤 강 중 · 전 형 탁  
한양대학교 금속공학과

### The Effects of Ti Film Thicknesses and Si Substrate Orientations on Phase Transition of TiSi<sub>2</sub>

Gangjoong Yoon, Hyeongtag Jeon  
Department of Metallurgical Engineering, Hanyang Univ.

**초 록** 초청정 Si 기판위에 Ti를 증착하여 형성시킨 Ti-silicide의 상전이와 각상의 표면 및 계면 형상을 Ti 증착두께, 열처리 온도, 기판의 방위에 따라 조사하였다. 초 고진공 챔버에서 각각 400 Å 및 200 Å의 Ti를 500°C부터 900°C까지 100°C간격으로 가열되어 있는 Si(100) 및 Si(111) 기판에 증착하여 Ti-silicide를 형성하였다. 형성된 Ti-silicide를 XRD, SEM, TEM으로 상전이와 각상의 표면 및 계면 형상을 관찰하였다. 관찰결과 C49에서 C54상으로의 상전이 온도는 650°C정도이었고, 기판의 방위와 박막의 증착 두께에 따라 상전이 온도의 변화가 관찰되었으며, 이 상전이 온도의 변화를 표면에너지와 체적에너지에 기초를 둔 고찰을 통해 설명하였다. 그리고 C49상은 증착한 박막에서의 Si 원자의 비균질한 확산 특성으로 인해 거친 계면을 나타내고 있으나, C54상은 비교적 균질한 계면을 나타내고 있으며 응집화에 의해 island가 형성된 것이 관찰되었다.

**Abstract** Ti-silicides are formed on an atomically clean Si substrate and its phase transition and surface and interface morphologies are examined depending on the Ti-film thicknesses, deposition temperatures and Si substrate orientations. Ti film thicknesses of 400 Å and 200 Å have been deposited at elevated temperatures from 500°C to 900°C with increments of 100°C on Si(100) and Si(111). Ti-silicides are formed and analyzed with using XRD, SEM, and TEM to verify the phase transition and the surface and interface morphologies. The phase transition from C49 to C54 is observed to occur around 650°C and examined to show some retardation depending on the substrate orientation and film thickness. This retardation of phase transition is explained by the consideration based on the surface and volume free energies. A rough surface of C49 TiSi<sub>2</sub> is exhibited because of characteristics of nonuniform diffusion across the interface while the smooth surface and island formation of C54 TiSi<sub>2</sub> is examined.

### 1. 서 론

최근 반도체 소자의 집적도가 향상됨에 따라 저 저항과 열적안정성을 요구하는 전극 재료와 배선재료의 개발이 요구되고 있다<sup>1)</sup>. 이러한 재료중 TiSi<sub>2</sub>, TaSi<sub>2</sub>, MoSi<sub>2</sub>, WSi<sub>2</sub>등과 같은 천이금속 실리사이드는 비교적 낮은 저항과 높은 열적 안정성을 보이기 때문에 반도체 소자의 전극재료 및 배선재료로 많은 연구가 진행되고 있다. 이중 TiSi<sub>2</sub>는 가장 낮은 비저항값(12.4 μΩ cm)<sup>2)</sup>과 높은 온도 안정성 그리고 기존 공정의 적용 용이성등으로 차세대 소

자의 전극 및 배선재료로 사용이 가장 유력시 되는 금속실리사이드중의 하나이다<sup>3~5)</sup>. 그러나 이러한 Ti-silicide를 실제 소자에 적용 시키는데 있어서 제기되는 문제점으로는 형성된 silicide가 후속 열처리 공정중 응집화 현상이<sup>6~8)</sup> 발생하는 것을 들 수 있다. 이 고온 응집화 현상은 아직 뚜렷한 해결책이 제시되지 못하고 있다. 따라서 고온에는 Ti-silicide의 응집화 현상에 의한 박막의 열화는 이 물질을 VLSI 소자에 적용하기 위해서 규명해야 할 문제이다.

박막반응에 의해 형성된 TiSi<sub>2</sub>는 저온(450

$^{\circ}C \sim 650^{\circ}C$ )에서 형성된 저심 사방정계 구조를 갖는 준안정상인 C49상의  $TiSi_2$ 와 고온( $650^{\circ}C$  이상)에서 형성된 면심 사방정계 구조를 갖는 안정상인 C54상의  $TiSi_2$ 가 존재한다<sup>9)</sup>. 이중 C49  $TiSi_2$ 는 Ti과 Si의 계면반응에 의해 형성되는 초기상으로 보고되고 있다<sup>10)</sup>. 그러나 박막반응에 의해 형성된 상은 그 증착 방법에 매우 민감한 영향을 받으며, 또한 기판의 방위(orientation)와 박막의 두께에 따라 박막의 핵생성과 성장등이 영향을 받는다<sup>4) 11) 12)</sup>.

본 연구에서는  $TiSi_2$ 를 초고진공하에서 Ti 박막을 Si 기판에 증착하여 형성하였고 XRD (X-ray Diffraction), SEM과 TEM으로 상전이와 표면 및 계면의 형상을 연구하였다. 특히 Si 기판의 방위 및 Ti 증착두께에 따른 준안정상의 C49  $TiSi_2$ 로부터 안정상의 C54  $TiSi_2$ 의 상전이 역제가 관찰되었으며 이와 같은 상전이 온도 변화를 표면에너지와 체적에너지에 기초를 둔 고찰을 통해 해석하였다.

## 2. 실험 방법

본 실험에 사용된 기판은 P-doped n-type Si(100)과 Si(111)이다. 기판의 크기는 25mm이며 비저항값은  $0.8 \sim 1.2 \Omega cm$ 인 기판을 사용하였다. 실험의 구성은 초청정 Si 기판을 형성하기 위한 cleaning 단계와 Ti-silicide 박막의 증착, 그리고 증착된 silicide 박막의 분석으로 나누었다.

초청정 Si 기판을 얻기 위하여 기판의 cleaning은 3단계로 실시하였다. 먼저 유기물을 제거하기 위한 방법으로 UV/ $O_3$  cleaning을 하였다<sup>13) 14)</sup>. 오존과 산소원자를 발생시키는 Quartz로 된 수은 램프를 사용하였으며 대기 중에서 실시하였다. 기판과 램프를 포함한 구성장치는 모두 Al 박스로 둘러싸여 있고 기판과 램프 사이의 거리는 5mm정도였다. 이후 산화막을 제거하기 위하여 spin etch를 하였다. Teflon spinner에 기판을 고정된 후 3000rpm으로 회전시키며 HF : DI : ethanol = 1 : 1 : 10의 혼합용액을 떨어뜨리며 cleaning하였다. 이때 ethanol은 혼합용액의 표면에너지를 감소시켜 용액이 균일하게 기판과 접촉하게 하며 HF 혼합용액이 표면의 산화막을 균일하게 에칭하여 제거시킬 수 있도록 하는 역할을 한다<sup>15)</sup>. 최종 cleaning 단계로서 잔류

불순물과 spin etch후에 기판을 덮고 있는 표면의 수소를 제거하기 위해 초고진공하에서 가열 세정(heat cleaning)을 하였다<sup>16)</sup>. Spin etch를 거친 기판은 진공도가  $1 \times 10^{-10}$  Torr인 UHV 챔버로 옮겨진 후  $800^{\circ}C$ 에서 10분간 가열하였다. 초고진공하에서 가열 세정 후의 Si 기판의 화학적 분석과 표면 구조는 in-situ AES와 LEED로 하였으며 그 결과는 이미 발표되었다<sup>17) 18)</sup>. 가열세정시 챔버의 진공도는  $\sim 1 \times 10^{-9}$  torr 정도이었고 heat cleaning후  $1 \sim 2 \times 10^{-10}$  torr의 초고진공으로 복귀하였다.

초고진공하에서 가열세정을 한후 e-gun이 장착된 증착장치에서 Ti-silicide 박막을 증착하였다. Ti 증착시 챔버의 진공도는  $1 \sim 2 \times 10^{-9}$  Torr였다. Ti-silicide 박막을 형성하기 위하여 Ti를 각각 400 Å과 200 Å 증착하였다. 증착되는 막의 두께는 quartz crystal oscillator로 측정하였다. 증착온도는 Si 기판이  $500^{\circ}C \sim 900^{\circ}C$ 로 유지하면서 증착하였다. 형성된 Ti-silicide의 물성은 XRD, TEM, SEM을 사용하여 분석하였다.

## 3. 실험 결과

본 실험에서는 Si(100)와 Si(111) 기판에 Ti를 초고진공하에서 증착하여 Ti silicide를 성장하였다. 그리고 Ti-silicide를 XRD를 사용하여 결정구조를 관찰하였으며 C49상에서 C54상으로의 상전이 온도를 조사하였다. Fig. 1과 Fig. 2는 Si(100)에 각각 400 Å과 200 Å의 Ti를  $600^{\circ}C$ ,  $700^{\circ}C$  및  $800^{\circ}C$ 에서 증착한 시편의 XRD 분석결과이고 Fig. 3과 4는 Si(111)에 각각 400 Å과 200 Å의 Ti를  $600^{\circ}C$ 부터  $800^{\circ}C$ 까지  $100^{\circ}C$ 씩 승온된 온도에서 증착한 시편의 XRD분석 결과이다. Si(100)에 Ti를 각각 400 Å과 200 Å 증착한 경우인 Fig. 1과 2를 모두 보면 두 가지 모두  $600^{\circ}C$ 에서는 준안정상인 C49상이 유일하게 생성되어 있고,  $700^{\circ}C$ 에서는 안정상인 C54상이 형성되었다. 그러나 Si(111) 기판의 경우 Fig. 4를 보면  $800^{\circ}C$ 에서 C54상이 형성되는 것이 관찰되었다. Table. 1은 Si(100)와 Si(111)에 기판위에서 형성된  $TiSi_2$ 의 결정상을 요약한 것이다.

Fig. 5는 Si(100)과 Si(111)에 Ti를 400 Å 증착하여 형성시킨 Ti-silicide의  $500^{\circ}C$ ,  $700^{\circ}C$ ,  $900^{\circ}C$ 의 SEM 관찰 사진이다.  $500^{\circ}C$ 에서

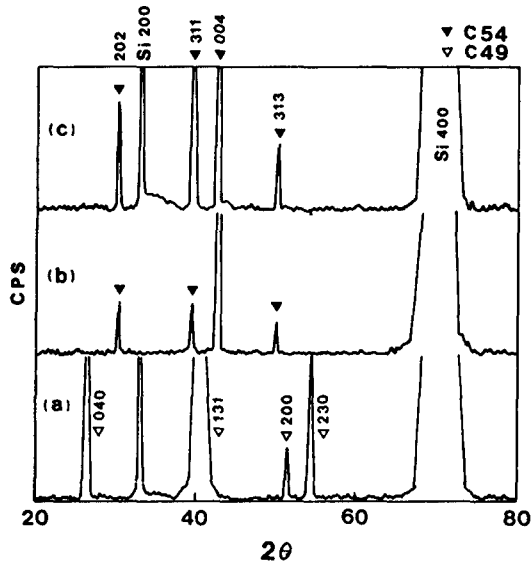


Fig. 1. XRD data of Ti-silicide formed from Ti 400 Å deposited on Si(100) at temperatures of (a) 600°C, (b) 700°C and (c) 800°C

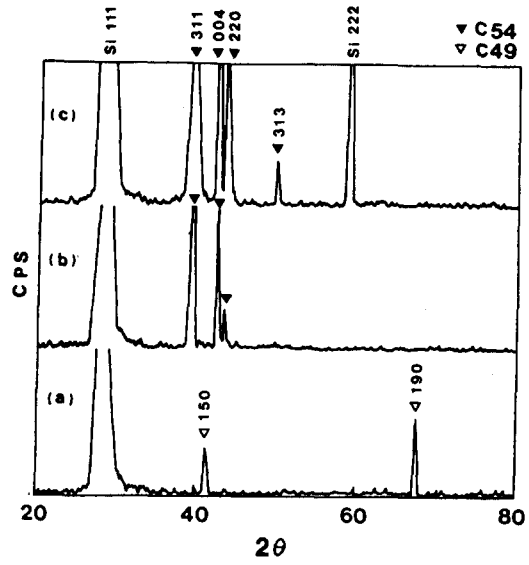


Fig. 3. XRD data of Ti-silicide formed from Ti 400 Å deposited on Si(111) at temperatures of (a) 600°C, (b) 700°C and (c) 800°C

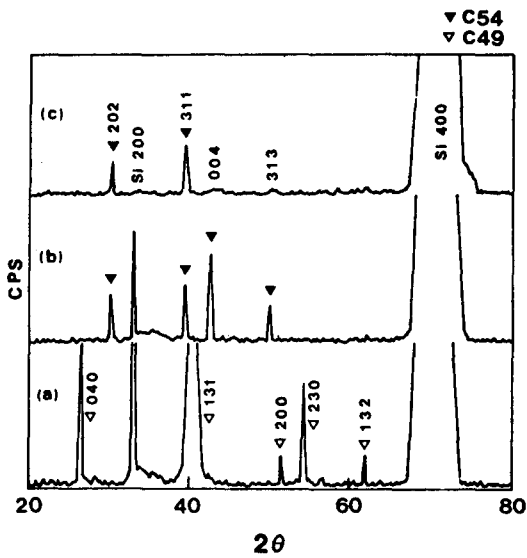


Fig. 2. XRD data of Ti-silicide formed from Ti 200 Å deposited on Si(100) at temperatures of (a) 600°C, (b) 700°C and (c) 800°C

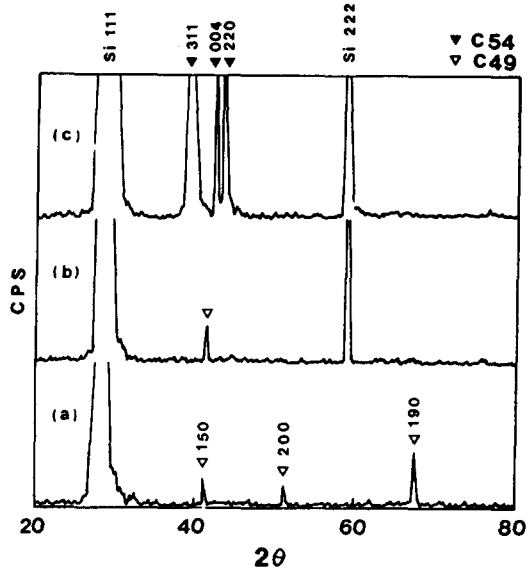


Fig. 4. XRD data of Ti-silicide formed from Ti 200 Å deposited on Si(111) at temperatures of (a) 600°C, (b) 700°C and (c) 800°C

형성된 C49상의  $TiSi_2$ 인 Fig. 5의 (a)와 (d)의 경우 박막 표면에 많은 흠(pit)과 같은 것이 존재하나 Si 기판은  $TiSi_2$ 사이로 노출되지 않고 있으며 각각의 grain은 단락이 없어 보인다. 그러나 700°C에서 형성된 Ti-silicide의 표면 형상(Fig. 5(b)와 (e))은 Si(100)와 Si

(111)에서 약간 다르게 나타나기 시작한다. Si(100)에서는 Si 표면이 Si(111) 보다 더 많이 노출되기 시작하였고 표면에 많은 굴곡이 발생하고 있음을 알 수 있다. 아직 이 온도에서는 Ti-silicide의 응집화 현상에 의한 island 형성은 나타나지 않고 있으며 서로 연결된 형

Table 1. Summary of Ti-silicide phase by XRD in each condition

Deposition Cond.		Deposition Temp				
		500°C	600°C	700°C	800°C	900°C
Si(100)	400 Å	C49	C49	C54	C54	C54
	200 Å	C49	C49	C54	C54	C54
Si(111)	400 Å	C49	C49	C54	C54	C54
	200 Å	C49	C49	C49	C54	C54

상을 보이고 있다. 900°C에서 형성된 C54상의 TiSi<sub>2</sub>의 형상(Fig. 5(c)와 (f))은 응집화가 완전히 진행되어 각 grain이 완전히 단락되어 그 사이에 Si 기판이 노출되고 있음을 보여 주고 있다. 특히 Si(100) 기판위에서 Si(111)보다 노출된 기판의 면적이 많음을 알 수 있다.

Fig. 6은 Ti-silicide와 Si(100) 및 Si(111)과의 계면 형상을 TEM으로 관찰한 것이다. 500°C에서 형성된 TiSi<sub>2</sub>의 경우(fig. 6(a)와 (d)) 모두 C49상으로서 TiSi<sub>2</sub>와 Si 기판과의 계면은 매우 거칠게(rough) 관찰되었으며 계면에서 적층결함(stacking faults)이나 쌍정(twins)등의 면결함이 많이 관찰되었다. 700°C에서 형성된 TiSi<sub>2</sub>(Fig. 6(b)와(e))의 경우 계면은 매우 평평하며(smooth) 면결함 밀도도 상당히 감소하였으며 전체적으로 Ti-silicide는 서로 연결되어 있다. 그러나 900°C인 경우(Fig. 6(c)와 (f))는 응집화 현상이 진행되어 TiSi<sub>2</sub>의 islands가 단락되고 Si 기판이 노출되고 있음을 보여 주고 있다.

#### 4. 고 찰

본 실험은 e-gun이 장착된 진공증착 장비를 이용하여 500°C~900°C로 가열된 기판에 Ti를 증착하여 Ti-silicide를 형성하였다. 본 실험의 중요 결과로는 첫째로 상전이 온도(C49→C54)가 Ti 박막 두께와 기판의 방위에 따라 변하는 것이 관찰되었다. 둘째로는 C49상의 계면은 매우 거칠(rough)었으나 C54상은 균질(smooth)하였으며 응집화 현상이 관찰되었다. 일반적으로 준안정상인 C49-TiSi<sub>2</sub>는 저온(450°C~650°C)에서 생성되고 고온(650°C 이상)에서는 안정상인 C54-TiSi<sub>2</sub>이

관찰된다. 그런데 본 실험에서는 Si(111) 기판에 Ti를 200 Å 증착한 경우 700°C에서도 C49상이 발생하였다. 이 원인은 여러가지로 생각할 수 있는데 그중 첫번째 원인은 증착 두께의 감소에 따른 TiSi<sub>2</sub> 형성을 위한 자유 에너지 장벽의 변화이고, 다른 원인은 C49상-TiSi<sub>2</sub>와 Si(111) 기판이 pseudomorphic한 육각형 배열<sup>13)</sup>을 하고 있기 때문이며, 또한 계면에서 형성된 TiP<sub>2</sub>의 prism 구조가 C49-TiSi<sub>2</sub>의 육각형 원자 배열과 유사한 구조<sup>11, 19)</sup>를 하고 있기 때문이라고 생각할 수 있다.

상전이에 미치는 위의 영향을 이해하기 위해, 표면에너지와 체적에너지에 기초를 둔 고찰<sup>4, 11)</sup>을 통해 설명하여 보았다. 본 실험에서는 초고진공하에서 500°C~900°C로 가열된 Si 기판에 e-gun에 의해 Ti 박막이 증착되고, 증착된 Ti 원자가 기판 표면에서 Si 원자와 반응하여 Ti-silicide가 생성되는 반응이다. Ti-silicide가 최초 형성시 연속적인 박막이라고 가정하고 Ti-silicide 형성이 표면에서 진행된다고 하면 생성 전후의 Si 기판의 형태를 Fig. 7과 같이 나타낼 수 있다. Ti-silicide 생성전에는 Si 기판의 표면에너지( $\gamma_1$ )만이 존재하였으나 Ti-silicide 생성후에는 TiSi<sub>2</sub>/Si 계면에너지( $\gamma_3$ )와 Ti-silicide의 표면에너지( $\gamma_2$ )가 존재한다. 그리고 두께 t의 TiSi<sub>2</sub>상을 형성시키기 위해서는 약 0.4t의 Ti와 0.9t의 Si 기판이 소비된다. 그러므로 Ti-silicide 생성에 의한 자유 에너지 변화( $\Delta G$ )는

$$\Delta G = A \{ (G_{0.15,0.2} - G_{0.1,0.4} - G_{0.05,0.9})t + \gamma_3 + \gamma_2 - \gamma_1 \} \quad (1)$$

단위 면적에 대한 자유에너지 변화량은

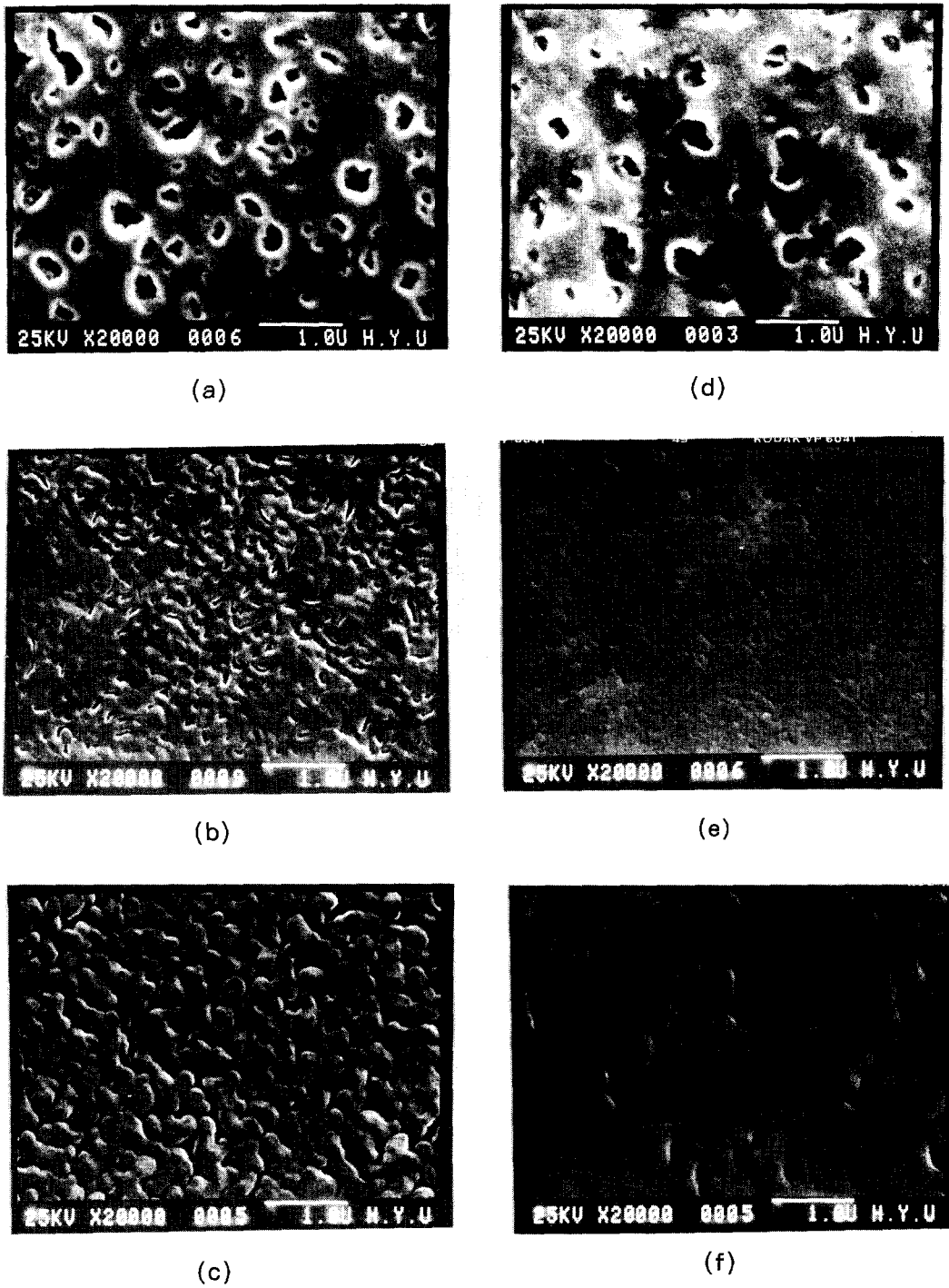


Fig. 5. SEM micrographs of Ti-silicide formed from Ti 400 Å deposited on Si(100) ((a) 500°C, (b) 700°C, (c) 900°C) and Si(111) ((d) 500°C, (e) 700°C, (f) 900°C)

$$\Delta G/A = (G_{0TiSi_2} - G_{0Ti}0.4 - G_{0Si}0.9)t + \gamma_3 + \gamma_2 - \gamma_1 = \Delta G_{0t} + \Delta \gamma \quad (2)$$

$\Delta G_0$  : Ti-silicide 생성되는데 따른 체적 자유 에너지 변화

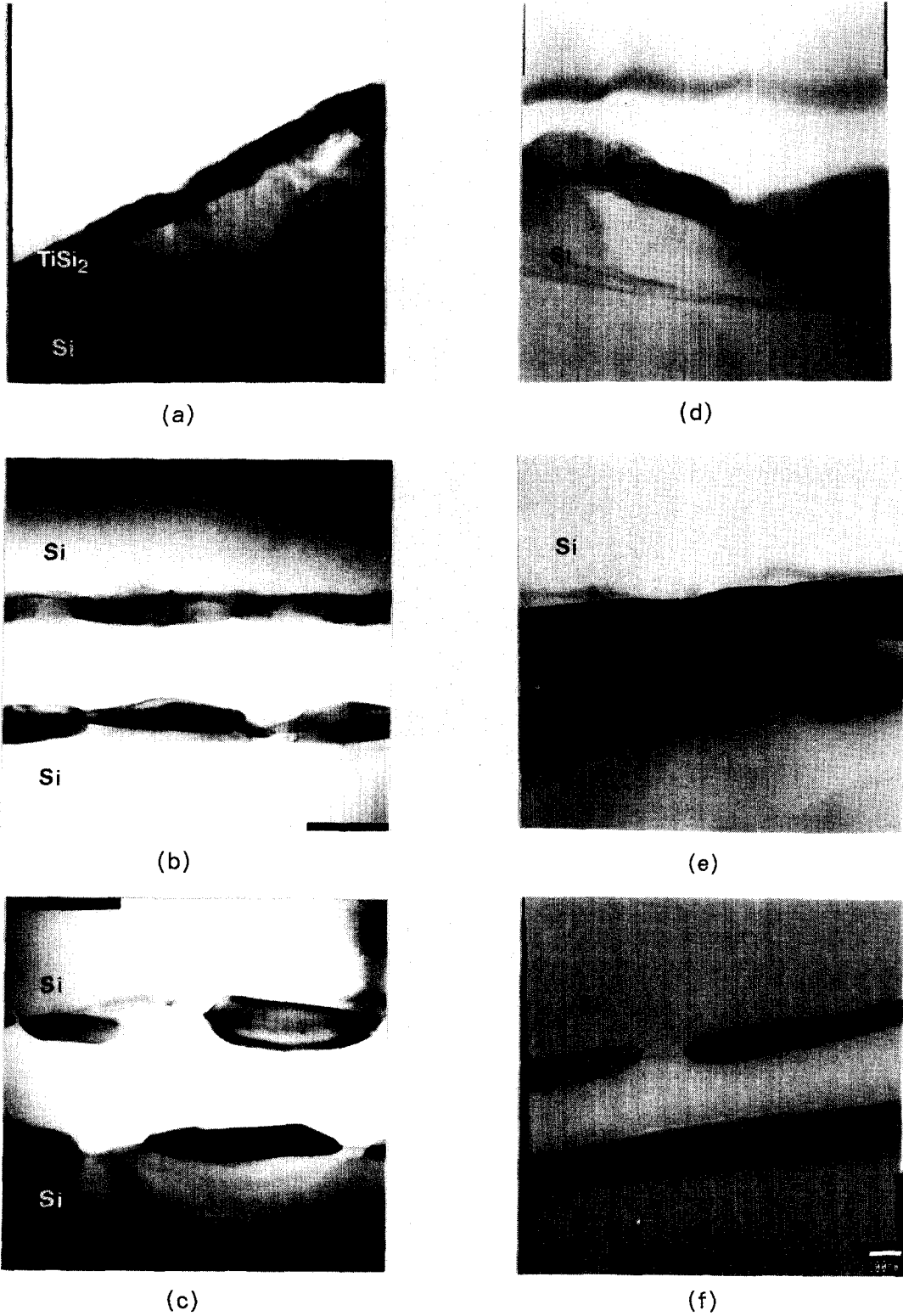


Fig. 6. TEM micrographs of Ti-silicide formed from Ti 400Å deposited on Si(100)((a) 500°C, (b) 700°C, (c) 900°C) and Si(111) ((d) 500°C, (e) 700°C, (f) 900°C)

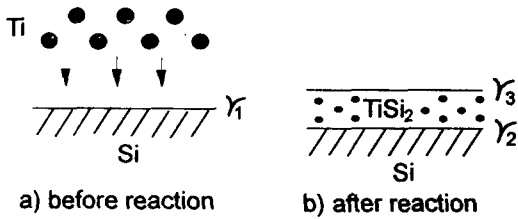


Fig. 7. Schematic diagram of Ti deposition and TiSi<sub>2</sub> formation

$\Delta\gamma$  : Ti-silicide 생성되는데 따른 표면에너지 변화

두께  $t$ 의 Ti-silicide 생성에 따른 자유에너지 변화는 식 2와 같이 두께  $t$ 의 함수로 표시할 수 있고 체적 자유에너지 변화량은  $\Delta G_0$ , 표면 에너지 변화량은  $\Delta\gamma$ 로 정의하고, 두께  $t$ 에 대한 자유에너지 변화량은  $y$ 절편값이  $\Delta\gamma$ 이고 기울기가  $\Delta G_0$ 인 직선으로 나타낼 수 있다.

위에서 구한 식 2의 모델을 C49상과 C54상에 대해 적용하여 보면,  $\Delta G_0$ 값은 C54상의 TiSi<sub>2</sub>가 안정상이고 C49상의 TiSi<sub>2</sub>가 준안정상이므로  $\Delta G_{0C54} < \Delta G_{0C49} < 0$ 이고  $\Delta\gamma$ 는  $\Delta\gamma_{C49} < \Delta\gamma_{C54}$ 이다<sup>11)</sup>. 또한 박막 두께  $t$ 에 대한 자유에너지 그래프를 그리면 Fig. 8과 같다. Fig. 8로부터  $t_0$  두께로 Ti 박막을 증착하였을 때 C49상에서 C54상으로의 상변이에 대한 구동력(driving force)은 두직선의 높이 차이  $\Delta G_{C49 \rightarrow C54(t_0)}$ 가 된다. Fig. 8로부터 Ti 박막의 두께가 감소할수록 C49에서 C54로의 상전이의 구동력이 감소함을 알 수 있다.

위의 모델을 본 실험의 결과에 적용해 보면, 본 실험의 결과에서 Si(111) 기판에 Ti을 400 Å 증착하였을 때 C49에서 C54로의 상전이 온

도는 600~700°C이었으나 200 Å을 증착한 경우에는 상전이 온도가 700~800°C 정도 이었다. fig. 8에서  $t_2$ 를 400 Å이라하고  $t_1$ 을 200 Å이라 하면 200 Å인 경우의 구동력( $\Delta G_1$ )이 400 Å 경우의 구동력( $\Delta G_2$ )보다 작다. 따라서 상전이를 위한 구동력의 감소는 상전이 온도를 상대적으로 향상시키는 효과를 본 실험에서도 200 Å 증착한 Ti-silicide에서 상전이 온도 상승이 관찰되었다.

박막 두께와 구동력 관계를 설명한 위의 모델에 따르면 박막이 얇아지면 상전이의 구동력이 점점 감소하여 박막의 두께가 Fig. 8에서와 같은  $t_0$ 가 되면 C49와 C54상의 자유에너지가 같아져 구동력이 0이 된다. 그리고 박막의 두께가  $t_0$  이하가 되면 상전이 구동력이 음의 값을 갖는다. 즉 박막의 두께가  $t_0$  이하일 때는 bulk에서 준안정상인 C49상이 온도를 증가시켜도 C54상으로의 상전이가 발생하지 않는다고 예상할 수 있다. 그리고 다른 논문에 발표된 상전이 온도변화 표<sup>11)</sup>와 본 실험실에서 발표한 논문에 의하면<sup>18)</sup> Si 기판에 Ti을 증착하여 TiSi<sub>2</sub>를 형성시킬때, Si(100) 기판과 Si(111) 기판에 각각 125 Å과 250 Å의 TiSi<sub>2</sub>를 형성시킨 결과 800°C까지 C49상이 존재하였고 C54상으로의 상전이가 발생하지 않았다. 또한 J. Engqvist등이<sup>2)</sup> CVD를 이용하여 TiSi<sub>2</sub>를 형성시켜 얻은 실험 결과에 따르면 Si(100) 기판에서 형성된 125 Å 두께의 TiSi<sub>2</sub>는 열처리 시간에 관계없이 850°C에서 C49 상만이 존재한다고 보고하고 있다. 이런 보고된 실험 결과로 볼때 C49상과 C54상의 자유에너지값이 같아지는 박막의 임계 두께  $t_0$ 는 Si(100) 기판에서는 약 130 Å 정도이고 Si(111) 기판에서는 약 260 Å 정도라고 예측할 수 있다. 그러므로 TiSi<sub>2</sub> 박막을 위의 임계 두께이하로 형성시킨다면 C49상의 준안정상이 C54상으로의 상전이가 억제된다.

Si(111) 기판에서는 Ti을 200 Å 증착한 경우에 400 Å 증착한 경우 보다 상전이 온도가 증가하였으나 Si(100) 기판에 Ti을 증착한 경우에는 200 Å에서 상전이 온도의 변화가 관찰되지 않았다. 그 이유는 Si(100) 기판에 증착한 경우가 Si(111) 기판에 증착한 경우보다 C49상의 계면에너지( $\Delta\gamma$ )가 높기 때문이다. 계면 에너지가 높아지면 식 2로부터  $y$ 절편 값이 증

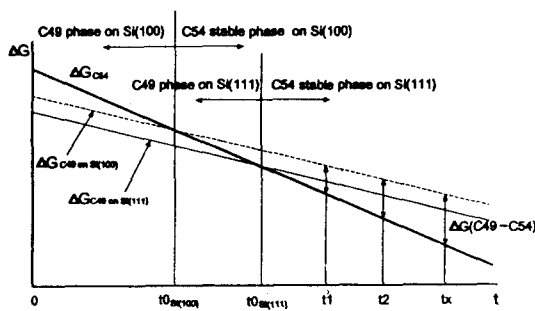


Fig. 8. Schematic relationship of the free energy vs film thickness of the C49 and C54 TiSi<sub>2</sub> on Si(100) and Si(111)

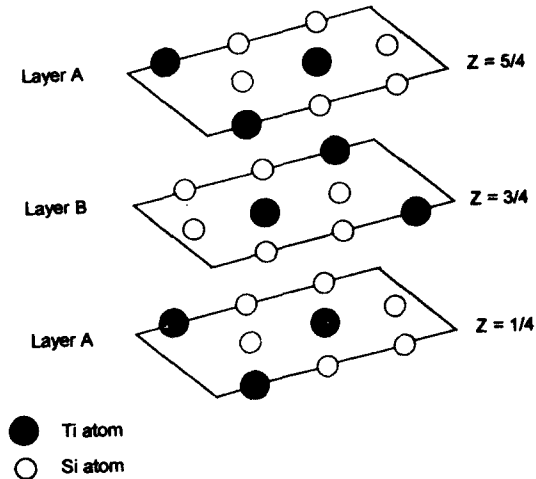


Fig. 9. The structures of C49  $\text{TiSi}_2$ .

가하기 때문에 상전이의 구동력이 증가한다. 즉 Fig. 8과 같이 계면에너지가 높은 Si(100) 기판에 증착한 경우가 Si(111) 기판의 증착한 경우보다 상전이의 구동력이 크다. 그러므로 Si(100)의 경우, Ti증착 두께가 Si(111) 경우보다 더 작은 두께에서 상전이 온도의 증가가 관찰될 것이다.

Si(111) 기판에서 Si(100) 기판에서 보다 C49상의 계면에너지가 낮은 이유는 두가지 효과를 생각할 수 있다. 첫째로는 C49  $\text{TiSi}_2/\text{Si}(111)$  interface가 pseudomorphic한 특성을 갖기 때문이다. Fig. 9에서와 같이  $\text{TiSi}_2$ 의 C49 구조는 사방정계 구조로서 (001)면의 원자 배열이 pseudohexagonal array를 하고 있어서 Si(111)면의 sixfold symmetry와 비슷하다. 그리고 Si(111) 면의 면간 거리는 3.13Å 이고 C49  $\text{TiSi}_2(021)$ 면의 면간 거리는 3.19Å 이므로 misfit normal이 2.0% 이하이다. 그러므로 C49 상은 Si(111) 기판위에서 heteroepitaxy 성장이 가능하고, 미국의 Nemanich,<sup>11)</sup> 유럽의 Cantana<sup>20)</sup> 및 대만의 Chen<sup>10)</sup> 실험실등에서 C49상과 Si(111)의 epitaxy에 대해 보고하고 있다. 둘째로는  $\text{TiP}_2$  화합물과  $\text{TiSi}_2$ 가 계면에서 비슷한 원자 배열을 하고 있기 때문이다. 본 실험에 사용한 기판은 P doping한 기판을 사용하였기 때문에 계면에서  $\text{TiP}_2$ 가 생성될 수 있고 C49상의  $\text{TiSi}_2$ 와  $\text{TiP}_2$ 가 원자 구조적으로 유사하여 C49상이 계면에서 안정화된다.  $\text{TiP}_2$ 가 계면에서 생성되면 계면에너지를 낮추어 C49상을 안

정화시킬 수 있다.

TEM 관찰 결과를 보면 C49상은 표면 및 계면이 매우 거칠었으며 C54상의 표면 및 계면은 평평하였으나 표면이 응집화에 의해 굴곡이 있었다. C49상의 계면이 거친 이유는 C49상의 생성시 주 확산 원소인 Si 원자가 증착된  $\text{TiSi}_2$  박막을 균일하게 확산하지 못했기 때문이다.  $\text{TiSi}_2$  생성시  $\text{TiSi}_2$  박막은 많은 grain으로 이루어져 있고 각 grain의 계면 및 방위에 따라 Si 원자의 확산 특성이 달라 C49상의 성장이 불균일하여지고, 성장후 C49상은 Fig. 6와 같은 매우 거친 계면을 갖게되는 것이다. 그리고 C54상은 높은 온도(>700°C)이기 때문에 표면 및 계면의 면적 에너지를 줄이기 위해 균질한 계면을 갖게 된다. 또한 C54상은 성장시 grain과 grain이 접하여 체적 대 표면적의 비를 감소시키기 위하여 응집화 현상이 더욱더 진행된다. 그러므로 성장한 C54상의 형상은 Fig. 3과 같이 응집화에 의해 island를 형성하게 되며 기판 표면이 노출된다. 이때 C54상의  $\text{TiSi}_2$  면적이 Si(111)에서 Si(100)보다 더 넓게 Si 표면을 덮고 있는데 그것은 Si(111)의 표면에서  $\text{TiSi}_2$ 의 표면 및 계면에너지가 Si(100)에서 보다 작아서 grain의 wetting이 더 넓은 표면에서 이루어 진다.

## 5. 요약

초고진공 챔버에서 초청정 Si(100) 및 Si(111) 기판을 500°C부터 900°C까지 100°C간격으로 가열시키고, 이 위에 Ti를 400Å과 200Å 단일 증착하여 Ti-silicide를 형성시켰다. 그리고 이 Ti-silicide를 XRD, SEM, TEM으로 분석하며 생성상과 상전이 온도, 각상의 표면 및 계면 형상을 조사하였다. 분석결과 C49에서 C54상으로의 상전이 온도는 650°C 정도이었으나 Si(111) 기판에 Ti를 200Å 증착한 경우에는 상전이 온도가 증가하여 750°C 정도이었다. 이 상전이 온도의 변화를 표면에너지와 체적에너지에 기초를 둔 고찰을 통해 분석하였다. 분석결과 생성된 Ti-silicide 박막의 두께가 감소함에 따라 C49에서 C54상으로의 상전이 구동력(driving force)이 감소하며 이에 따라 상전이 온도가 증가하는 것이 관찰되었다. 표면 및 계면 형상은 C49상의 경우 표면과 계면이 거칠고 표면에는 홈(pit)이 많이 있었으나 기판



이 노출되지 않았다. C54상은 비교적 균질한 계면을 갖고 있었으며 응집화에 의해 표면에 굴곡이 많았으며 island를 형성하여 기판이 노출되었다. 그리고 C54상의  $TiSi_2$ 의 coverage는 Si(111) 기판에 증착한 경우가 좋았다.

#### 감사의 글

본 연구는 한국과학재단의 1993년도 핵심기초 연구비(931-0800-012-2) 지원으로 수행된 과제이며 이에 감사드립니다. 또한 본 실험을 위해 sample 제작을 도와주신 North Carolina State Univ.의 Dr. R. J. Nemanich에게 감사드립니다.

#### 참고 문헌

1. S. P. Murarka, 'Silicide for VLSI application' Academic press, Inc.(1983)
2. J. Engqvist, U. Jansson, J. Lu, J. Carlsson, J. Vac. Sci. Technol. A, 12, 161(1994)
3. S. P. Murarka, and D. B. Fraser, J. Appl. Phys., 51, 342(1980)
4. F. M. dHeurle, J. Mater. Res., 3, 167(1988)
5. M. D. Naeem, W. A. Orr-Arienzo, and J. G. Rapp, Appl. Phys. Lett., 66, 877(1995)
6. P. Revesz, L. R. Zheng, L. S. Hung, and J. W. Mayer, Appl. Phys. Lett., 48, 1591(1986)
7. S. Ogawa, T. Yoshida, and T. Kouzaki, Appl. Phys. Lett., 56, 725(1990)
8. T. Yoshida, S. Ogawa, S. Okuda, T. Kouzaki, and K. Tsukamoto, J. Electrochem. Soc., 137, 1914(1990)
9. R. Beyers and R. Sinclair, J. Appl. Phys., 57, 5240(1985)
10. M. H. Wang, and L. J. Chen, Appl. Phys. Lett., 59, 2460(1991)
11. H. Jeon, C. A. Sukow, T. W. Honeycutt, G. A. Rozgonyi, and R. J. Nemanich, J. Appl. Phys., 71, 4269(1992)
12. J. W. Mayer, and S. S. Lou, 'Electronic Materials Science', Macmillan Publishing, New York(1990)
13. J. R. Vig, J. Vac. Sci. Technol., A3, 1023(1985)
14. K. L. Mittal ed., 'Treatise on Clean Surface Technology'Vol. 1, Plenum press, New York and London(1987)
15. D. B. Fenner, D. K. Biegelsen, and R. D. Bringans, J. Appl. Phys., 66, 419(1988)
16. A. Ishizaka, and Y. Shiraki, J. Electrochem. Soc., 133, 666(1986)
17. 강응렬, 조운성, 박종완, R. J. Nemanich, 전형탁, 한국재료학회지, 제4권 1호, 107(1994)
18. 전형탁, R. J. Nemanich, 한국재료학회지, 제4권 2호, 136(1994)
19. R. Beyers, D. Coulman, P. Merchant, J. Appl. Phys., 61, 5110(1987)
20. A. Cantana, P. E. Schmid, M. Heintze, F. Levy, J. Appl Phys., 67, 1820(1990)