게이트 물질을 달리한 MOS소자의 플라즈마 피해에 대한 신뢰도 특성 분석

윤재석*

The Evaluation for Reliability Characteristics of MOS Devices with Different Gate Materials by Plasma Etching Process

Jae-Seog Yoon

이 논문은 1999학년도 대진대학교 학술연구비지원에 의한 것임

요 약

본 논문에서는 다양한 안테나 패치를 가지는 다결정실리콘(poly-Si) 및 폴리사이드(polycide) 게이트 물질을
게이트로 갖는 커페시터 및 n/p-MOS 트랜지스터를 사용하여 AAR(Antenna Area Ratio)의 크기에 따른 플라
즈마 피해를 측정 및 분석하였다. 플라즈마 공정에 대한 신뢰도 특성을 조사하기 위해, MOS 소자의 게이트
물질을 달리하여 플라즈마 공정에 대한 초기 특성 및 F-N 스트레스와 hot carrier 스트레스 인가와의
n/p-MOSFET의 변화 특성을 측정한 결과 급속 AR에 의하여 플라즈마 공정의 영향을 받는 것으로 관찰되었
다. 폴리사이드 게이트 구조가 다결정실리콘 게이트 구조보다 AAR에 따른 전반류 스트레스 인가의
TDDB(Time Dependent Dielectric Breakdown) 및 게이트 전압의 변화 등과 같은 신뢰성 특성에서 상당히 개선
됨을 알 수 있었다. 이는 탱슬론 폴리사이드 형상 공정 중에 불소가 게이트 상하막에 함유되었기 때문인 것으
로 설명할 수 있으며, 게이트 물질로 폴리사이드를 사용한 소자에서 플라즈마 영향을 줄일 수 있다는 사실이
차세대 MOS 소자의 게이트 박막으로 폴리사이드 게이트 박막을 활용할 수 있는 가능성을 확인하였다.

ABSTRACT

It is observed that the initial properties and degradation characteristics on plasma of n/p-MOSFET with

* 대진대학교 이공대학 반류기공학과

제출일자: 2000년 4월 21일

297
polyide and poly-Si as different gate materials under F-N stress and hot electron stress are affected by metal AR(Anenna Ratio) during plasma process.

Compared to that of MOS devices with poly-Si gate material, reliability properties on plasma of MOS devices with polyicide gate material are improved. This can be explained by that fluorine of tungsten polyicide process diffuses through poly-Si into gate oxide and results in additional oxide thickness.

The fact that MOS devices with polyicide gate material can reduce damages of plasma process shows possibility that polyicide gate material can be used as gate material for next generation MOS devices.

I. 서 론

ULSI(Ultra Large Scale Integration) 집적회로에서 플라즈마 공정은 미세한 패턴의 형상과 측면에 서의 박막 증착 특성 때문에 널리 사용되는 공정이다. 플라즈마 공정에서 웨이퍼 및 웨이퍼 내에 있는 소자들이 적절 광진 및 이후 전자들과 같은 고 에너지 입자에 노출되는데 이 때 입자들이 가지고 있는 전하이러 안타이나 역할을 하는 암프사이먼이나 다결정실리콘에 모여 많은 게이트 산화막에 전류를 흘러게 한다. 따라서 이러한 플라즈마 공정에 의한 MOS 소자의 게이트 산화막의 노화현상은 ULSI 집적회로의 심각한 문제점의 하나로 부각되었다. 이러한 플라즈마 공정 후 스트레스로 인한 게이트 산화막의 노화현상을 해결하기 위해 많은 연구가 진행되어 왔다.11-13

또한 이온 주입 공정 또는 CVD 공정으로 MOSFET의 게이트 산화막에 불소를 함유시키게 제작한 불활화 산화막(FO: Fluorinated Oxide)의 특성에 관한 광범위하게 연구되어 왔으며14-16, 불활성 산화막의 ULSI 기술에 응용 가능성이 많은 많은 논문들이 발표되었다.17 최근에 메모리와 논리회로 소자용으로 게이트 지향을 감소시키는 회로의 동작 속도를 증가시키기 위하여 WF₆ 가스를 사용하여 CVD 방식으로 제작한 탕스텔 폴리사이드(WSi₆) 게이트 CMOS 트랜지스터의 사용을 증가하고자 노력해 왔으며, 이때 WF₆ 가스에 함유되어 있는 불소가 게이트 산화막에 포함되어서 소자 특성에 영향을 미치는 것으로 알려졌다. CVD WSi₆ 공정은 더 높은 온 공정 및 불소의 영향에 의하여 S/D dopant의 축면 확산을 증가시키는 것으로 알려져 있으며, 이로 인하여 또한 WSi₆ 게이트 트랜지스터는 다결정실리콘 게이트 트랜지스터보다 약간 큰 전자와 정공의 이동도(μₓ, μᵧ)를 나타내는 것으로 알려져 있다. 또한 WSi₆ 게이트 n/p-MOSFET의 성능은 다결정실리콘 게이트 n/p-MOSFET보다 각각 5%와 10% 정도의 개선된 성능을 나타내며, WSi₆ n-MOSFET 소자의 hot carrier 수명 시간은 다결정 실리콘 n-MOSFET에 비하여 10배 이상 더 큰 것으로 발표되었다.11 또한 불활성 산화막 커메셔리의 TDBB(Time-Dependent Dielectric Breakdown)특성 및 환후 전계 특성은 순수한 산화막에 비하여 약간 개선된다고 발표되었다.13

본 논문에서는 이러한 불활성 산화막의 특성을 이용하여 다양한 안타이나 면적을 가지는 다결정실리콘(poly-Si) 게이트를 갖는 MOS 커메셔리의 신뢰성 특성을 동일한 구조의 폴리사이드 게이트로 갖는 MOS 커메셔리를 비교하고자 하며, 또한 동일한 금속 패드 면적을 갖는 CG(Common Gate) 및 SG(Separated Gate) 구조를 갖는 다결정실리콘 (poly-Si) 게이트를 갖는 n/p-MOSFET에 대한 정전적 F-N 스트레스, hot carrier 스트레스 인가에의 특성을 폴리사이드 게이트를 갖는 n/p-MOSFET의 특성과 비교하여 AAR(Anenna Area Ratio)의 크기에 따른 플라즈마 피해를 측정 및 분석, 평가하고자 한다.

II. 실험

본 실험에 사용된 게이트 물질들의 공정조건은 표 1에 나타내었다. 다결정실리콘 게이트는 570℃의 온도에서 SiH₄와 PH₃의 가스를 사용하여 증착되면서 n+ 형으로 도장하여 2000Å의 두께로 증착시켰다. 폴리사이드 게이트의 경우에는 약
에서는 동일 방식으로 중작시킨 1000 A의 다결정 실리콘 위에 570℃의 온도로 SiH₄, Cl₂,와 Wₓ가 가스를 사용하여 1000 A의 티스텐 폴리사이드를 중작한 후에 850℃에서 30분 동안 N₂ 분위기에서 열 처리하였다. 이 때 성장된 폴리사이드와 Poly-Si의 두께는 C-V 방법으로 측정한 결과 각각 83 A와 84 A이었다.

MOS 소자는 보통의 taw well CMOS 공정 및 LOCOS 공정을 진행한 후에 채널 이온 주입을 하여 제작하였다. GA, GB는 표 1에서와 같이 게이트 물질에 따른 구분으로 각각 다결정실리콘 게이트와 티스텐 폴리사이드 게이트를 나타낸다. 게이트 전극의 모양을 형성한 후 LDD(Lightly Doped Drain) n-MOSFET 제작을 위해 n⁺ 이온 주입을 P⁺, 30keV, 2.0E13/cm²으로, 그리고 p⁺ 이온 주입을 BF₂⁺, 30keV, 1.0E13/cm²으로 진행하였고, n⁺ 이온 주입은 As⁺, 40keV, 3.0E15/cm²으로 하였으며, p⁺ 이온 주입은 BF₂⁺, 30keV, 1.5E15/cm²으로 하였다. CVD 신화막을 중작하고 contact 식각 공정 후, TiN/AIT/TiN을 중작하고 금속 mask를 사용하여 금속 전극 모양을 형성한 후 H₂ 가스에서 열처리하여 공정을 완료하였다.

표 1. 게이트 전극 물질의 중작 조건

<table>
<thead>
<tr>
<th>Sample</th>
<th>Poly-Si</th>
<th>W-polycide</th>
</tr>
</thead>
<tbody>
<tr>
<td>GA</td>
<td></td>
<td></td>
</tr>
<tr>
<td>GB</td>
<td></td>
<td></td>
</tr>
</tbody>
</table>

표 2. 다결정 실리콘 게이트 구조와 폴리사이드 게이트 구조를 갖는 커버시 통 #1, #2, #3에 대한 안테나 변수들

Table 2. The antenna parameters for capacitors of #1, #2 and #3 with poly-Si gate and polycide gate.

<table>
<thead>
<tr>
<th>#</th>
<th>Antenna Area Ratio</th>
<th>Area on the Thin Gate Oxide</th>
<th>Antenna Area</th>
</tr>
</thead>
<tbody>
<tr>
<td>#1</td>
<td>1</td>
<td>10 μm²</td>
<td>10 μm²</td>
</tr>
<tr>
<td>#2</td>
<td>1000</td>
<td>10 μm²</td>
<td>10000 μm²</td>
</tr>
<tr>
<td>#3</td>
<td>10000</td>
<td>1 μm²</td>
<td>10000 μm²</td>
</tr>
</tbody>
</table>

표 3에는 채널 길이(L)가 0.6μm와 0.5μm이고, 채널 폭(W)가 20μm, 5μm, 2.5μm의 크기를 갖는 CG(Common Gate) 구조와 채널폭이 20μm인 SG(Separate Gate) 구조의 두 가지 형태 LDD n/p-MOSFET들에 대한 금속 안테나 변수들을 나타내었다. CG의 금속 케이트에는 W=20μm이고 L=20 μm ～ 0.25μm 이렇게 여러 개의 n-MOSFET의 게이트들
이 연구에 있어 있는 구조로 되어 있는 반면에, SG의 금속 패드에는 W/L=20µm/0.6µm인 n-MOSFET의 게이트 다결정실리콘 하나만이 연결되어 있어, 금속 AAR은 SG n-MOSFET의 경우가 CG n-MOSFET의 경우보다 클렌 크나, PAR(Perimeter Antenna Ratio)은 SG n-MOSFET가 CG n-MOSFET보다 약간 작다.

표 3. GA와 GB의 n-P-MOSFET(W/L=20µm/0.5µm, W/L=20µm/0.6µm)들에 대한 금속 안테나 변수들

<table>
<thead>
<tr>
<th>Items</th>
<th>Channel (µm)</th>
<th>Metal AR</th>
</tr>
</thead>
<tbody>
<tr>
<td>Sample</td>
<td>Length</td>
<td>Width</td>
</tr>
<tr>
<td>CG20/0.6(0.5)</td>
<td>0.6(0.5)</td>
<td>20</td>
</tr>
<tr>
<td>SG20/0.6(0.5)</td>
<td>0.6(0.5)</td>
<td>20</td>
</tr>
</tbody>
</table>

III. 결과 및 고찰

1. MOS 커패시터의 특성

그림 1에는 J_{st}=100mA/cm²의 정전류 인가시의 TDD 구조의 편도를 나타내었다. AAR=10000의 경우 AAR=1과 AAR=1000의 TDD 특성보다 나쁘며, 또한 다결정실리콘 게이트 신호의 TDD 특성은 AAR값에 간접없이 커퍼사이드 게이트 신호의 TDD 특성이보다 나rvine 나타났다. 게이트 AAR이 증가함에 따라 TDD 특성의 변형이 커퍼사이드 게이트 구조에서 다결정실리콘 게이트 구조의 경우보다 더 적게 좋은 편도를 갖는 것으로 나타났다. 다결정실리콘 게이트 구조의 경우 AAR=1(Sample#1)에서 AAR=1000(Sample#2)으로 증가할 때 보다 AAR=10000(Sample#3)으로 증가할 때 TDD 특성이 편도가 더 심하게 나타난다. 이것은 AAR=1인 게이트 안테나 구조의 MOS 소자도 contact를 통하여 표 2에서 보여준 것과 동일한 10000µm의 금속 패드가 연결되어 있어 공극의 AAR가 1000이 되며, 따라서 다결정실리콘 안테나가 AAR=1에서 AAR=1000으로 증가하는 상태로는 금속과 다결정실리콘 등 다의 AAR을 합칠 경우 AAR=1000에서 AAR=2000으로 증가하기 때문에 TDD 특성을 차이가 그리 크지 않게 된다. 편도 계측 구조에서는 AAR=1000과 AAR=10000에의 차이가 크지않다는 것을 알 수 있다. 이러한 편도 계측을 갖는 MOS 커패시터의 TDD 특성의 개선은 텔리스 몰리사이드 형성 공정 중에 불소가 게이트 신호에 합류되었기 때문에로 설명될 수 있다.

그림 1. J_{st}=100mA/cm²의 정전류 스타레스 인가시의 AAR에 따른 편리사이드 편도의 커패시터의 TDD 특성

Fig. 1. The TDD characteristics for polycide and poly-Si Gate capacitors with different AARs under constant current stress of J_{st}=100mA/cm².

그림 2에는 J_{st}=100mA/cm²의 정전류 스타레스 인가시의 게이트 전압 변화(dV/dt)대 스타레스 시간의 관계를 나타내었다. 같은 AAR을 갖는 커패시터를 비교함에 따른 TDD 특성의 변화를 보다 편리사이드 게이트보다 편리 사이드 게이트 구조의 경우가 스타레스 시간에 따른 게이트 전압의 변화가 더 작은 것으로 나타났으며, 이는 전자 트램의 발생율이 다결정실리콘 게이트 구조의 경우에 더 크기 때문인 것이다. 즉 전자 포획물의 증가를 나타내는 dV/dt의 값이 편리사이드 게이트 구조의 경우가 다결정실리콘 게이트 구조의 경우 보다 작게 된다. 또한 AAR의 증가에 따른 dV/dt의 변화는 AAR=1000에서 AAR=10000으로 증가할 때 AAR=1에서 AAR=1000으로 증가할 때 보다
더 크게 됨을 알 수 있다.

그림 2. $J_F=100mA/cm^2$의 정전류 스트레스 인가시의 AAR에 따른 폴리사이드와 폴리실리콘 게이트 커퍼저의 게이트 전압 변화.

Fig. 2. The variation of gate voltage for polyicide and poly-Si gate capacitors with different AARs under constant current stress of $J_F=100mA/cm^2$.

그림 2의 (b)는 (a)에서 원형 내에 있는 스트레스 초기의 40초 동안을 확대하여 다시 나타낸 것이다. 다결정실리콘 폴리사이드 게이트 둘 다에 대하여 AAR=1과 AAR=1000일 때는 스트레스 초기에 정류 트로밍을 보여 주지만, AAR=1000일 때는 단지 전자 트로밍만 나타났으며, 또한 정류 트로밍의 발생율도 AAR=1인 경우가 AAR=1000인 경우보다 더 크다. 이는 AAR이 증가함에 따라 두개의 게이트 구조에서의 전자 트로밍 발생율이 점점 더 증가되기 때문에의 것으로 해석할 수 있다. 즉, 폴리사이드 게이트에서 발생된 전자 트로밍은 이후의 열처리 공정에서 회복된 잠재적인 전자 트로밍으로 나타나 스트레스 인가시에 일부분이 다시 열처리 전자를 포함하는 것으로 알려진다. 그러므로 가장 큰 폴리사이드 피해를 받은 AAR=1000인 경우에는 가장 많은 잠재적인 전자 트로밍들을 갖고 있고, 가장 적은 폴리사이드 피해를 받은 AAR=1인 경우에는 가장 적은 잠재적인 전자 트로밍들을 갖고 있다. 따라서 동일한 양의 정류 트로밍이 스트레스 초기에 발생하더라도 AAR=1인 경우에는 가장 적은 전자 트로밍이 함께 발생하여 복합적으로 가장 큰 정류 트로밍을 보이는 반면에, AAR=1000인 경우에는 스트레스 초기에 발생하는 전자 트로밍의 양이 가장 커서 복합적으로 본래 스트레스 초기부터 정류 트로밍이 보이지 않는 것으로 설명할 수 있다.

2. n/p-MOSFET의 특성

그림 3에서는 다결정실리콘 게이트 구조와 폴리 사이드 게이트 구조에서 CG 및 SG 구조를 갖는 W/L=20μm/0.5μm인 n-MOSFET들(a)과 W/L=20μm/0.6μm인 p-MOSFET들(b)에서의 초기 물리전압 ($V_{thi}$)의 분포를 나타내었다. 다결정실리콘 폴리 사이드 게이트 n-MOSFET(a)와 p-MOSFET(b)에 대하여 급속 AAR이 작은 CG 구조의 n/p-MOSFET들은 급속 AAR이 큰 SG n/p-MOSFET에 비하여 모두 더 좁은 좋은 분포 특성을 나타내었다. 그러나 CG 및 SG 구조의 $V_{thi}$의 폭포의 차이는 두개의 게이트 n/p-MOSFET에 대하여 유사하거나 또는 폴리사이드 게이트의 경우가 약간 더 큰 것으로 나타났다. 이는 폴리사이드 게이트의 경우에 게이트 간이의 특이의 분포가 불소가기 양쪽에 따라 게이트 간이의 특이가 발생하게 되어 초기 $V_{thi}$의 분포가 더 커진 것으로 보인다. 또한 CG 및 SG 구조에 따른 초기 물리 전압의 폭포 특성은 p-MOSFET보다는 n-MOSFET에서 더 큰 것으로 관찰되었다.

그림 4에는 다결정실리콘 게이트 구조와 폴리사이트 게이트 구조에서 CG 및 SG 구조를 갖는 W/L=20μm/0.5μm인 n-MOSFET들(a)과 W/L=20μm/0.6μm인 p-MOSFET들(b)에서의 초기 전달트립턴
그림 3. CG 및 SG 구조의 폴리사이드와 폴리실리콘 게이트 MOSFET의 초기 전달 특성 분포

Fig. 3. The distribution of initial threshold voltage ($V_{th}$) for MOSFET with polycide and poly-Si gate of CG and SG Structures.

그림 4. CG 및 SG 구조의 폴리사이드와 폴리실리콘 게이트 MOSFET의 초기 전달 전도체

Fig. 4. The distribution of initial transconductance ($\Delta G_{m}$) for MOSFET with polycide and poly-Si gate of CG and SG structure.

그림 5에서는 다결정실리콘 게이트 구조의 폴리사이드 게이트 구조에서 CG 및 SG 구조를 갖는 W/L=20μm/0.5μm의 n-MOSFET들과 W/L=20μm/0.6μm의 p-MOSFET들이 각각의 $E_g$=100W/cm²의 정전적 스트레스를 인가했을 때의 $V_{th}$의 변화 특성을 나타내었다. 그림 5의 (a)로부터 다결정실리콘 폴리사이드 게이트 모두에 대하여 CG n-MOSFET는 SG n-MOSFET보다 더 작은 영향을 보였다.
특성을 나타내었으며, 이는 표 3에서 보여준 급속 AAR의 n-MOSFET가 SG n-MOSFET보다 더 작기 때문에 이를 설명할 수 있다. 또한 폴리시어드 게이트를 갖는 n-MOSFET의 특성을 다결정실리콘 게이트를 갖는 n-MOSFET보다 작은 후속 특성을 나타내었으며, 이는 텅스텐 폴리사이드 형성 과정 중에 불소가 게이트 실화막에 함유되기 때문에 이를 설명할 수 있다. 그러나 급속 AAR에 따른, 즉 CG 및 SG 구조의 n-MOSFET의 영향 특성의 차이는 폴리시어드 게이트인 경우에 더 큰 것으로 나타났다. 그림 5의 (b)로부터 다결정실리콘 및 폴리시어드 게이트 모두에 대하여 CG p-MOSFET는 SG p-MOSFET보다 초기의 스트레스 기간 동안 정공 트럼의 영향이 더 크며, 따라서 V	extrm{ext}는 더 음(-)의 값이 된다. 그러나 스트레스 시간이 더 길어질수록 전자 트럼 및 Acceptor형 계면 상태가 점점 증가되어 V	extrm{ext}는 가장 큰 음의 값을 될 후에 약간의 양(+)의 방향으로 증가하여 1000초 동안의 스트레스 인가 후에는 정공 트럼보다는 전자 트럼 및 Acceptor형 계면 상태의 영향이 더 크게 변하며, 따라서 1000초 동안의 스트레스 후의 V_{ext}의 값은 원래의 V_{ext}의 값보다 더 얕(+)의 방향으로 증가한 값이 된다. 폴리시어드 게이트의 경우에는 정공 트럼의 영향이 적게된 경우에 다결정실리콘 게이트에 비하여 더 넓게 발생하며, 축대의 정공 트럼의 영향 이후에도 더 작은 전자 트럼 특성을 나타낸다. 이는 그림 1과 2에서 설명한 것과 같이 폴리시어드 게이트의 경우에는 게이트 실화막에 포함된 불소의 영향으로 스트레스 인가시 더 작은 전자 트럼 특성을 나타낸다. 또한 정공 트럼 특성도 더 높게 나타나는 것으로 설명할 수 있다. 또한 AAR이 증가할 수록 다결정실리콘 및 폴리시어드 게이트 모두에 대하여 더 큰 정공 트럼 특성과 전자 트럼 특성을 나타낸다. 이는 그림 2에서와 동일한 이유로 설명할 수 있다.

IV. 결론

VLSI 집적회로에서 필수적인 플라즈마 공정 후 MOS 소자에서의 플라즈마에 대한 신뢰도 특성을 조사하기 위해, MOS 소자의 게이트 물질을 달리하여 플라즈마 공정에 대한 초기 특성 및 P-N 스트레스와 hot carrier 스트레스 인가시의 n/p-MOSFET의 변화 특성을 급속 AAR에 의하여 플라즈마 공정의 영향을 받는 것으로 관찰되었는데 폴리시어드 게이트 구조가 다결정실리콘 게이트 구조보다 AAR에 따른 전자 트럼 스트레스 인가시의 TDD와 게이트 전압의 변화 등과 같은 신뢰성 특성에서 상당히 개선을 얻 수 있다. 이는 텅스텐 폴리사이드 형성 과정 중에 불소가 게이트 실화막에 함유되었기 때문인 것으로 설명할 수 있다. 다결정실리콘과 폴리시어드 와의 다른 게이트 물질을 갖는 신뢰성에 대하여
다른 AAR에 따른 차이를 규명하여 폴라즈마 공정에 대한 MOS 소자의 초기 특성 및 신뢰성 특성을 분석한 결과 템스텐 폴리사이드 형성 공정 중에 불소가 게이트 산화막에 함유되는 이유로 폴리사이드 게이트 소자가 우수한 열화 특성을 보이는 것을 알았다. 게이트 형질로 폴리사이드를 사용한 소자에서 폴라즈마 영향을 줄일 수 있다는 사실이 자체에 MOS 소자의 게이트 박막으로 폴리사이드 게이트 박막이 활용될 수 있으며 그 가능성을 확인하였다.

참고 문헌


윤재석(Jae-Seog Yoon)
1982년 2월: 경북대학교 전자공학과 학사.
1985년 2월: 연세대학교 전자공학과 석사
1991년 5월: 미국 Washington Uni. 전기 및 컴퓨터공학과 M.S.
1997년 2월: 연세대학교 전자공학과 과학박사
1998년 3월 - 현재: 대전대학교 컴퓨터공학과 교수
* 주관심분야: 디지털 멀티미디어 및 음성신호처리, VLSI설계 및 반도체 소자