

멀티프로토콜 레이블 스위칭망에서의 레이블 에지 라우터 시스템의 성능 분석

(Performance Analysis of Label Edge Router System in Multiprotocol Label Switching Network)

이재섭^{*} 류근호^{**} 서재준^{***} 임준묵^{***}
(Jaesup Lee) (Keun Ho Ryu) (Jae-Joon Suh) (Jun-Mook Im)

요약 멀티프로토콜 레이블 스위칭(MPLS) 패러다임에서, 패킷에 전향 등치 클래스(FEC)가 할당되고 나면 이후 라우터들에서는 헤더에 대한 분석을 수행하지 않고 레이블로써 모든 포워딩이 가능하기 때문에 기존의 전통적인 방식인 네트워크 레이어에서 행해지는 포워딩 방식에 비해 많은 이점을 갖는다. 이러한 레이블 에지 라우터인 MPLS LER은 MPLS 도메인의 경계에 위치하여 인입(ingress) 또는 출구(egress) 라우터로서 동작하여 기존 인터넷과의 접속을 이루어 낸다. 즉, MPLS 인입 라우터로 동작할 경우 인터넷에서 MPLS망으로 접속되는 패킷 헤더를 분석하여 입력 패킷에 해당 레이블 값을 할당하여 MPLS 영역내 연결할 다음 라우터로 함께 전송하는 기능을 수행하며, 출구 라우터로 동작할 경우에는 이와 동일하나 역순의 기능을 수행한다. 본 논문에서는 이러한 기능 수행을 위해 제시한 MPLS LER 시스템의 트래픽 성능을 큐잉 모델 및 시뮬레이션을 통해 분석하고 IP 패킷처리 용량을 추정한다. 제안 시스템에 대한 분석결과 최대 IP 패킷처리 용량이 초당 42만-46만 패킷으로 추정됨을 보인다.

Abstract In the MPLS(Multiprotocol Label Switching) forwarding paradigm, once a packet is assigned to a FEC(Forwarding Equivalence Class), no further header analysis is done by subsequent routers; all forwarding is driven by the labels. This has a number of advantages over conventional network layer forwarding. The MPLS LER(Label Edge Router) is located at the boundary of MPLS domain and plays a role in connecting with the existing Internet as an ingress or an egress router. That is, the MPLS LER as an ingress router assigns a label to a packet which enters the MPLS network from the Internet by analyzing its header and forwards to a corresponding next router in MPLS domain. As an egress router, the MPLS LER turns the packets out of the MPLS network by performing the reverse operation.

In this paper, we analyze the traffic performance of an MPLS LER system and estimate the IP(Internet Protocol) packet processing capacity of the system using queueing model and simulation. It is found that the maximum IP packet processing capacity of the system is estimated by 420,000 through 460,000 packets/sec.

1. 서론

최근 인터넷 사용자의 급격한 증가와 새로운 실시간

음성 및 비디오 응용 서비스들이 인터넷에 등장함에 따라 기존의 라우터들로 구성된 인터넷망으로는 폭발적으로 증대하는 인터넷 트래픽을 수용하는 데 한계가 있다. 기존 인터넷망에서 패킷을 라우팅하기 위해서는 매 라우터마다 서로 독립적으로 패킷의 헤더를 해석하여 다음 경로를 결정하므로, 전송지연이 길어져 실시간을 요하는 멀티미디어의 서비스 품질을 보장할 수 없으며 또한 망 자원을 효율적으로 사용하는 데 어려움이 있다. 이를 위해 ATM(Asynchronous Transfer Mode) 교환망에서 IP(Internet Protocol) 스위칭 기능을 제공하는

* 정 회 원 : 한국전자통신연구원 MPLS시스템팀 연구원
jaesup@etri.re.kr

** 종신회원 : 충북대학교 전기전자컴퓨터공학부 교수
khryu@dblab.chungbuk.ac.kr

*** 비 회 원 : 한밭대학교 산업경영공학과 교수
jjsuh@tnut.ac.kr
jmim@tnut.ac.kr

논문접수 : 2001년 2월 23일
심사완료 : 2001년 8월 10일

LANE(Local Area Network Emulation), IPOA(IP Over ATM), MPOA(Multiprotocol Over ATM) 등의 망기술이 개발되었으나 이러한 기술들은 인터넷 망의 확장성, 망 자원의 효율성 및 서비스 품질(QoS) 등의 문제점을 안고 있다[1]. 이런 문제점들을 해결하기 위해 IETF(Internet Engineering Task Force)에서는 비연결형으로 동작하는 인터넷망에 연결형 메커니즘을 도입하여 인터넷 백본망의 확장성 및 서비스 품질을 향상시킬 수 있는 새로운 포워딩(forwarding) 기술인 MPLS(Multiprotocol Label Switching) 방식을 표준화하고 있다[2,3,4,5]. (그림 1)은 ATM을 근간으로 하는 MPLS 망의 개념도를 보여주고 있는데, MPLS 포워딩에서는 일단 패킷이 MPLS 망에 들어올 때 "레이블(Label)"이라는 고정된 짧은 길이의 값으로 코딩되어 해당 FEC(Forwarding Equivalence Class)에 한번만 할당되면 MPLS 망내에서의 다음 경로는 이 레이블을 인덱스로 이용하여 간단히 설정할 수 있다[2]. 그러므로 라우터에서 매번 패킷 헤더를 해석해야 하는 기존의 인터넷 포워딩 방법에 비해 MPLS 포워딩 기술은 포워딩의 단순화, 서비스 품질 보장, 효율적인 라우팅 및 트래픽 엔지니어링 등의 장점이 있다[3,6]. 이런 MPLS 개념을 이용하여 망의 성능을 높이고 자원을 효율적으로 이용하기 위하여 세계 통신 선진국은 물론, 국내에서도 MPLS 기반의 IP 스위치 기능을 구현하기 위한 연구개발에 들어갔다[7]. 현재 국내외적으로 표준화 및 기술 구현이 진행중이고, 이에 대한 성능 모델링 및 분석에 대한 연구결과는 제품기술의 성능 표출부담으로 발표된 것이 없는 실정이나 향후 MPLS LER 시스템의 적용망에서의 성능에 대한 활발한 연구를 기대해 본다.

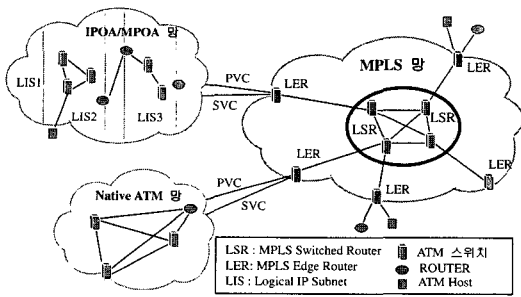


그림 1 MPLS 망의 개념도

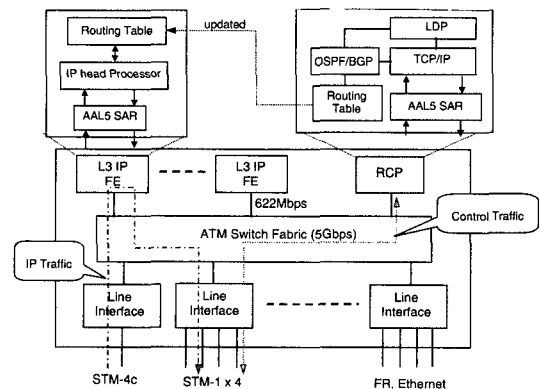
(그림 1)에서 보는 것처럼 MPLS LER 시스템은 MPLS 도메인의 경계에 위치하여 ingress 또는 egress 라우터로 동작하여 기존 인터넷 망과의 접속 역할을 담

당한다. 즉, MPLS 도메인의 에지(edge)에서 non-MPLS 망으로부터 수신되는 인터넷 트래픽에 대하여 레이블을 부착하여 MPLS 망으로 전달하고, MPLS 망으로부터 수신되는 인터넷 트래픽에 대하여 non-MPLS 망으로의 라우팅 기능을 수행한다.

본 논문에서는 MPLS LER 시스템의 구조를 검토하고 궁극적으로 IP 패킷 처리 용량을 시뮬레이션을 통해 추정하였다. 서론에 이어 2장에서는 MPLS LER 시스템의 구조 및 기능을 기술하고 3장에서는 MPLS LER 시스템을 시뮬레이션하기 위해 필요한 가정, IP 패킷 트래픽 특성, 시스템 대기모형 및 입력 파라미터들에 대해 기술하였다. 4장에서는 시뮬레이션 결과를 이용하여 각 구성요소들에 대한 트래픽 성능을 분석하고 이를 바탕으로 MPLS LER 시스템의 IP 패킷 처리 용량을 추정하였으며, 끝으로 5장에서 결론과 함께 향후 연구방향을 검토하였다.

2. LER 시스템의 구조

MPLS LER 시스템은 물리적으로 다양한 처리속도를 지원하는 라인정합장치, 계층 3의 IP 패킷 헤더의 경로를 스위칭하여 전달하는 L3 IP 포워딩엔진, 기존의 IP 프로토콜들과 LDP(Label Distribution Protocol) 프로토콜을 처리하는 라우팅제어 프로세서(Routing Control Processor; RCP), 그리고 이들 모듈들을 고속으로 상호 연결시켜 주는 ATM 스위치 패브릭(Switch Fabric)으로 구성되어 있다. (그림 2)는 MPLS LER 시스템의 구조를 보여주고 있으며 각 구성요소의 기능에 대해 간단히 기술하면 다음과 같다.



LDP: Label Distribution Protocol, RCP: Routing Control Processor
L3 IP FE: Layer3 Internet Forwarding Engine
OSPF/BGP: Open Shortest Path First / Border Gateway Protocol
TCP/IP: Transport Control Protocol / Internet Protocol

그림 2 MPLS LER 시스템 구조도

라인정합장치

라인정합장치는 ATM 셀(Cell) 형태로 수신된 IP 패킷에 대하여 지정된 포워딩엔진(Forwarding Engine) 장치로 전달하며, 포워딩엔진 장치로부터 수신한 셀에 대하여 포트(Port)별 큐잉을 수행하여 MPLS 망내로 전송한다. 라인정합장치는 ATM 셀을 수신하기 위한 STM-1(Synchronous Transfer Mode-1) 또는 STM-4, Frame Relay 및 Ethernet 인터페이스를 수용할 수 있으나 본 논문에서는 STM-1 또는 STM-4 인터페이스만 고려한다. 라인정합장치는 사용자 망 정합인 UNI(User Network Interface)와 FE(Forwarding Engine)간 트래픽을 감시하는 policing 및 OAM(Operation and Maintenance) 기능은 요구되지 않으며 데이터 전달 경로를 따라서 물리링크 정합, 트래픽 셰이핑(shaping), VC(Virtual Circuit) merging 및 우선순위제어 기능으로 구성된다. (그림 3)은 라인정합 기능을 보여주고 있다.

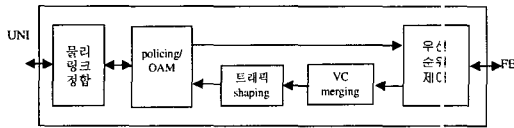
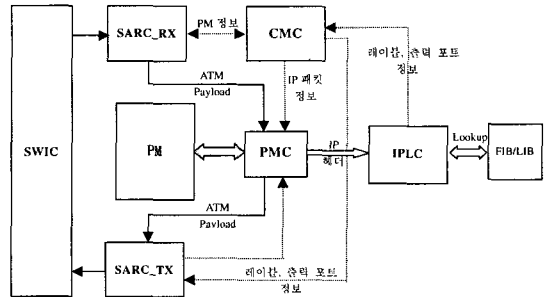


그림 3 LER 시스템의 라인정합 기능

포워딩엔진

MPLS LER 시스템의 구성요소중 포워딩엔진 장치는 인터넷 패킷의 헤더(Header)를 추출하여 이를 MPLS 도메인(Domain)으로 진입하도록 레이블로 변환하거나 또는 그 역의 처리에 의해 MPLS 도메인에서, IP 패킷으로 환원하는 기능을 수행하는 장치로 MPLS edge node에서 가장 핵심적인 역할을 담당한다. 라인정합장치를 통하여 MPLS 망으로 입력되는 ATM 셀을 제조하여 IP 패킷을 만들고, IP 패킷 헤더를 해석하여 목적지 주소에 따라 MPLS 망으로 전달하기 위한 레이블, VPI/VCI(Virtual Path Identifier/Virtual Channel Identifier)를 설정한 후, 설정한 레이블을 이용하여 IP 패킷을 ATM 셀로 다시 분할하여 해당 출력포트로 송신한다. 한편, non-MPLS 망으로 송신되는 IP 패킷에 대하여 MPLS 망 영역에서 사용되던 레이블을 제거하고 다음 홉으로 전달되기 위한 출력 포트를 결정하여 전달한다. 포워딩엔진 장치는 라우팅제어 프로세서와의 제어 메시지에 대하여 기본적으로 ATM 스위치를 통하여 IPC(Inter-Processor Communication) 형태로 메시지를 송수신하며 별도의 HDLC(High-Level Data Link Control) 경로를 두어 필요한 경우에 Primary/

Secondary 형태로 운용한다. 또한 특정 요소에 대한 통계 기능을 수행하여 라우팅제어 프로세서로 그 정보를 전달하고, 특정 IP 패킷에 대한 모니터 기능도 수행할 수 있다. MPLS LER 시스템의 IP 패킷 처리 용량은 포워딩엔진의 처리 능력과 모듈수에 크게 좌우된다. (그림 4)는 포워딩엔진의 구조와 포워딩엔진내에서의 트래픽 흐름을 보여주고 있다.



IPLC: IP Lookup Controller SARC_Rx: SAR Controller (RX)
 PM: Packet Memory SARC_Tx: SAR Controller (TX)
 PMC: Packet Memory Controller SWIC: Switch Interface Controller
 CMC: Control Memory Controller FIB: Forwarding Information Base
 LIB: Label Information Base

그림 4 포워딩엔진의 구조

라우팅제어 프로세서

RCP는 LER 시스템내에서 각종 프로토콜 처리 및 전반적인 제어 기능을 수행하는 프로세서다. RCP는 이웃한 라우터와 라우팅 프로토콜을 수행하고 MPLS 망내의 인접 LSR(Label Switched Router)과 LDP(Label Distribution Protocol) 프로토콜을 수행한다. 라우팅 프로토콜 및 LDP 프로토콜 수행 결과로 RIB(Routing Information Base)를 구축하고 FIB(Forwarding Information Base) 및 LIB(Label Information Base) 정보를 생성하여 포워딩엔진 장치로 전달한다. 또한, 포워딩엔진에서 처리되지 않은 IP 패킷에 대하여 계층 3 IP 라우팅 처리를 수행하여 다음 홉(Hop)으로 전달하는 기능을 가진다. LIB, FIB 정보 및 각종 신호 정보 전달은 622Mbps 속도로 내부 상호연결망을 통하여 수행되며 기타 제어 정보는 HDLC 프로토콜로 전달될 수 있다.

ATM 스위치 패브릭

ATM 스위치 패브릭은 LER 시스템 내부의 라인정합장치, 포워딩엔진장치 및 라우팅제어 프로세서간에 IP 패킷 셀 또는 제어 셀들을 상호 교환하는 기능을 한다. 즉, 라인정합장치를 통하여 수신되는 IP 패킷 셀을 해당하는 포워딩엔진 또는 라우팅제어 프로세서로 전달하고, 포워딩엔진으로부터의 변환된 IP 패킷 셀을 다시 해당하

는 라인정합장치로 전달하거나 라우팅제어 프로세서로 전달하는 기능을 가진다. ATM 스위치 패브릭에서는 53 옥텟(Octets)의 ATM 셀에 라우팅 정보 및 각종 상호 연결망 제어 정보를 포함한 64 옥텟의 블록을 전송한다.

ATM 스위치 패브릭은 최대 8개의 양방향 링크(Bidirectional Links)를 수용할 수 있으며, 각각 622 Mbps의 데이터 전송속도를 가지고 있으므로 5 Gbps로 동작한다. 8개의 양방향 링크중 하나는 라우팅제어 프로세서용으로 사용되고 포워딩엔진은 3개까지 수용할 수 있으므로 라인정합장치는 최대 4개까지 수용할 수 있다.

3. 시뮬레이션 모형

3.1 가정

LER 시스템의 성능을 분석하기 위한 시뮬레이션은 다음과 같은 가정하에서 수행하였다.

- 라인정합장치에서의 트래픽은 순수한 IP 데이터 트래픽만 입력된다고 가정하고, 입력되는 모든 IP 패킷은 ATM 셀 형태로만 입력된다. 즉 ATM 인터페이스만 고려하며, 각각의 전송 속도는 622 Mbps의 STM-4 인터페이스로 구성되어 있다.
- LER 시스템의 라인정합장치에 도착하는 IP 패킷들의 발생시간과 동일 IP에 속하는 ATM 셀들간의 도착시간 간격(interarrival time)은 지수분포(exponential distribution)를 따른다. (그림 5)는 IP 패킷 발생시간과 ATM 셀들간의 도착시간 간격에 대한 예를 보여주고 있다.

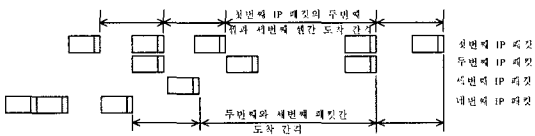


그림 5 IP 패킷과 ATM 셀들의 도착시간

- 라우팅제어 프로세서와 관련된 제어 메시지, 유지보수 및 통계처리를 위한 부하는 일단 입력 부하에서 제외하고 순수한 IP 데이터 트래픽만 고려하여 분석한다. 시뮬레이션 결과를 이용하여 최종적으로 LER 시스템의 성능분석에서 이를 적절히 반영한다.
- 차별화된 서비스(Differentiated Service)는 고려하지 않고 일단 기존의 인터넷망에서 제공하는 BE(Best Effort) 서비스 형태만 고려한다. 따라서 라인정합장치에서 우선순위에어 기능은 고려하지 않으며, VC merging 기능만 고려한다.

-스위칭 패브릭에서 라인정합장치와 포워딩엔진간 스위칭되는 IP 패킷 분포는 공정하게 분산된다고 가정한다.

3.2 LER 시스템의 대기 모형

LER 시스템의 스위치 패브릭은 최대 8개의 양방향 링크를 수용할 수 있으며, 8개의 양방향 링크중 하나는 라우팅제어 프로세서용으로 사용되고 포워딩엔진은 3개까지, 라인정합장치는 최소한 4개까지 수용할 수 있다. 앞에서 가정한 대로 라우팅 프로토콜과 관련된 제어 트래픽, 유지보수 및 통계처리 등과 관련된 트래픽을 제외할 때 (그림 6)은 4개의 라인정합장치와 3개의 포워딩엔진을 수용할 경우, LER 시스템의 대기모형을 보여주고 있다.

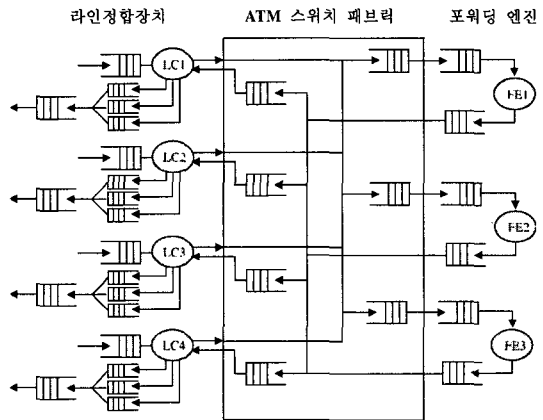


그림 6 LER 시스템의 대기모형

IP 패킷이 ATM 셀 형태로 라인정합장치에 수신되면 세개의 포워딩엔진중 어느 하나로 전송할 수 있도록 해당 스위치 패브릭의 출력버퍼로 스위칭된다. 포워딩엔진으로 수신된 ATM 셀은 포워딩엔진의 패킷메모리(PM)에 저장되었다가 같은 IP 패킷에 속하는 마지막 셀이 도착될 때 원래의 IP 패킷으로 복원된다. 복원된 IP 패킷은 MPLS망의 경로설정을 위한 레이블을 포워딩엔진에서 할당받고 다시 여러 개의 ATM 셀 형태로 분할된다. 분할된 IP 패킷은 ATM 셀 형태로 스위치 패브릭을 거쳐 포워딩엔진으로 들어갈 때와 같은 방법으로 해당 라인정합장치로 송출된다. 이 때 라인정합장치에서는 VC merging 기능을 구현하기 위해, 포워딩엔진별로 각각 세개의 버퍼에 따로 셀을 저장했다가 IP 패킷의 마지막 셀이 도착하면 해당 버퍼의 모든 셀을 라인정합장치의 최종 출력버퍼로 넘겨준다.

3.3 입력 파라미터

IP 트래픽 특성

시스템의 대기모형을 이용하여 시뮬레이션을 수행하기 위해서는 입력 트래픽 부하에 대한 모델이 필요한데 국내에서는 인터넷 서비스에 대한 효과적인 트래픽 조사가 이루어지지 못하고 있는 실정이어서 본 논문에서는 미국의 MCI사가 최근 조사 분석한 인터넷 트래픽 패턴 및 특성[8]을 이용한다.

MCI사가 조사한 인터넷 트래픽 구성을 살펴보면, IP 프로토콜 트래픽은 TCP(Transmission Control Protocol), UDP(User Datagram Protocol), ICMP(Internet Control and Messaging Protocol), IP-in-IP, IPv6 등이 있는데 TCP, UDP 트래픽이 대부분을 차지하고 있으며 TCP, UDP 응용서비스의 점유율은 WWW(World-Wide Web), DNS(Domain Naming Service), SMTP(Simple Mail Transfer Protocol), FTP(File Transfer Protocol), NNTP(Network News Transport Protocol), Telnet 순으로 나타났다. 시뮬레이션에서 실제 상황에 보다 가까운 트래픽을 발생시키기 위해서는 응용서비스의 점유율에 따라 각 응용서비스의 지속시간, IP 패킷 수, 바이트 수, 플로우(Flow) 수, 플로우 지속시간 등의 파라미터를 이용하여야 할 것이다. 그러나 응용서비스별로 이런 구체적인 데이터를 따로 추정하는 것이 용이하지 않으므로 본 논문에서는 응용서비스와 수송계층에서의 사용 프로토콜(TCP, UDP 등)을 구별하지 않고 전체적인 IP 패킷의 길이에 대한 분포와 각각의 점유율에 대한 자료를 근거로 입력 트래픽을 발생시켰다. <표 1>은 MCI사의 조사를 근거로 추정한 IP 패킷의 길이 및 구성 비율에 대한 분포를 보여주고 있다.

표 1 IP 패킷의 길이 및 구성 비율

길이(Byte)	비율(%)	누적 비율(%)
40 - 44	50	50
45 - 551	20	70
552	5	75
553 - 575	1	76
576	10	86
577 - 1499	4	90
1500	9	99
1501 - 4500	1	100

LER 시스템에서의 ATM 셀 처리시간

라인정합장치와 ATM 스위치 패브릭에서 하나의

ATM 셀을 처리하는 데 걸리는 시간은 모두 1 셀 타임슬롯(cell time slot)으로 가정한다. 한편, (그림 4)에서 보는 바와 같이 포워딩엔진에서는 ATM 셀을 재조립하여 IP 패킷을 만들고, IP 패킷 헤더를 해석하여 목적지 주소에 따라 다시 분할하여 해당 출력포트로 ATM 셀을 내 보낼 때까지 많은 내부 컨트롤러와 메모리 장치 등을 거치게 된다. 또한 이를 위해 컨트롤러간 다양한 메시지를 주고 받아야 하는데 자세한 메시지 처리 절차는 여기서 생략하였다. 포워딩엔진에서의 ATM 셀 처리시간 및 각종 메시지 처리시간은 <표 2>와 같은 가정하에서 시뮬레이션을 수행하였다. 표에서 IPLC(IP Lookup Controller)의 Lookup 시간은 정확히 측정된 값이 없어서 IPLC가 병목(bottleneck)요인이 되지 않도록 포워딩엔진이 안정하게 운용될 수 있는 목표치로 설정하였다.

표 2 포워딩엔진에서의 트래픽 처리시간

ATM 셀 처리시간	1 셀 타임슬롯 (622 Mbps에서 약0.68 s)
메시지 처리시간	CMC: 800 ns 다른 컨트롤러: 400 ns
PM 메모리 액세스 속도	240 ns/ATM cell
PMC의 IP 헤더 Read Time	640 ns/IP Packet
IPLC에서의 Lookup 시간	8 셀 타임슬롯 이내

4. LER 시스템의 성능 분석

LER 시스템에 대한 성능 분석은 스위치 패브릭과 라인정합장치의 출력버퍼 큐길이를 추정함으로써 필요한 버퍼 크기를 산출하고, 포워딩엔진에 대한 분석 결과를 바탕으로 LER 시스템의 IP 패킷처리용량을 추정하였다. 본 논문에서 LER 시스템의 성능 분석은 시뮬레이션을 이용하였으며 시뮬레이션 언어로는 Awesim[9]을 사용하였다.

4.1 큐 길이 분석

스위치 패브릭과 VC merging 기능을 구현했을 때 라인정합장치에서 필요한 출력버퍼 크기를 살펴보기 위해 입력부하에 따른 큐 길이를 추정하여 보았다.

(그림 7)과 (그림 8)은 각각 입력부하에 따라 스위치 패브릭과 라인정합장치에서의 평균 큐 길이와 최대 큐 길이를 추정한 시뮬레이션 결과이다. 여기에서의 시뮬레이션은 높은 입력부하를 발생시킬 수 있도록 포워딩엔진에서 모든 트래픽을 충분히 처리할 수 있다고 가정하고 시뮬레이션한 결과이다.

우선 각각의 평균 큐길이를 살펴보면 (그림 7)에서 보는 것처럼 VC merging 을 위한 버퍼와 라인정합장치 치의 출력버퍼의 평균 큐길이는 입력부하에 따라 증가 하기는 하나 그렇게 민감하지 않음을 보여 준다. 반면, 스위치 패브릭의 평균 큐길이는 입력부하에 따라 급격히 증가함을 알 수 있다.

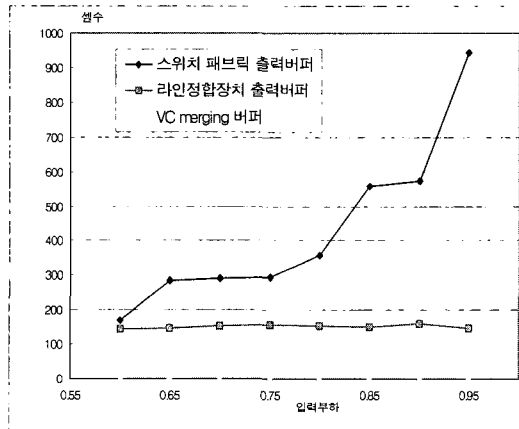


그림 7 스위치 패브릭 및 라인정합장치에서 평균 큐 길이다

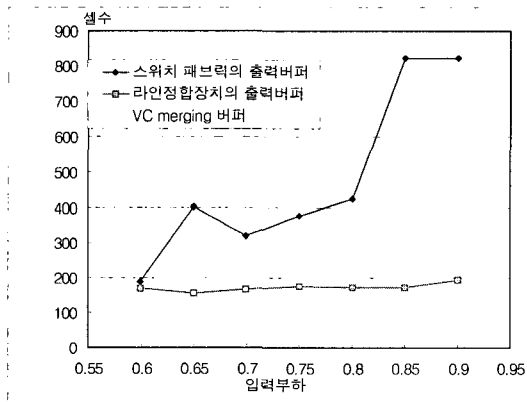


그림 8 스위치 패브릭 및 라인정합장치에서 최대 큐 길이다

한편, (그림 8)의 최대 큐길이를 살펴보면 VC merging을 위한 버퍼의 최대 큐길이는 IP 패킷의 최대 길이를 4,500 바이트로 주었기 때문에 모두 94 셀로 나타난다. 또한 라인정합장치 출력버퍼의 최대 큐길이기도 큰 변화없이 거의 일정하게 나타나는데, 이것은 순간적으로 최대 길이의 IP 패킷이 merge 되었을 때 라인정합장치의 출력버퍼로 들어갈 때 발생하는 현상으로 해

석된다. 결론적으로 라인정합장치 출력포트에서 VC merging 기능만 고려할 때, 셀 손실을 방지하기 위해서는 라인정합장치의 출력포트당 최소한 약 600 셀을 저장할 수 있는 출력버퍼가 필요할 것으로 분석된다. 한편, (그림 8)에서 스위치 패브릭의 출력포트당 최대 큐길이를 살펴보면 입력부하가 0.95일 때 약 1300 셀까지 나타난다. 그러므로 스위치 패브릭의 출력버퍼를 공유하지 않고 8개의 출력포트별로 완전히 분리하여 저장할 경우 최소한 약 10,000 셀까지 저장할 수 있는 메모리가 필요하며, 64 Bytes의 내부 셀을 가정할 경우 약 640 KBytes의 메모리가 필요한 것으로 분석된다.

4.2 LER 시스템의 IP 패킷처리용량

라우팅제어 프로세서를 제외할 때 LER 시스템의 대기 모형은 (그림 6)에서 보는 바와 같이 스위치 패브릭을 중심으로 IP 패킷의 입력 부분에 해당하는 4개의 라인정합장치와 IP 패킷을 처리하여 다시 라인정합장치로 출력하는 3개의 포워딩엔진장치로 구성되어 있다. 그러므로 전체 시스템 차원에서 볼 때, LER 시스템의 성능은 포워딩엔진장치의 성능에 의해 크게 좌우될 수 있으므로 LER 시스템의 IP 패킷처리용량은 포워딩엔진장치가 안정상태에서 처리할 수 있는 입력부하 조건을 먼저 검토해야 한다.

(그림 9)는 포워딩엔진에서의 입력부하에 따른 각 컨트롤러들의 평균 큐길이를 보여주고 있는데 그림에서 보는 것처럼 입력부하가 0.85가 되면 대부분 컨트롤러들의 큐길이가 급격히 증가함을 보여주고 있다. 한편, (그림 10)은 입력부하에 따른 각 컨트롤러들의 평균 이용률을 보여주고 있는데, 입력부하가 0.85일 때 SAR_Rx와 SAR_Tx는 모두 90 %에 이르는 평균 이용률을 나타내고 있다. 본 시뮬레이션에서는 제어정보나 유지보수

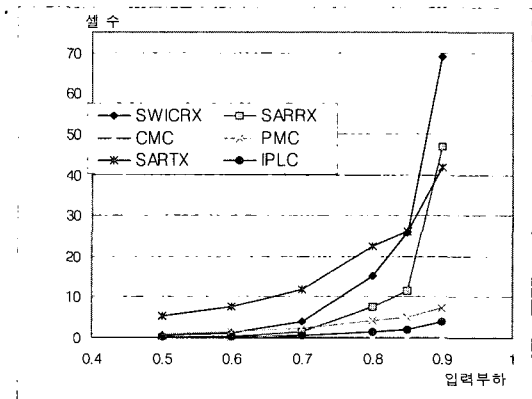


그림 9 포워딩엔진에서의 각 컨트롤러들의 큐 길이다

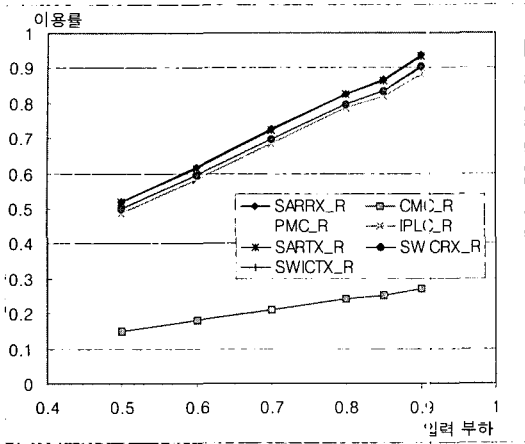


그림 10 포워딩엔진에서의 각 컨트롤러들의 평균 이용률

등과 관련된 트래픽은 고려하지 않았으므로 이에 대한 부하를 감안하면, 포워딩엔진으로 입력되는 순수한 데이터 트래픽 부하가 0.85 이하로 유지되어야 시스템이 안정한 상태에서 운용될 수 있을 것이다.

(그림 11)~(그림 13)은 각각 라인정합장치에서의 입력부하에 따른 포워딩엔진 출력버퍼의 평균 큐 길이, LER 시스템에서의 평균 지연시간 및 포워딩엔진의 평균 이용률을 보여주고 있다. (그림 11)과 (그림 12)에서 포워딩엔진 출력버퍼의 큐 길이와 LER 시스템에서의 지연시간을 살펴보면, 라인정합장치의 입력부하가 0.65이상일 때 급격히 증가하기 시작하는 것을 볼 수 있다. 앞에서 살펴본 바와 같이 포워딩엔진에의 입력부하는 0.85이하로 유지해야 시스템을 안정한 상태에서 운용할 수 있는데, (그림 13)에서 포워딩엔진의 평균 이용률

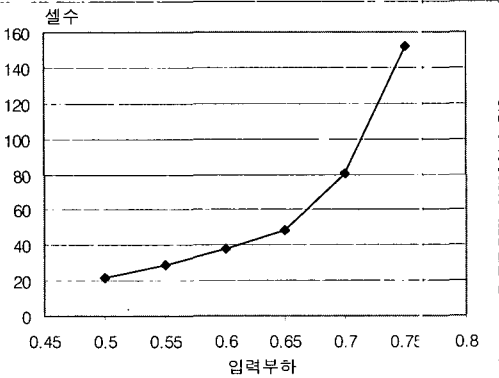


그림 11 포워딩엔진 출력버퍼의 평균 큐 길이

은 라인정합장치의 입력부하가 0.6일 때 약 0.8이며 라인정합장치의 입력부하가 0.65일 때 거의 0.9(시뮬레이션 분석 결과는 0.877)까지 접근한다. 따라서 순수한 IP 패킷 데이터 트래픽만을 대상으로 할 때, LER 시스템을 안정한 상태에서 운용하기 위해서는 라인정합장치의 입력부하가 0.6~0.65 정도가 되도록 망계획을 수립하여야 할 것이다.

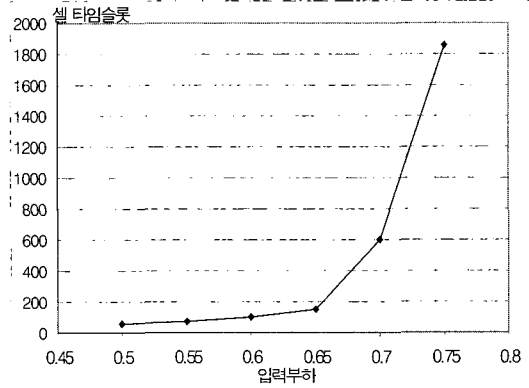


그림 12 LER 시스템에서의 평균 지연시간

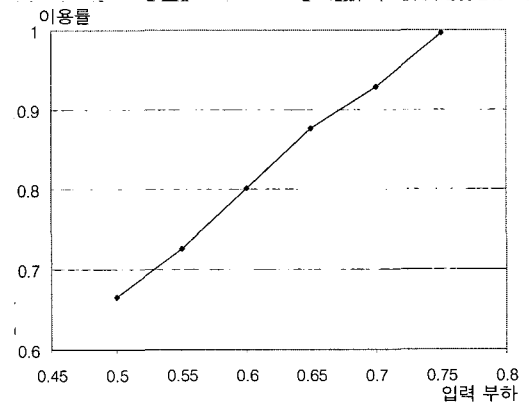


그림 13 포워딩엔진의 평균 이용률

<표 3>은 라인정합장치의 입력부하에 따라 시뮬레이션에 의한 LER 시스템의 IP 패킷처리용량을 보여주고 있다. 위에서 기술한 바와 같이 포워딩엔진의 트래픽 성능을 고려할 때, LER 시스템의 순수한 IP 데이터 트래픽 처리 용량은 라인정합장치의 입력부하가 0.6~0.65일 때로 추정할 수 있으며 <표 3>에서 보는 것처럼 약 42만~46만 Packets/Sec로 추정된다.

표 3 LER 시스템의 IP 패킷처리용량 추정치
(단위: Packets/Sec)

라인정합장치 입력부하	0.50	0.55	0.60	0.65	0.7	0.75
IP 패킷 처리 용량	353,400	388,500	425,300	463,700	495,100	528,100

5. 결론

LANE, IPOA, MPOA 등 기존의 망기술로는 인터넷 망의 확장성, 망 자원의 효율성 및 멀티미디어의 서비스 품질(QoS) 등을 고려할 때 폭발적으로 증가하는 인터넷 트래픽을 수용하는 데 한계가 있다. 이런 문제점들을 해결하기 위해 새로운 포워딩 기술인 MPLS 방식이 제안되었다.

본 논문에서는 MPLS 망의 경계에서 기존 인터넷 망과의 접속 역할을 담당하는 MPLS LER 시스템의 트래픽 성능을 분석하였다. 우선 MPLS LER 시스템의 라인정합장치 및 스위치 패브릭에서 요구되는 최소한의 출력버퍼 크기를 추정하고, 이들에 대한 분석 결과를 바탕으로 포워딩엔진의 IP 패킷처리능력을 감안하여 MPLS LER 시스템의 IP 패킷 처리 용량을 추정하였다. 라인정합장치는 VC Merging 기능만 고려할 경우 최소한 약 600 셀을 저장할 수 있는 버퍼가 필요하며, 스위치 패브릭의 총 출력버퍼는 최소한 약 10,000 셀까지 저장할 수 있는 메모리가 필요한 것으로 분석되었다. 또한 포워딩 엔진의 트래픽 성능을 고려할 때 MPLS LER 시스템의 IP 패킷처리용량은 약 42만~46만 PPS(Packets/Sec)로 추정되었으며, 라인정합장치당 최대 입력부하는 0.6~0.65 이내가 되도록 망계획을 수립해야 전체 MPLS LER 시스템이 안정한 상태에서 운용될 수 있을 것으로 분석되었다.

본 논문에서는 일단 순수한 IP 데이터 트래픽만을 대상으로 분석하였으므로 보다 정밀한 성능 분석을 위해서는 라우팅 프로토콜과 관련된 제어정보, 유지보수 및 통계처리 등을 모두 포함한 트래픽이 함께 고려되어야 한다. 또한 본 논문에서는 라인정합장치에서 VC merging 기능만 고려하였는데, 실시간 처리가 요구되는 음성 및 멀티미디어 서비스를 수용하기 위한 우선순위 제어(Priority Control) 기법과 지연시간 및 버퍼크기를 줄이기 위한 VC merging 기법의 개선에 관한 연구가 뒤따라야 할 것이다.

참 고 문 헌

- [1] L. Tony, "MPLS and the Evolving Internet Architecture," IEEE Communications, Dec, 1999.
- [2] E. C. Rosen, A. Viswanathan, and R. Callon, "MultiProtocol Label Switching Architecture," IETF RFC 3031, Jan. 2001.
- [3] N. Feldman, A. Fredette, G. Swallow, and A. Viswanathan, "A Framework for Multiprotocol Label Switching," work in progress, Internet Draft, draft-ietf-mpls-framework-05.txt, Sep. 1999.
- [4] L. Anderson, P. Doolan, N. Feldman, A. Fredette, B. Thomas, "LDP Specification," IETF RFC 3036
- [5] A. Doria, F. Hellstrand, K. Sundell, T. Worster, "General Switch Management Protocol," work in progress, Internet Draft, draft-ietf-gsmp-09.txt, May 2001.
- [6] Bruce Davie, Yakov Rekhter, "MPLS : Technology and Applications," Morgan Kaufmann Publications, Inc., 2000.
- [7] Jaesup Lee, "An Implementation of MPLS Controller for ATM and IP Integration Networks," MPLS'99, Paris France, Jun. 1999.
- [8] K. Thompson, G. J. Miller and R. Wilder, "Wide-Area Internet Traffic Patterns and Characteristics," IEEE NETWORK, No.6, Vol. 11, NOV/DEC 1997.
- [9] Pritsker, A. Alan B, Simulation With Visual Slam and Awesim. John Wiley & Sons (Sd), 1997.

이 재 섭



1974년 서울대학교 컴퓨터공학부 학사. 1987년 충남대학교 전산학과 석사. 2001년 충북대학교 전산학과 박사 수료. 1989년 ~ 1991년 Alcatel BTM 연구원. 1980년 ~ 현재 한국전자통신연구원 MPLS시스템팀장 책임연구원. 관심분야는 인터넷 프로토콜, 시공간 데이터베이스, 시스템 성능평가.

류 근 호



1976년 숭실대 전산과 학사. 1980년 연세대학교 산업대학원 전산전공(공학석사). 1988년 연세대 대학원 전산전공(공학박사). 1976년 ~ 1986년 육군군수지원사전산실(ROTC장교). 한국전자통신연구소(연구원). 한국방송통신대 전산학과(교수) 근무. 1989년 ~ 1991년 Univ. of Arizona 연구원(TemplS Project). 1986년 ~ 현재 충북대학교 전기전자컴퓨터공학부 교수. 관심분야는 시간지원 데이터베이스, 시공간 데이터베이스, Temporal GIS, Bio-Informatics, 라우팅 정보처리.



서 재 준

1981년 서울대학교 산업공학과 학사.
 1983년 서울대학교 산업공학과 석사.
 1994년 포항공과대학교 산업공학과 박사.
 1983년 ~ 1998년 한국전자통신연구원
 책임연구원. 2001년 현재 한밭대학교 산
 업경영공학과 조교수. 관심분야는 정보통

신시스템 성능분석, 추계적과정.



임 준 목

1988년 서울대학교 산업공학과 학사.
 1990년 한국과학기술원 산업공학과 공학
 석사. 1994년 한국과학기술원 산업공학과
 공학박사. 1994년 ~ 1997년 강릉대학교
 산업공학과 조교수. 2000년 ~ 2002년
 와세다대학 경영시스템공학과 방문교수.

2001년 현재 한밭대학교 산업경영공학과 부교수. 관심분야
 는 물류시스템분석 및 설계, 컴퓨터시뮬레이션.