

---

# 가변 클럭 발생을 위한 DLL 주파수 합성기

이지현\* · 송윤귀\* · 최영식\* · 최혁환\* · 류지구\*

## A DLL-Based Frequency Synthesizer for Generation of Various Clocks

Ji-Hyun Lee\* · Youn-Gui Song\* · Young-Shig Choi\* · Hyek-Hwan Choi\* · Ji-Goo Ryu\*

---

본 연구는 1998년도 부경대학교 기성회 학술 연구비 지원에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

---

### 요 약

본 논문에서는 DLL(delay locked loop)에서의 프로그램 가능한 새로운 주파수 합성기를 제안하고자 한다. 일반적으로 주파수를 합성하기 위해서 PLL(phase locked loop)이 많이 이용되어 왔으며, locking 시간이 빠른 DLL 역시 주파수 합성에 이용되고 있다. 하지만 DLL의 경우 주파수를 합성하기 위해서는 따로 주파수를 체배하는 블록이 필요하다. 기존의 DLL에서 사용된 주파수 체배기는 주파수를 체배하는 배수가 한번 정해지면 바꿀 수 없다는 단점이 있다. 그러나 본 논문에서 제안하는 체배기는 입력주파수에 대해서 6배에서 10배까지 선형적으로 주파수를 체배할 수 있다. 제안된 DLL의 동작 주파수 범위는 600MHz에서 1GHz까지 이다. 0.35- $\mu\text{m}$  CMOS 공정을 이용해 HSPICE simulation 하여 동작을 검증하였다.

### ABSTRACT

This paper describes a new programmable DLL\_based frequency synthesizer. Generally, PLLs have been used for frequency synthesis. Inherent fast locking DLLs are also used for frequency synthesis. However, DLL needs a frequency multiplier for various frequencies. A conventional frequency multiplier used in DLL has a restriction in which a multiple is fixed. However, the proposed DLL can generate clocks which are from 6 times to 10 times of the reference clock. Frequency range of the proposed DLL is from 600MHz to 1GHz. The idea has been confirmed by HSPICE simulations in a 0.35- $\mu\text{m}$  CMOS process.

### 키워드

주파수 합성, 주파수 체배기(frequency multiplier), edge detector, VCDL

### 1. 서 론

초고속 멀티미디어 시대로 접어들면서 고속의 동기회로의 중요성은 한층 커지고 있다. CPU나

DSP와 같이 초고속 동작을 하는 시스템에서는 서로 다른 블록간의 data 전송에서 높은 주파수의 클럭을 필요로 한다. 그러나 시스템 블록 간의 직접적인 인터페이스에서 깨끗한 신호를 얻기란 쉽지

않아 따라서 외부의 클럭 입력을 받아서 내부의 클럭을 발생시키는 장치가 필요하다. 높은 동작 주파수를 원하는 대부분의 시스템에서 일반적으로 PLL(phase locked loop)을 클럭 발생기로 이용한다[1]-[4]. 그러나 PLL은 VCO(voltage controlled oscillator)를 사용한 페루프 피드백 구조이기 때문에 PVT(process. voltage, temperature)값들에 의해서 loop bandwidth가 쉽게 변화 될 수 있으며, locking time이 늦고 jitter가 축적되는 단점이 있다. 반면에 VCO 대신에 VCDL(voltage controlled delay line)을 사용하면서 개방루프인 DLL은 항상 안정하며 jitter의 축적이 일어나지 않으면서 빠른 locking time을 갖는 장점이 있다. 따라서 DLL을 이용한 주파수 합성은 새로운 연구 대상이 되어 왔으나, 기존의 DLL에서 주파수의 체배는 원하는 주파수를 갖도록 프로그래밍 하는데 많은 제약을 가지고 있다. 이에 따라 본 논문에서는 기존의 DLL에서 사용된 주파수 합성방법에 대해서 알아보고 이를 개선하여 주파수를 합성하는데 프로그래밍하기 쉬운 구조의 새로운 DLL을 제안한다.

## II. Conventional DLL\_based frequency synthesizer

기존의 PCS(personal communications service)를 위한 DLL 주파수 합성기의 경우 주파수를 체배하기 위해서 edge combiner를 사용한다[5]. 그러나 이 방식은 출력단의 load impedance를 늘리기 위해서 LC tank가 필요하다. 이는 칩의 면적을 증가시킬 뿐만 아니라, LC tank의 값이 고정되면 주파수의 체배 비율 역시 하나의 값으로 고정되어 버린다.

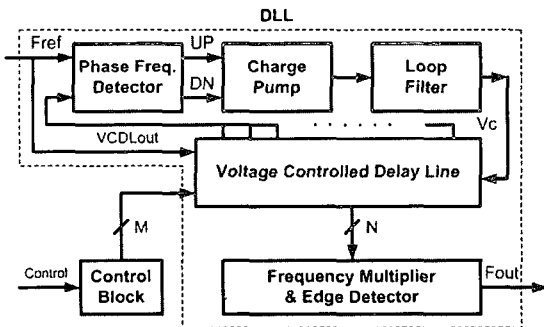


그림 1. Proposed DLL 전체 회로도

self-correction 방식의 DLL 주파수 합성기의 경우 AND-OR gate를 이용하여 false locking을

self-correction 방법으로 해결하여 multi-phase를 생성하고 빠른 locking을 한다는 장점을 가지고 있다[6]. 그러나 self-correction DLL 주파수 합성기는 각 delay cell에서 나온 클럭들을 합성하여 주파수 합성을 하기 때문에 입력 클럭의 정확한 duty 비가 필요하다. 또 delay cell의 개수와 합성하는 방법이 정해져 입력주파수의 3, 9배로 합성주파수가 결정되어 주파수를 프로그래밍하게 변경하는데 제한이 따른다. [7]번 참조 논문을 살펴보면, 각 delay cell 출력 클럭의 rising edge를 추출해 주파수를 합성한다. 이러한 방법은 클럭의 duty 비가 50%가 되지 않아도 된다는 장점이 있다. 그러나 delay cell의 개수에 따라 합성되는 주파수가 하나로 고정되어 다양한 주파수를 얻을 수 없다는 단점이 있다.

## III. Proposed DLL 전체 구조 및 동작

본 논문에서 제안된 DLL은 그림 1과 같이 PFD(phase frequency detector), CP(charge pump), loop filter, VCDL(voltage controlled delay. line) 그리고 FM(frequency multiplier)로 구성되어 있다. DLL을 이용해서 주파수를 합성하기 위해서는 정확하게 한 주기 안에 locking시켜 multi-phase를 생성하는 것이 중요하다. 따라서 본 논문에서는 기존의 PD(phase detector)보다 넓은 동작범위를 갖는 PFD( $-2\pi \sim +2\pi$ )를 이용하여 false locking 문제를 해결한다. PFD와 CP, loop filter를 통과한 신호는 일정한 전압값으로 표현된다. 이 전압값이 VCDL의 control 전압(Vc)이 된다. VCDL은 Vc 전압만큼 지연을 시켜 PFD로 신호를 보낸다. 본 논문에서 제안하는 주파수 합성을 하기 위해서 FM(frequency multiplier)은 VCDL 각 delay cell에서 클럭 신호를 가져온다. FM내에 edge detector가 있어 각 delay cell에서 받아들인 클럭 신호의 rising edge를 감지하여 하나의 펄스 신호를 만들어 낸다. 따라서 VCDL의 duty 비가 정확히 50%가 되지 않아도 된다는 장점이 있다. 이러한 펄스 신호들을 논리 조합을 이용하여 N배 체배된 신호를 만들어낸다. 본 논문에서 제안하는 DLL 주파수 합성기는 프로그램 가능한 다양한 주파수를 얻을 수 있다. 따라서 일반적인 VCDL과는 달리 제안한 VCDL은 외부의 control 신호에 따라 원하는 주파수에 맞춰 delay cell을 사용하는 개수를 조절할 수 있다는 장점이 있다. 입력 신호 주파수 f(Hz)의 N배 주파수를 가지는 신호를 얻고자 한다면, VCDL

의 delay cell을 N개를 사용하여 원하는 주파수  $Nf(\text{Hz})$ 를 가지는 신호를 얻을 수 있다. 즉, 입력 신호의 한 주기가  $T(\text{s})$ 라고 할 때, 각각의 delay cell의 delay 시간은 정확히  $T/N(\text{s})$ 이 된다. 그러므로, 제안된 VCDL은 폭넓은 delay range와  $V_c$  전압에 대한 delay time의 선형성이 매우 좋은 특징을 가진다.

IV. VCDL(voltage controlled delay line)

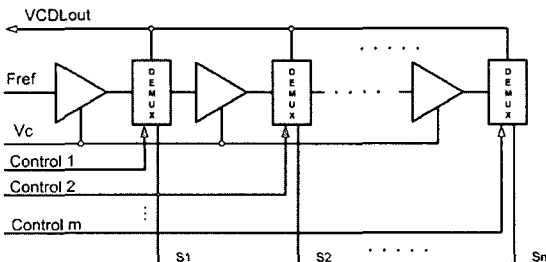


그림 2. Proposed VCDL 회로도

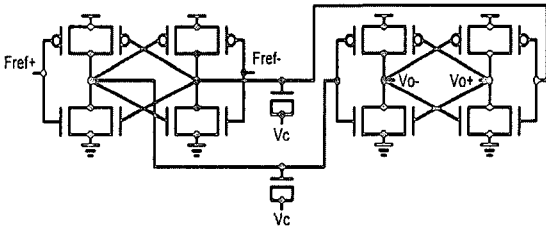


그림 3. delay cell 회로도

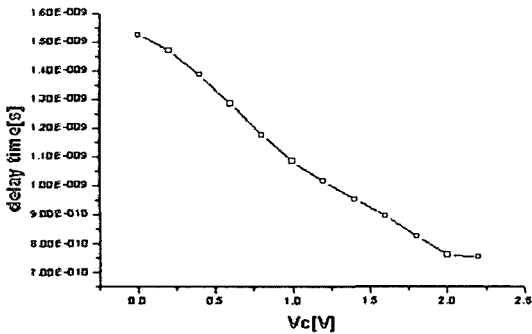


그림 4. delay cell의 delay time

VCDL의 구조는 그림 2와 같다. 각각의 delay cell다음에 있는 DEMUX가 외부의 컨트롤 신호를 받아 원하는 주파수를 합성하는데 필요한 만큼의

delay cell 개수를 선택한다. 따라서 control 신호에 따라 사용하지 않는 delay cell이 발생하며, 이는 전력 소모를 줄일 수 있다는 장점이 있다. 그림 3은 delay cell의 회로도이다.  $V_c$ 에 따른 delay를 주기 위해서 NMOS 커패시터를 사용하였다[8].  $V_c$  전압에 따른 커패시터의 용량이 달라져 delay의 크기를 조절한다. 본 논문에서 제안하는 구조에서는 입력 주파수에 대해 채배하는 주파수의 비율이 작을 경우, 사용되는 delay cell의 개수는 적다. 이러한 경우 각각의 delay cell의 delay time이 길어야 한다. 반대로 큰 배수의 주파수를 얻기 위해서는 많은 수의 delay cell이 사용되기 때문에, 각 delay cell의 delay는 작게 일어나야 한다. 따라서 MOS 커패시터를 사용할 경우 각 delay cell의 최대 delay 시간이 길어질 뿐만 아니라,  $V_c$  값에 따른 최대, 최소 delay 값에 대한 delay range 역시 매우 넓어지는 장점이 있다. 그러나 커패시터 값이 커질 경우 파형의 펄스가 사라지게 될 위험이 있으므로, 이를 방지하기 위해 기본 인버터 구조에 반전입력을 주어 latch 구조를 사용해 충분히 pull up, pull down 시켜 주었다. 따라서 펄스 파형의 왜곡 없이 깨끗한 파형을 전달할 수 있다. 그림 4는  $V_c$  전압 값에 대한 delay cell의 delay time 그래프이다. 그림에서 볼 수 있듯이 선형적으로 동작함을 알 수 있다.

V. FM(frequency multiplier) & edge detector

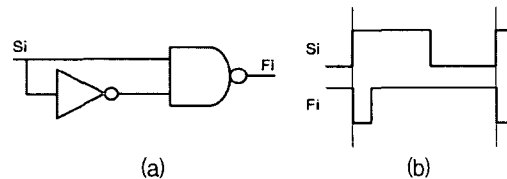


그림 5. (a) edge detector 회로도 (b) edge detector 동작 파형

edge detector은 그림 5.(a)과 같은 구조로 되어 있다. VCDL의 각 delay cell에서 받은 신호를 그림.(b)와 같이 약간의 delay 차이를 발생시켜 하나의 작은 펄스를 만들어 낸다. FM은 그림 6와 같이 edge detector에서 만들어낸 펄스들을 조합하여 하나의 신호로 합성한다. VCDL이 정확히 한주기  $T(\text{s})$  안에 lock 되기 때문에 각 FM의 최종 신호의 한주기는  $T/N(\text{s})$ 가 된다. 따라서 입력 신호의 주파수가  $f(\text{Hz})$ 라면 제안된 DLL의 출력 신호의 주파수

는 N배만큼 체배 된  $Nf(\text{Hz})$ 가 된다.

### VI. 시뮬레이션 결과

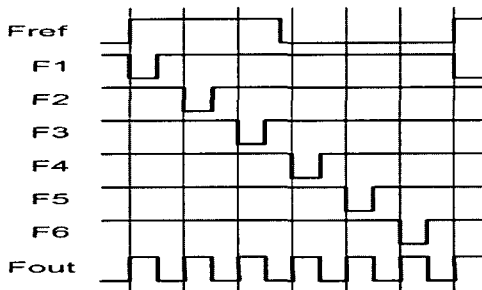
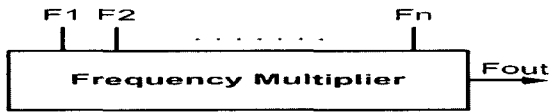
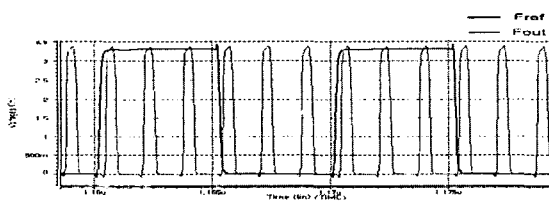
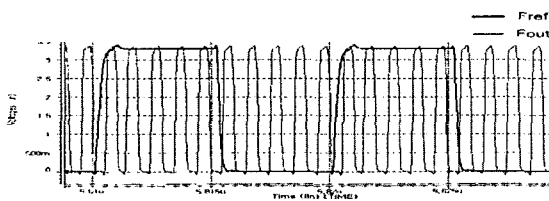


그림 6. Proposed FM 과 동작 파형



(a)



(b)

그림 7. Proposed DLL의 시뮬레이션 결과

- (a) 출력 주파수 (600MHz : N=6)
- (b) 출력 주파수 (1GHz : N=10)

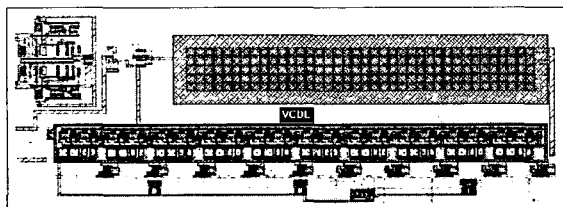


그림 8. Proposed DLL의 레이아웃

제안한 회로를 검증하기 위하여 0.35 -  $\mu\text{m}$  표준 CMOS 공정으로 HSPICE를 이용하여 시뮬레이션 하였다. 입력 주파수( $F_{\text{ref}}$ )는 100MHz로 시뮬레이션 하였다. 그림 7.(a)는 6개의 delay cell을 사용하여 600MHz의 신호로 주파수 합성된 것을 확인 할 수 있다. 그림 7.(b)은 delay cell 10개를 사용하여 1GHz의 신호로 주파수 합성된 것을 확인 할 수 있다. 그림 8은 제안하는 DLL의 레이아웃으로 Hynix 표준 CMOS 0.35- $\mu\text{m}$  공정으로 제작 중에 있다.

### VII. 결 론

본 논문에서는 기존의 DLL을 이용한 주파수 합성기의 문제점인 주파수 체배의 배수가 고정인 것을 해결하기 위해 그림 2와 같이 VCDL의 delay cell의 개수를 조정해 주파수를 체배 할 수 있는 배수를 임의적으로 조절 할 수 있게 구현 하였다. 또한, 각 delay cell의 rising edge로만 주파수를 합성하므로 VCDL의 duty 비가 반드시 50%가 아니어도 상관없다는 장점이 있다. 본회로는 입력 신호로 100MHz를 입력하였을 때 600MHz에서 1GHz까지 주파수를 정수배로 선형적으로 체배 할 수 있음이 확인 되었다.

### 참고문헌

- [1] K. Kurita, T. Hotta, and N. Kitamura, "PLL-based BiCMOS on-chip clock generator for very high-speed microprocessor", IEEE J. Solid State Circuits, vol. 26, pp. 585-589, APR. 1991.
- [2] I. W. Young, J. K. Greason, and K. L. Wong, "A PLL clock generator with 5 to 110MHz of lock range for microprocessors", IEEE J. Solid State Circuits, vol. 34, pp.1599-1607, NOV. 1992.
- [3] J. Alvarez, H. Sanchez, G. Gerosa, and R. Countryman, "A wide band width low voltage PLL for power PC microprocessors", IEEE J. Solid State Circuits, vol. 30, pp. 383-391, APR. 1995.
- [4] V. R. von Kaenel, "A high speed, low power clock generator for a microprocessor

- application", IEEE J. Solid State Circuits, vol. 33, pp. 1634-1639, NOV. 1998.
- [5] George Chien, Paul R. Gray, "A 900-MHz local oscillator using a DLL-based frequency multiplier technique for PCS applications", IEEE J. Solid State Circuits, vol. 35, pp. 1996-1999, DEC. 2000.
- [6] David J. Foley, Michael P. Flynn, "CMOS DLL-based 2V 3.2ps jitter 1GHz clock synthesizer and temperature compensated tunable oscillator", IEEE J. Solid State Circuits, vol. 36, pp. 417-423, MARCH 2001.
- [7] Chulwoo Kim, In-Chul Hwang, and Sung-Mo Kang, "A low power small area  $\pm$  7.23ps jitter 1GHz DLL-based clock generator", IEEE J. Solid State Circuits, vol. 37, pp. 1414-1420, NOV. 2002.
- [8] Guang-Kaai Edhng, Jyh-Woei Lin, Shen-Juan Liu, "A Fast-Lock Mixed-Mode DLL Using a 2-b SAR Algorithm", IEEE J. Solid State Circuits, vol. 36, pp. 1464-1471, OCT. 2001.

저자소개



이지현(Ji-Hyun Lee)

부경대학교 전자공학과 공학사  
2003년~현재 부경대학교 전자공학과 석사과정  
※관심분야 : DLL, PLL



송윤귀(Youn-Gui Song)

부경대학교 전자공학과 공학석사  
2002년~현재 부경대학교 전자공학과 박사과정  
※관심분야 : DLL, PLL, CDRC



최영식(Young-Shig Choi)

경북대학교 전자공학과 공학사  
Texas A&M Univ. 전기공학과 공학석사  
Arizona State Univ. 전기공학과 공학박사

1987년~1999년 현대전자 시스템 IC 연구소  
1993년~2003년 동의대학교 전자공학과 교수  
2004년~현재 부경대학교 전자공학과 조교수  
※관심분야 : PLL, DLL



최혁환(Heyk-Hwan Choi)

경북대학교 전자공학과 공학사  
Arizona State Univ. 전자공학과 공학석사  
Arizona State Univ. 전자공학과 공학박사

1994년~현재 부경대학교 부교수  
※관심분야 : RF 집적회로설계, 센서, 아날로그 IC 설계



류지구(Ji-Goo Ryu)

동아대학교 전자공학과 공학사  
동아대학교 전자공학과 공학석사  
영남대학교 전자공학과 공학박사  
1979년~현재 부경대학교 교수  
※관심분야 : 반도체 센서, 집적회로 설계