
5×5 CNN 하드웨어 및 전·후 처리기 구현

김승수* · 전홍우**

An Implementation of the 5×5 CNN Hardware and the Pre · Post Processor

Seung-Soo Kim* · Heung-Woo Jeon**

본 연구는 금오공과대학교학술연구비와 IDEC의 CAD Tool 지원에 의하여 연구된 논문임

요 약

셀룰러 신경회로망(Cellular Neural Networks: CNN)은 그 구조가 간단함에도 불구하고 강력한 연산능력을 가지고 있어 영상처리에 이용되어 왔다. 그러나 실제의 대규모 영상에 포함된 화소의 양과 같은 막대한 셀들을 필요로 하는 CNN 하드웨어를 구현하는 것은 불가능하다. 본 논문에서는 시다중화 처리 기법으로 대규모 실영상을 처리할 수 있는 5×5 CNN 하드웨어와 전·후 처리기를 구현하였다. 구현된 5×5 CNN 하드웨어와 전·후 처리기의 성능을 평가하기 위해 256×256 레나영상에 대해 윤곽선 검출을 수행하였으며, 약 4,000번의 시다중화 블록처리와 각 블록마다 10번의 제어 펄스에 의한 파이프라인 동작에 의해 영상처리가 수행되었다. 따라서 본 논문에서 구현된 5×5 CNN 하드웨어와 전·후 처리기를 실영상 처리에 이용할 수 있다.

ABSTRACT

The cellular neural networks have shown a vast computing power for the image processing in spite of the simplicity of its structure. However, it is impossible to implement the CNN hardware which would require the same enormous amount of cells as that of the pixels involved in the practical large image. In this paper, the 5×5 CNN hardware and the pre · post processor which can be used for processing the real large image with a time-multiplexing scheme are implemented. The implemented 5×5 CNN hardware and pre · post processor is applied to the edge detection of 256×256 lena image to evaluate the performance. The total number of blocks for the time-multiplexing process is about 4,000 blocks and 10 control pulses are needed to perform the pipelined operation of the each block. By the experimental results, the implemented 5×5 CNN hardware and pre · post processor can be used to the real large image processing.

키워드

CNN, Time-multiplexing, Pre · Post processor, OTA, Pipeline

I. 서 론

셀룰러 신경망(CNN)은 간단한 처리요소인 셀들의 어

레이로 구성된 대규모 병렬처리 시스템으로써 매우 간단한 구조임에도 불구하고 영상처리를 위한 매우 강력한 연산능력을 가지고 있어 영상처리 및 패턴인식 분야 등에

* LG 이노텍

** 금오공과대학교 전자공학부

관한 많은 연구가 이루어졌다[1-3]. 그리고 CNN은 국부적인 연결특성과 공간불변 템플릿 특성을 가지고 있어 CNN을 하드웨어로 구현하려고 할 때 배선이 용이하며 회로의 집적도를 높일 수 있다는 장점을 가지고 있어 하드웨어 구현에 관한 연구도 지속적으로 진행되어 왔다 [4,5].

CNN을 구성하는 기본 단위 셀의 상태방정식과 출력 방정식은 식(1)과 식(2)과 같다.

$$C_x \frac{dv_{xij}(t)}{dt} = -\frac{1}{R_x} v_{xij}(t) + \sum_{C(k,l) \in N_r(i,j)} A(i,j;k,l) v_{ykl}(t) + \sum_{C(k,l) \in N_r(i,j)} B(i,j;k,l) v_{ukl} + I_b \quad (1)$$

$$v_{yij}(t) = \frac{1}{2} (|v_{xij}(t) + 1| - |v_{xij}(t) - 1|) \quad (2)$$

$$1 \leq i \leq m, 1 \leq j \leq n$$

여기서, $v_{xij}(t)$ 는 셀 $C(i,j)$ 의 상태전압, I_b 는 바이어스 전류이며 C_x 와 R_x 는 선형 커패시터 및 선형 저항이다. 그리고 $A(i,j;k,l)$, $B(i,j;k,l)$ 는 셀 $C(i,j)$ 와 r -거리 내에 이웃 ($N_r(i,j)$)한 모든 셀 $C(k,l)$ 에 대한 귀환 및 순방향 템플릿이며 $v_{ykl}(t)$ 은 이웃한 셀의 출력전압, v_{ukl} 은 이웃한 셀의 입력전압이다.

그러나 대규모 영상의 처리에 실제로 적용할 수 있는 크기의 CNN 하드웨어를 구현하는 것은 현 상황에서는 불가능하다. 따라서 이와 같은 하드웨어 구현의 문제점을 해결하기 위한 실용적인 방법인 시다중화 영상처리 기법이 제안되었다[6,7]. 시다중화 기법은 대규모 영상을 작은 부분영상으로 분할하여 블록단위로 소규모의 CNN을 이용하여 영상처리를 하는 기법으로써 전체 입력 영상을 구현 가능한 소규모의 CNN 셀 어레이 크기로 분할하여 블록 단위로 전체 영상을 처리한다. 그러므로 CNN 블록에 해당하는 소규모의 CNN 하드웨어를 설계하여 대규모의 영상입력에 대한 신호처리를 블록별로 수행하고 처리된 데이터를 적절하게 조합하여 전체영상에 대한 영상처리를 할 수 있다.

본 논문에서는 행 단위로 블록 영상입력을 받아들이고 처리된 영상을 행 단위로 출력시키는 파이프라인 입·출력 구조를 갖는 5×5 CNN 하드웨어를 구현하였으며, 입력 벨트에 해당하는 경계값을 포함한 7×7 입력 영상에 대한

윤곽선 검출 실험을 통하여 구현된 5×5 CNN 하드웨어의 동작을 검증하였다. 또한 구현된 5×5 CNN 하드웨어와 PC와의 인터페이스를 통하여 대규모 영상에 대한 시다중화 영상처리를 할 수 있도록 전·후처리를 구현하였으며, 256×256 레나 영상에 대한 윤곽선 검출 실험을 통하여 그 동작을 검증하였다.

II. CNN 하드웨어 및 전·후처리기 설계

2.1. 5×5 CNN 하드웨어 설계

본 논문에서는 구현한 5×5 CNN 하드웨어를 구성하는 기본 셀은 그림 1과 같다. B템플릿, A템플릿, R_x , 뉴런 회로, 바이어스 회로는 OTA를 사용하였다.

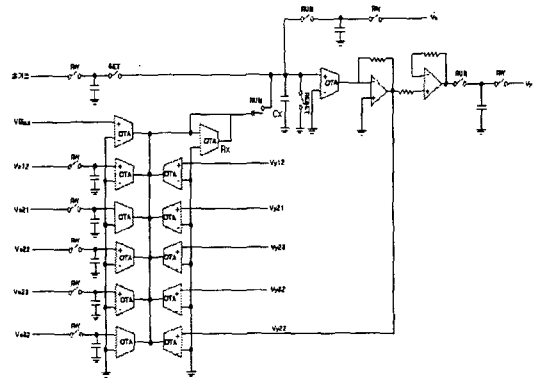


그림 1. CNN 셀
Fig. 1. CNN cell

셀 자신의 입력값과 출력값, 이웃 셀로부터의 입력값과 출력값은 B템플릿과 A템플릿을 통해 가중치를 적용받게 된다. 입력단의 커패시터는 셀에 입력되는 입력값을 저장하며 출력단의 커패시터는 처리된 영상의 상태값과 출력값을 저장한다. 제어신호로는 입력값을 선택하고 출력값을 출력시키기 위한 RW 신호, 상태값을 0으로 만드는 RESET 신호, 초기 상태값을 설정하는 SET 신호, 셀을 동작시키는 RUN 신호가 있으며 이들 제어신호는 RW, RESET, SET, RUN 순으로 반복 동작한다.

그림 2는 행단위로 입력영상을 입력시키고 처리된 영상을 출력시킬 수 있도록 하는 파이프라인 구조로 설계한 5×5 CNN 하드웨어와 입력과 출력 신호를 보여주고 있다.

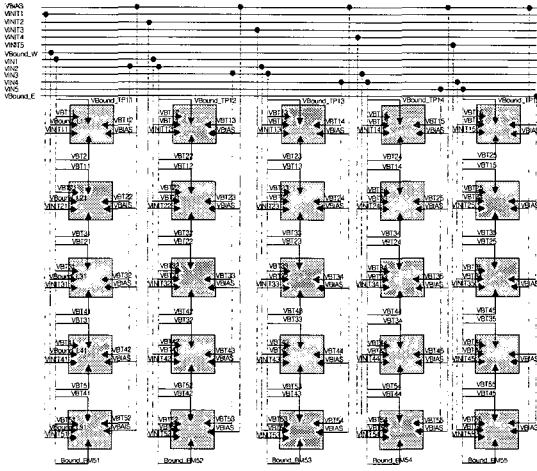


그림 2. 5×5 CNN 구조
Fig. 2. Structure of the 5×5 CNN

여기서 A_템플릿은 귀환 연산자인 아날로그 템플릿 값을 설정하고, B_템플릿은 입력 연산자인 아날로그 템플릿 값을 설정한다. RW신호는 CNN 하드웨어에서 각 행의 셀을 선택하는 제어신호로써 RW신호에 의해서 영상입력이 각 셀에 행 단위로 로드되며 동시에 전 단계에서 처리된 출력영상이 각 셀에서 행 단위로 출력된다. 즉, 입력영상과 처리된 출력영상이 행단위로 직·병렬 파이프라인 형태로 입·출력된다.

각 제어신호에 의한 CNN 하드웨어의 동작은 다음과 같은 과정으로 진행된다.

순차적으로 발생하는 RW(RW0-RW6) 펄스에 의해 각 셀에서 필요로 하는 경계값, 초기 상태값 및 입력값을 행 단위로 셀에 로드하며 동시에 전 단계에서 처리된 출력값을 행 단위로 출력한다. 그리고 RESET, SET, RUN 펄스는 모든 셀에 순차적으로 인가되어 각 셀의 상태값을 클리어 시킨 후 각 셀에 초기 상태값을 인가하며, 5×5 CNN 하드웨어의 각 셀을 동시에 동작시켜 5×5 영상입력에 대한 신호처리를 한다. 이러한 과정은 모든 입력 데이터에 대한 블록 처리가 완료될 때까지 반복적으로 수행된다.

2.2. 전·후처리기 설계

구현된 5×5 CNN 하드웨어를 이용하여 대규모의 영상을 시다중처리 기법으로 처리하기 위해 전·후 처리기를 설계하였으며 구현된 전·후 처리기의 구성도는 그림 3와 같다.

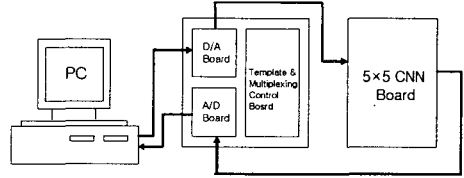
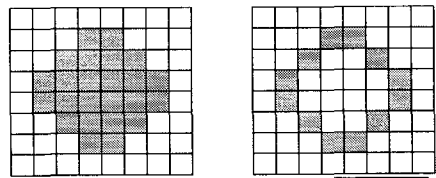


그림 3. 전·후 처리기 구성도
Fig. 3. Block diagram of the pre·post processor

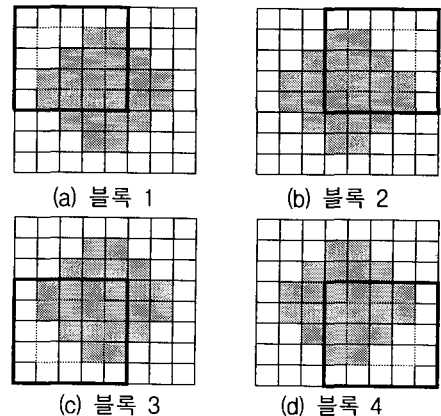
전·후 처리기는 PC에서 CNN 하드웨어로 대규모 영상의 분할된 부분영상 입력신호를 공급하는 D/A부분, 하드웨어에서 필요로 하는 제어신호 공급부분, CNN 하드웨어에서 블록 처리한 출력을 PC가 받도록 하는 A/D부분, 다양한 영상처리에 이용할 수 있도록 A템플릿과 B템플릿 값을 조절하는 부분 등으로 구성된다. 그리고 PC 인터페이스 카드는 PCI-DIO96H를 사용하였다.

그림 4(a)와 같은 8×8 입력영상을 5×5 CNN 하드웨어를 이용하여 2개의 행 또는 열을 중복해 가면서 시다중화 기법으로 윤곽선 검출을 수행한다고 가정할 경우 전·후 처리기의 동작은 그림 5와 같이 수행된다. 여기서 굵은 선은 5×5 CNN 하드웨어를 나타낸다.



(a) 입력영상 (b) 출력영상
그림 4. 입력영상 및 출력영상

Fig. 4. Input image and output image



(a) 블록 1 (b) 블록 2
(c) 블록 3 (d) 블록 4
그림 5. 시다중화 과정
Fig. 5. Time-multiplexing process

그림 5에서 8×8 입력영상은 총 4개의 부분영상으로 분할되어 5×5 CNN 하드웨어에 순차적으로 입력되어 블록 별로 처리된다. 5×5 CNN 하드웨어는 5×5 부분영상과 더불어 입력벨트를 통해 가장자리 셀 외부의 영상 화소의 입력값을 받아들인다. 그리고 하드웨어 가장자리의 셀들이 외부 이웃 셀의 출력값의 영향을 고려할 수 있도록 일부의 열과 행을 중복하여 부분영상을 처리한다[6,7]. 따라서 2개의 행과 열을 중복 처리하는 경우 두 블록의 연산 결과 중 가장자리 중복 행이나 열의 값은 부정확하기 때문에 제외하고 점선으로 표시된 부분의 연산 결과를 해당 블록의 최종값으로 선택한다. 즉, CNN 하드웨어 중앙의 9개의 셀은 유효한 출력력을 나타내며 나머지 부분은 외부 이웃 셀에 대한 불완전한 정보로 연산되므로 처리결과를 버린다.

이와 같은 과정은 전체 영상에 대한 모든 분할된 부분 영상 블록이 처리될 때까지 순차적으로 반복되며, 이와 같은 과정으로 처리된 최종 윤곽선 검출결과는 그림 4(b)와 같다.

III. 실험 결과 및 고찰

구현된 5×5 CNN 하드웨어의 동작은 그림 6(a)과 같은 벨트 입력을 포함하는 입력영상에 대한 윤곽선 검출 실험을 통하여 확인해 보았다. 윤곽선 검출에 사용된 A 템플릿과 B 템플릿 값은 그림 7과 같으며 윤곽선 검출된 출력은 그림 6(b)과 같다.

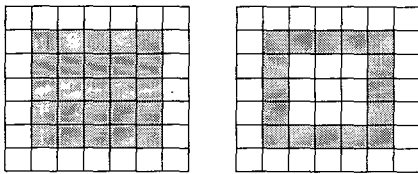


그림 6. 7×7 입력영상과 윤곽선 검출된 결과
Fig. 6. 7×7 input image and edge detected result

0.0	0.0	0.0	0.0	-1.0	0.0
0.0	1.0	0.0	-1.0	4.0	-1.0
0.0	0.0	0.0	0.0	-1.0	0.0

그림 7. 윤곽선 검출을 위한 템플릿
Fig. 7. Templates for the edge detection

윤곽선 검출된 출력 결과를 인터페이스 회로와 전·후 처리기를 거쳐 PC에서 받은 화면은 그림 8과 같다. 입력 영상은 전압단위로 나타내었으며, 출력 영상은 0~256레벨로 나타내었다. 출력 영상에서 0레벨은 -5V를 의미하며, 256레벨은 +5V를 의미한다. 따라서 128 레벨은 0V를 의미하며, 이 값보다 작으면 Low 신호가 되고 이 값보다 크면 High 신호가 된다. 출력 값을 보면 1행과 5행은 모두 High 신호가 출력되었으며, 2~4행은 High, Low, Low, High 신호가 출력되어 윤곽선 검출이 되었음을 확인할 수 있다.

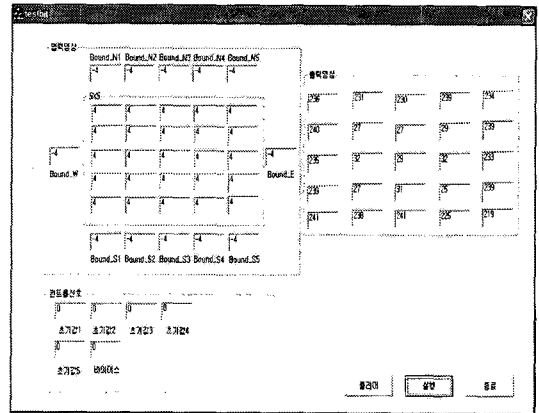
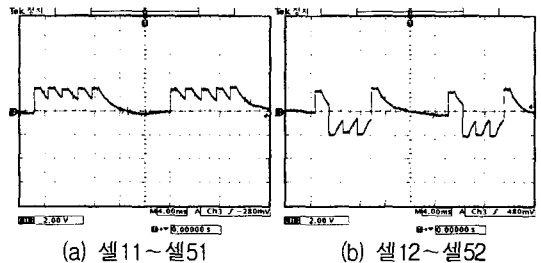


그림 8. 5×5 입력신호와 윤곽선 검출된 신호
Fig. 8. 5×5 input signal and edge detected signal

5×5 CNN 하드웨어에서 실제로 측정된 파형은 그림 9과 같으며 그림 9(a)~(e)에서 1번째 출력되는 파형은 1행에 있는 5개 셀의 각 출력파형이며 다음의 2~5번째 출력되는 파형은 각각 2~5행에 있는 5개 셀로부터의 출력파형으로써 처리된 영상이 행단위로 순차적으로 출력됨을 확인할 수 있다.



(a) 셀11~셀51 (b) 셀12~셀52

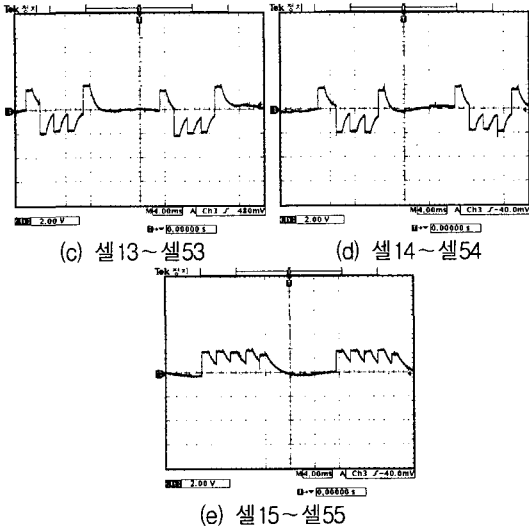


그림 9. 윤곽선 검출된 파형
Fig. 9. Edge detected waveforms

5×5 CNN 하드웨어보다 훨씬 큰 256×256 크기의 레나 영상에 대한 윤곽선 검출 실험을 하였다. 그림 10과 같이 CNN 하드웨어보다 큰 256×256 레나 입력영상에 대해서 전·후 처리기를 통한 시다중화 처리를 하였을 때 윤곽선 검출된 출력영상을 얻을 수 있었다. 이때 1개 행과 1개 열을 중복하여 블록 처리를 하는 경우 약 4,000번의 블록 처리가 필요하지만 CNN 하드웨어의 크기를 증가시키는 경우 블록 처리의 수를 대폭 감소시킬 수 있다.

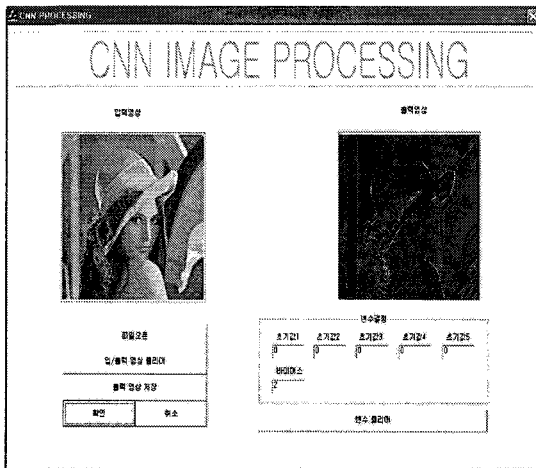


그림 10. 256×256 레나영상과 윤곽선 검출된 결과
Fig. 10. 256×256 lena image and edge detected result

CNN은 식(1)과 (2)와 같이 기존의 알고리즘에 비해 구조가 간단함에도 불구하고 단순히 A와 B 템플릿 값의 변경에 의해서 윤곽선 검출뿐만 아니라 노이즈 제거, 홀필링, 코너 추출, 연결정보 검출, 선 검출, 그림자 검출 등에 응용될 수 있다. 이에 본 논문에서는 템플릿 값을 변경할 수 있도록 OTA를 사용하여 템플릿 회로를 설계함으로써 구현된 회로를 이용하여 다양한 영상처리가 가능하도록 하였다.

IV. 결 론

본 논문에서는 직·병렬 입·출력을 갖는 파이프라인 구조의 5×5 CNN 하드웨어를 구현하였으며, 이를 이용하여 대규모 영상을 시다중화 처리하기 위한 전·후 처리기를 구현하였다. 7×7 영상입력에 대한 윤곽선 검출 실험을 통하여 구현된 5×5 CNN 하드웨어가 10번의 제어 펄스에 의해 파이프라인 동작으로 영상처리를 수행하는 것을 확인하였다. 그리고 5×5 CNN 하드웨어와 전·후 처리기를 이용하여 256×256 레나 영상에 대한 윤곽선 검출 실험을 하였으며, 이때 약 4,000번의 시다중 블록처리에 의해 영상처리가 수행되었다.

본 논문에서 설계된 CNN셀 블록은 A, B 템플릿 값을 조절가능 하도록 OTA로 설계하였으므로 다양한 영상처리가 가능하며, 파이프라인 구조로 하드웨어를 설계하여 과도한 배선에 따른 하드웨어 구현의 문제점을 보완하였다. 그리고 시다중화 처리 기법을 이용하여 구현한 전·후 처리기를 사용하여 대규모 영상을 처리할 수 있다.

향후 연구과제는 CNN 하드웨어와 전·후 처리기를 집적화하여 대규모 영상의 다양한 영상처리에 활용할 수 있도록 실용화하는 것이다. 그리고 입·출력 핀 수와 집적화를 위한 기술적 제한이 허용하는 범위에서 CNN 하드웨어의 크기를 증가시켜 처리할 블록 수를 최대한 감소시킴으로써 영상처리 시간을 감소시킬 필요가 있다.

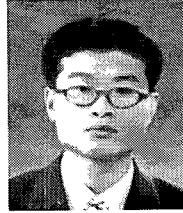
참고문헌

[1] L. O. Chua and L. Yang, "Cellular neural networks: Applications", *IEEE Trans. Circuits and Systems*, vol. CAS-35, pp. 1273-1289, Oct. 1988.

- [2] L. O. Chua and T. Roska, "The CNN paradigm", *IEEE Trans. Circuits and Systems*, vol CAS-40, pp. 147-155, March 1993.
- [3] Peter L. Venetianer, Tamas Roska, "Image Compression by Cellular Neural Networks", *IEEE Trans. Circuits and Systems*, vol CAS-45, pp. 205-215, March 1998.
- [4] Bing J. Sheu. and Joongho Choi, "Neural Information Processing and VLSI", Kluwer Academic Publishers. pp. 97-145, 1995.
- [5] L. O. Chua, Glen Gulak, "Cellular Neural Networks and Analog VLSI", Kluwer Academic Publishers. pp. 3-290, 1998.
- [6] C.C. Lee and J. Pineda de Gyvez, "Time Multiplexing CNN Simulator", *Proc. IEEE Int. Symposium on Circuits and Syst.*, pp. 407-410, Dec. 1994.
- [7] A. A. H. EL-Shafei and M. I. Sobhy, "A Time-Multiplexing Simulator for Cellular Neural Network(CNN)", Fifth International Workshop on Cellular Neural Networks and their Applications, pp. 224-229, April 1998.

저자소개

김 승 수(Seung-Soo Kim)



1998년 금오공과대학교 기계공학과(공학사)

2004년 금오공과대학교 대학원 전자공학과(공학석사)

2004년 ~ 현재 LG 이노텍 Power 연구실 연구원
※ 관심분야: 신경망, 영상처리, 아날로그회로설계

전 흥 우(Heung-Woo Jeon)



1980년 한국항공대학 전자공학과(공학사)

1988년 고려대학교 대학원 전자공학과(공학박사)

1989년 ~ 현재 금오공과대학교 전자공학부 교수
※ 관심분야: 신경망, 영상처리, 집적회로설계