
하이브리드 적응적 부호화 알고리즘을 이용한 저전력 스캔 테스트 방식

Low Power Scan Test Methodology Using Hybrid Adaptive Compression Algorithm

정준모*, 김윤홍**

군산대학교 전자정보공학부*, 상명대학교 컴퓨터시스템공학과**

Jun-Mo Jung(jmjung@kunsan.ac.kr)*, Yun-Hong Kim(yunkim@smu.ac.kr)**

요약

본 논문에서는 테스트 시간과 전력소모를 감축할 수 있는 새로운 테스트 데이터 압축 및 저전력 스캔 테스트 방법을 제안하였다. 제안된 방법은 수정된 스캔 셀 재배열과 하이브리드 적응적 부호화 방법을 사용하여 scan-in 전력과 테스트 데이터 량을 줄였으며 하이브리드 테스트 데이터 압축방법은 Golomb Code와 런길이(run-length) 코드를 테스트 데이터내의 런(run) 길이에 따라서 적응적으로 적용하는 방법이다. 또한 scan-in 전력소모를 최소화 하기 위해서 스캔 벡터내의 열 해밍거리를 이용하였다.

ISCAS89 벤치마크 회로에 적용하여 실험한 결과, 모든 경우에 있어서 테스트 데이터 및 전력소모를 효율적으로 감소시켰으며 압축률은 17%-26%, 평균 전력소모는 8%-22%, 최고전력소모는 13%-60% 정도의 향상률을 보였다.

■ 중심어 : | 저전력 | 스캔 테스트 | 테스트 데이터 압축 |

Abstract

This paper presents a new test data compression and low power scan test method that can reduce test time and power consumption. A proposed method can reduce the scan-in power and test data volume using a modified scan cell reordering algorithm and hybrid adaptive encoding method. Hybrid test data compression method uses adaptively the Golomb codes and run-length codes according to length of runs in test data, which can reduce efficiently the test data volume compare to previous method. We apply a scan cell reordering technique to minimize the column hamming distance in scan vectors, which can reduce the scan-in power consumption and test data.

Experimental results for ISCAS 89 benchmark circuits show that reduced test data and low power scan testing can be achieved in all cases. The proposed method showed an about a 17%-26% better compression ratio, 8%-22% better average power consumption and 13%-60% better peak power consumption than that of previous method.

■ Keyword : | Low Power | Scan Test | Test Data Compression |

1. 서론

최근 시스템의 집적도가 커지고 동작주파수가 높아짐에 따라, 시스템에서 발생된 고장을 테스트하는 비용이 증가하고, 또한 테스트하는 동안에 소모되는 전력도 증가하게 된다.

또한 최근에는 여러 개의 기설계된 IP 코어(Intellectual Property Core)를 이용하여 시스템을 설계하는 SoC(System-On-a-Chip) 설계방식을 많이 사용한다. IP 코어의 회로 크기가 증가함에 따라 테스트하기 위한 테스트 데이터의 양이 많아지고, 이에 따라 많은 IP 코어로 구성된 SoC를 테스트 하는데 필요한 테스트 데이터의 양도 많아지게 된다[1]. 따라서 SoC를 테스트하기 위해서는 각 코어들을 효율적으로 테스트하기 위한 전략이 필요하다.

또한 테스트 장비(ATE : Automatic Test Equipment)의 테스트 데이터 전송속도(transmission speed)와 채널 용량 및 테스트 데이터 저장용 메모리의 한계가 있기 때문에 테스트 데이터의 양이 커지게 되면 테스트 시간이 길어진다. SoC 테스트 시간은 전송되어야 하는 테스트 데이터의 양, 테스터와 SoC간의 데이터 전송률(transmission rate)에 따라 다르며, 또한 코어가 스캔 회로(scan circuit)로 구성되었다면 최대 스캔 체인 길이(scan chain length)에 의해서도 많이 좌우된다. 테스트 시간에 대한 문제점 외에 SoC 테스트에 있어서 다른 중요한 사항은 테스트하는 동안에 소모되는 전력이다[3]. 테스트모드에서는 정상모드에 비하여 전력소모가 많이 증가하는데, 테스트 모드에서는 가능한 많은 신호선들이 더 많이 스위칭 하도록 하여 한번에 많은 고장을 검출하기 때문이다.

테스트 시간을 줄이는 또 다른 방법으로 테스트 데이터를 압축하는 것이다. IP 코어에 대한 테스트 데이터를 보다 작은 테스트 데이터로 압축하여, 전송되어야 하는 테스트 데이터를 감축함으로써 테스트 시간을 줄인다. 테스트 압축 방법으로서 통계학적인 코딩(statistical coding)을 사용하여 압축하는 방법으로서, non-scan 회로에 대한 테스트 데이터 압축[4] 및 full-scan 회로에 대한 테스트 데이터 압축방법[5]이 제안되었다. A.

Jas는 테스트 패턴들이 오직 작은 수의 비트들만 다르다는 것을 이용하였다[6]. 이웃한 테스트 패턴들로부터 얻어진 차이 패턴(difference pattern)을 런 길이가 부호화(encoding)를 기반으로 압축하였다. 또 다른 방법으로 Golomb 부호(code)는 영상신호 압축 및 데이터 압축방식으로 널리 연구되어 왔다[7]. 이러한 Golomb 부호를 이용하는 방법이 제안되었다[8]. 이때까지의 연구는 테스트 데이터 압축만을 고려하였으며 전력소모에 대해서는 다루지 않았다.

전력소모를 줄이기 위해서 여러 가지 레벨의 저전력 설계기법이 제안되었으며 또한 full-scan 회로에 대한 전력소모 감소를 위한 새로운 기법이 제안되었다[9].

스캔 테스트 데이터를 저전력 용으로 생성을 하면 테스트 데이터의 양이 많이 증가하고, 정적 압축 방식으로 스캔 테스트 데이터를 압축하면 전력소모가 크게 증가하였다. 또한 don't care 입력을 갖는 스캔 테스트 데이터에 대한 저전력 기법이 제안되었지만 테스트 데이터의 양이 크게 증가하였다[10]. 테스트 데이터를 압축하면서 동시에 전력소모를 줄이는 새로운 방법이 제안되었다. P. Rosinger는 개선된 Golomb 부호 및 스캔 셀 재배열(SCR: Scan Cell Reordering)을 이용하여 전력소모와 테스트 데이터를 모두 감소시키는 방법을 제안하였다[11].

J. M. Jung은 효율적인 don't care 저전력 매퍼핑 스캔 입력 방향에 따라 스캔 테스트 데이터를 분류하여 테스트 하는 동안의 전력소모 및 테스트 데이터를 모두 감소시켰다.

본 논문에서는 SoC 내의 스캔 테스트에 있어서, 전력소모와 스캔 테스트 데이터를 동시에 줄이는 새로운 알고리즘을 제안한다. 전력소모를 줄이기 위해서 스캔 테스트 데이터내의 천이가 최소가 되도록 don't care에 효율적으로 값을 할당하였다. 스캔 테스트 데이터를 패턴수와 스캔 입력의 2차원 배열로 표현하여 열 해밍 거리(column hamming distance)가 최소로 되도록 스캔 테스트 데이터를 재배치하였고, 재배치를 하는 동안에 테스트 데이터내의 don't care 입력을 이웃한 값으로 할당하여 천이가 최소가 되도록 하였다. 또한 런 길이가 가능한 길도록 행 재배열(row reordering)을 실시하여

압축효율을 향상시켰으며, 저전력 할당된 스캔 테스트 데이터를 부호화하기 위하여 Golomb 부호 및 런 길이 부호를 적응적으로 부호화하는 하이브리드(hybrid) 부호화 방법을 제안하여 테스트 데이터 압축률을 향상시켰다.

II. scan-in 전력소모의 정의 및 기존의 압축 코딩 방법

2.1 scan-in 전력소모

CMOS 회로의 전력소모는 크게 정적 및 동적 전력소모로 분류할 수 있다. 정적 전력소모는 동적(Dynamic) 전력소모에 비하여 양이 작기 때문에 무시한다. 논리 게이트 출력의 스위칭에 의해서 발생하는 동적 전력소모는 스위칭 빈도 수, 즉 천이 수에 비례한다. 일반적으로 CMOS 디지털 회로의 동적 전력소모는 식(1)과 같이 정의된다.

$$P_d = 0.5 C_{load} V_{dd}^2 F_c N_g \quad (1)$$

여기에서 C_{load} 는 게이트 출력의 Load Capacitance, V_{dd} 는 공급전압, F_c 는 인가되는 클록주파수 그리고 N_g 는 게이트 출력단의 천이 개수(transition number)이다. 이 천이개수는 전력소모의 중요변수이다. Full-scan 회로를 테스트하는 동안에 소모되는 전력은 스캔 벡터가 스캔체인에 입력하는 동안 발생하는 스캔셀의 N_g 에 비례한다.

먼저 scan-in 전력소모 모델에 대하여 기술한다.

scan-in 테스트의 전력소모는 스캔벡터가 스캔체인으로 입력하는 동안 체인에서 발생하는 천이로 인한 동적 전력소모(scan-in 전력소모)와 테스트 응답을 출력하는 동안 체인에서 발생하는 전력소모(scan-out 전력소모)로 나눌 수 있다. 그러나 스캔벡터로부터 직접 scan-out 전력소모를 계산하는 것이 어렵기 때문에 본 논문에서는 scan-in 전력소모만을 고려하였다.

scan-in 전력소모는 [6]에서 제안한 Weighted Transitions Metric(WTM: 가중 천이 메트릭)모델을

이용하여 측정하였다. 이것은 스캔벡터의 천이위치를 알면 scan-in 하는 동안 발생하는 천이 수를 측정할 수 있다. 예를 들어 스캔 벡터 $S_1 S_2 S_3 S_4 S_5 = 10101$ 이고 스캔체인 길이가 5인 경우를 고려하자. 가장 왼쪽에 있는 S_1 이 스캔체인에 먼저 입력된다고 가정하면, S_1 과 S_2 에서 발생된 천이(1→0)는 스캔체인을 통과하면서 총 4번의 천이가 발생한다. 왜냐하면 S_1 과 S_2 에서 발생된 천이는 클록이 발생할 때마다 (스캔체인의 크기 - 1) 만큼 이동하기 때문이다. 또한 S_2 와 S_3 에서 발생한 천이(0→1)는 3번의 천이를 발생한다. 이와같이 S_j, S_{j+1} 에서 발생한 천이는 (스캔체인의 길이 - j) 만큼의 천이를 발생시킨다.

스캔 체인의 길이를 K라 하면, 각 스캔벡터 SV는 S_1, S_2, \dots, S_K 로 구성된다.

이때 각 스캔벡터가 스캔체인에 입력되는 동안 소모되는 전력소모를 WTM으로 표현하면 다음과 같다.

$$WTM(SV) = \sum_{j=1}^{k-1} (S_j \oplus S_{(j+1)})(k-j) \quad (2)$$

또한 테스트에 이용되는 스캔벡터의 집합 $SV_{set} = \{SV_1, SV_2, \dots, SV_n\}$ 이라하면, SV_{set} 이 모두 스캔체인에 입력하는 동안 소모되는 전력소모는 다음과 같다.

$$WTM(SV_{set}) = \sum_{j=1}^n WTM(SV_j) \quad (3)$$

식 (2)는 스캔벡터들을 scan-in 하는 동안 소모되는 전체 전력소모이다. 따라서 평균 전력소모 및 최대치 전력소모는 식 (4)와 같이 나타낼 수 있다.

$$\begin{aligned} P_{avg} &= WTM(SV_{set})/n \\ P_{peak} &= \text{Maximum}(SV_j) \end{aligned} \quad (4)$$

2.2 Golomb Code를 이용한 인코딩

Golomb Codes를 이용하여 스캔벡터를 인코딩하는 방법이 제안되었다. 이 방법은 기존의 런길이 인코딩보다 더 좋은 압축율을 갖는다. [3]에서는 연속적인 0의 길이(run-length)를 고정된 비트로 표현하는 방법이다. 예를 들어 "000000"는 0의 런길이가 6이므로 만약 3비

트로 표현한다면 “110”이 된다. 이 경우 원래 데이터보다 3비트가 줄어든다. Golomb Codes는 0의 런길이를 고정된 비트로 표현하지 않고 가변길이 코드로 표현하는 방법이다. 인코딩 하려는 데이터를 D라 하면 인코딩 과정은 다음과 같다. D에 있는 임의의 런길이는 group prefix 와 tail이라는 항으로 조합된 코드워드로 변환된다.

group의 크기를 m 이라 하면 D에 있는 0의 런길이들이 m의 크기를 갖는 여러 개의 group으로 나뉜다. 예를 들어 A₁ group은 {0,1,,,m-1}의 런길이를 구성되고 A₂ group은 {m, m+1, m+2,,, 2m-1}의 런길이를 구성된다. 즉, A_k group은 {(k-1)m, (k-1)m+1, (k-1)m+2,,,km-1}의 런길이를 구성된다. Group Prefix는 이 group들을 구분하기 위한 코드이고 또한 group내에서 각 런길이를 구분하기 위한 코드가 tail이다. [그림 1]에 m이 4인 경우의 Golomb codes를 이용한 인코딩이다.

Group	Run-length	Group Prefix	Tail	Codeword (G.P & Tail)
A ₁	0	0	00	000
	1		01	001
	2		10	010
	3		11	011
A ₂	4	10	00	1000
	5		01	1001
	6		10	1010
	7		11	1011
A ₃	8	110	00	11000
	9		01	11001
...

그림 1. Golomb codes

2.3 FDR(Frequency-Directed Run-length) 인코딩

FDR codes는 0의 런길이의 분포에 따라 group의 크기를 조절한 것이다.

Golomb Codes와는 달리 각 group에 속한 런길이의 길이를 가변시켰다. 즉, 자주 발생하는 런길이에겐 보다 짧은 코드워드를 할당함으로써 압축효율을 높였다. 이

방식은 Golomb Codes를 이용한 경우보다 평균 3% 정도 좋은 압축율을 갖는다.

III. 하이브리드 적응적 부호화

하이브리드 적응적 부호화는 Golomb 부호와 런 길이 부호화를 적응적으로 적용하여 압축률이 좋은 코드로 압축하는 방식이다. Golomb 부호와 run 길이 부호는 런 길이에 따라 압축률이 많은 차이가 발생한다. 어떤 부호로 부호화할 것인지를 결정하는 기준은 부호화 이득 경계값을 구하면 된다.

부호화 경계치 값은 임의의 런 길이 R을 Golomb 부호를 이용하여 적용한 경우의 코드워드의 길이(L_{Golomb})와 런 길이 부호를 적용한 경우(L_{run})의 각 코드워드의 길이는 식 (5)와 같다. L_{Golomb}는 원시 Golomb code에 2비트 prefix를 추가한 것이다.

$$L_{Golomb} = \left\lceil \frac{p}{m} \right\rceil + \log_2 m + 3 \quad (5)$$

$$L_{run} = N + 2$$

L_{Golomb}와 L_{run}가 같아지는 P(부호화 경계치)를 구하면 식 (6), (7)과 같이 된다. 즉, P값을 기준으로

$$\left\lceil \frac{p}{m} \right\rceil + \log_2 m + 3 = N + 2 \quad (6)$$

$$p = m \times [N - \log_2 m - 1] \quad (7)$$

[그림 2]는 제안된 하이브리드 적응적 부호화 알고리즘을 나타내었다. 먼저 대상 데이터의 런 길이 부호 비트수와 Golomb 부호의 m을 실험적으로 최적의 값을 구한다. 이 값으로부터 부호화 경계치 P값을 구한다. 각 테스트 데이터에 대하여 런 길이와 run_type을 구한 후에 P값을 기준으로 런 길이 부호와 Golomb 부호를 적용하여 부호화한다. gol_encoding은 Golomb 부호를 적용하는 함수이고 run_encoding은 런 길이 부호화를 적용하는 내부 함수이다. Golomb 부호를 적용하는 경우에는, run_type에 따라 “00” 혹은 “01”이 Prefix로

할당이 된다. 또한 런 길이 부호를 적용하는 경우에는, run_type에 따라 “10” 혹은 “11”이 Prefix로 할당된다.

```

Main(Encode)
{ N을 결정; /* 런 길이 비트수를 결정 */
P = m*(N-3) /* m=4인 Golomb 부호를 사용하는 경우 */
while( get(Data) != EOF)
{
    Calculate(run-length, run-type);
    /* run-length, run-type를 계산 */
    R =run-length;
    if(R < P)
        gol_encoding(R); /* Golomb 부호화 */
    else
        { do while( R >2N )
          { run_encoding(R); /* run 길이 부호화 */
            R = R - 2N ; ;
            if (R < P)
                gol_encoding(R);
            else
                run_encoding(R);
          }
        }
}
Function gol_encoding(R)
{ if( run type == 0's run)
    codeword = "00" & "original Golomb codes"
else
    codeword = "01" & "original Golomb codes"
}
Function run_encoding(R)
{ if( run type == 0's run)
    codeword = "10" & "binary codes"
else
    codeword = "11" & "binary codes"
}
    
```

그림 2. 제안된 하이브리드 적응적 부호화 알고리즘

IV. 스캔 테스트 데이터 압축을 고려한 저전력 테스트 알고리즘

본 논문에서는 열 해밍거리(column hamming distance)를 이용한 스캔 셀 재배열(Scan Cell Reordering : SCR) 방법을 적용하여 전력소모 및 압축

률을 향상시켰고, don't care 입력을 갖는 미할당 (unspecified) 스캔 테스트 데이터에 대해서는 SCR을 하는 과정에 저전력 할당을 함으로서, 이전의 방법보다 훨씬 향상된 테스트 데이터 압축 및 전력소모 감축을 얻을 수 있었다.

4.1 스캔 테스트의 모델링 및 SCR의 비용함수

스캔 테스트 데이터의 2차원 배열을 수식으로 나타내면 전체 스캔 테스트 데이터 SVset은 식 (8)과 같이 나타내어진다.

$$SV_{set} = \sum_{i=1}^r \sum_{j=1}^c SV_i[j] \quad (8)$$

이러한 스캔 테스트에서 저전력 및 데이터 압축을 위해서는 가능한 이웃한 열간 테스트 데이터의 천이 (transition)가 적어야 한다. 따라서 만약 이웃한 열들의 값이 동일하도록 열의 위치를 조절만 할 수 있다면 효율적인 저전력 테스트가 될 것이다.

4.2 스캔 테스트 데이터의 전력소모 모델

위에서 기술한 바와 같이 한 개의 스캔 테스트 벡터 SV에 대하여, 전력소모 모델을 WTM으로 표현하면 식 (9)와 같다.

$$P_{sv} = WTM(SV) = \sum_{j=1}^{c-1} (S_j \oplus S_{j+1})(C-j) \quad (9)$$

여기서 C는 스캔 체인의 길이이다.

2차원 배열의 SVset에 대한 전력소모 P(SVset)는 WTM으로 식 (10)과 같이 표현할 수 있다.

$$WTM(SV_{set}) \quad (10)$$

$$\begin{aligned}
 &= \sum_{i=1}^r \sum_{j=1}^{c-1} (SV_i[j] \oplus SV_i[j+1])(c-j) \\
 &= \sum_{j=1}^{c-1} \sum_{i=1}^r (SV_i[j] \oplus SV_i[j+1])(c-j) \\
 &= \sum_{j=1}^{c-1} HD_{col}(j, j+1)(C-j)
 \end{aligned}$$

4.3 효율적인 don't care 할당

미할당(Unspecified) 스캔 테스트 데이터는 don't care 입력을 갖는다. 이전의 제안된 방법에서는 알고리즘 적용이전에 미리 don't care 입력을 0 또는 1로 할당하였지만, 본 논문에서는 이처럼 미리 할당하지 않고 SCR을 하는 동안에, 동시에 don't care 입력을 이웃한 열의 입력 값으로 할당하여 해밍 거리를 줄이는 방법을 제안한다.

전력소모가 적고 압축효과가 높기 위해서는 가능한 이웃한 입력 값과의 차이가 적어야 한다. 따라서 don't care X를 이웃한 입력 값으로 할당을 하므로 HD_col을 계산을 할 때 이점이 고려되어야 한다.

[그림 3]은 저전력 및 테스트 데이터 압축 알고리즘을 나타내었다.

저전력 및 테스트 데이터 압축 알고리즘의 구성은 다음과 같다.

- ① 스캔 셀 재배열(SCR) , don't care 저전력 할당
- ② 행 재배열
- ③ 재배열된 SV[r][c]에 대하여 하이브리드 압축부호화를 적용한다.

먼저 SVset을 SV[r][c]의 2차원 배열로 재구성하고 첫 번째 열 SV[*][1]을 임의의 열로 초기화한다. 첫 번째 for 문의 j는 SCR하는 대상 열이고 두 번째 for문의 K는 j와 해밍거리를 구해야 하는 나머지 모든 열들이다. 나머지 모든 열에 대한 해밍거리를 구한다음에 최소가 되는 해밍거리를 갖는 열, p와 현재의 대상열을 서로 교환한다. 이것을 모든 j에 대하여 수행을 하고 행 재배열(row_reodering)을 한다. 이것은 이웃한 행의 런 길이가 가능한 최대가 되도록 재배열하는 것이며 이렇게 재배열된 SVset을 하이브리드 부호화한다.

5. 실험 및 결과

실험은 압축률과 전력소모의 양을 측정하고 이전에 제안된 결과와 비교 검토 하였다. 대상회로는 한 개의 full-scan 체인으로 구성된 ISCAS89 벤치마크(benchmark) 회로이며 대상 테스트 데이터는 MINTEST

```

Main_Algorithm()
{
SVset = SV[r][c];
Initialize SV[*][1];
{ For(j=1 ; j < c ; j++)
  { for(k=j+1 ; k < c+1 ; k++) /* 개선된 SCR */
    HD_col(j,k); /* HD_col을 계산 */
    Find_min(HD_col); /* 최소 HD_col을 갖는 k를 p
라 한다 ; */
  }
SV[*][j+1] <---> SV[*][p] ; /* 열 재배열 */
SV[*][j+1]내의 모든 X에 대하여 동일한 행의 SV[*][k]
값으로 할당;
}
Row_reordering; /* 행 재배열 */
하이브리드 압축 부호화( SVset);
}
Function HD_col(j,k)
{
HD_sum(k) =0;
for(i=1 ; i<r+1 ; i++) {
if((SV[i][j] ==0 && SV[i][k]==1) | (SV[i][j]==1 &&
SV[i][k]==0) )
HD_sum(k)++; }
}
    
```

그림 3. 저전력 및 테스트 데이터 압축 알고리즘

ATPG에서 dynamic compaction으로 생성된 미할당(Unspecified) 테스트 패턴이다. 벤치마크 회로에 대한 테스트 데이터 압축률과 전력소모를 측정하였고, Matlab 및 C언어를 이용하여 알고리즘을 구현하였다.

5.1 압축률 실험 및 결과

이 압축률을 기존의 제안된 방법과 비교하면 [표 1]과 같다.

비교대상은 먼저 don't care 입력을 0을 할당하고 Golomb 부호화를 적용한 경우, MTC(Minimum Transition Count) 할당과 SCR을 적용하여 개선된 Golomb 부호화를 적용한 경우를 제안된 테스트 데이터 압축 부호화 알고리즘을 적용한 결과와 비교하였다. [표 1]에 압축률에 대한 실험결과를 나타내었다.

s5378의 압축률이 기존의 Golomb 부호인 경우에는

37.1%, 개선된 Golomb 부호인 경우에는 46.1%인 반면에 제안된 방법에서는 59%이었다. 또한 모든 benchmark 회로의 평균전력소모를 비교해볼 때 기존의 방법에 비해서 약 20-30% 정도의 좋은 결과를 나타내고 있다.

표 1. 압축률에 대한 실험 결과

	benchmark 회로	압축률 (%)		
		Golomb 부호 (zero 할당)	개선된 Golomb 부호 (MTC 할당 & SCR)	제안된 방법
1	S5378	37.1	46.1	59.2
2	S9234	45.3	47.2	65.7
3	S13207	79.8	81.1	90.2
4	S15850	62.8	64.6	86.1
5	S38417	28.4	58.6	85.2
6	S38584	57.2	63.4	79.2
	평균	51.8	60.2	77.6

5.2 전력소모 실험결과

먼저 평균전력 소모에 대한 측정치이다. don't care 에 0을 할당한 (zero 할당)한 경우의 평균 전력소모, MTC & SCR을 적용한 경우의 평균 전력소모 그리고 제안된 알고리즘에 의한 평균 전력소모를 [표 2]에 나타내었다.

S5378에 대한 zero 할당의 경우에는 약 69%의 전력소모 감소를 보이며 MTC & SCR의 경우에는 약 83%, 그리고 제안된 방법에서는 약 93%의 전력감소율을 보이고 있다. 또한 각 경우에 대하여 24%, 10%의 전력감소 향상을 나타낸다. 또한 S15850 벤치마크 회로에 대해서는 각각 26%, 12%가 향상되었고 평균적으로는 22%와 8%가 향상되었다.

S5378의 최고치 전력소모 감소율은 zero 할당의 경우는 약 25%, MTC & SCR의 경우에는 58% 인 반면 제안된 방법은 약 71.3%의 감소율을 보이고 있기 때문에 이전의 방법에 비하여 각각 47%, 13%의 향상율을 보이고 있다. 또한 S15850의 최고치 전력소모 감소율은 zero 할당의 경우는 약 18%, MTC & SCR의 경우

표 2. 평균전력소모에 대한 실험결과

대상 회로	Golomb 부호 (zero 할당)		개선된 Golomb 부호 (MTC 할당 & SCR)		제안된 방법	
	평균 WTM	감소율	평균 WTM	감소율	평균 WTM	감소율
S5378	3336	68.89	1896	82.89	860	92.2
S9234	5692	61.09	2515	82.81	1021	93.0
S13207	12416	89.82	5188	95.75	766	99.3
S15850	20742	77.18	8945	90.16	2162	97.7
S38417	172665	71.31	85913	85.72	15960	97.3
S38584	136634	74.50	49473	90.77	18235	96.6
평균		73.79		88.02		96.02

에는 67%인 반면 제안된 방법은 약 87%의 감소율을 보이고 있기 때문에 이전의 방법에 비하여 각각 68%, 20%의 향상률을 나타낸다.

또한 평균적인 최고치 전력소모 감소율은 zero 할당의 경우에는 21 %, MTC & SCR 의 경우에는 66% 이며 제안된 방법에서는 82%이다. 따라서 zero 할당 방식의 경우에는 60%의 향상을 보이고 있으며 MTC & SCR의 경우에 있어서는 15%의 향상을 보이고 있다.

6. 결론

본 논문에서는 테스트 시간과 테스트 동안에 소모하는 전력을 감소시키기 위한 새로운 테스트 데이터 압축 및 저전력 스캔 테스트 방식을 제안하였다.

SoC 내의 IP 코어수가 증가함에 따라 테스트 데이터의 용량이 증가하지만 한정된 채널 용량과 테스트 데이터의 제한된 전송속도로 인하여 테스트 시간이 증가하며, 여러 개의 IP 코어를 동시에 테스트하는 경향이 늘어나고 이에 따라 테스트 모드에서 전력소모량이 증가하여 시스템 안정성 문제가 대두되고 있다.

이러한 문제점을 해결하기 위하여 full-scan 회로로 구성된 IP 코어의 효율적인 테스트 데이터 압축 및 저전력 스캔 테스트를 제안하였다.

Golomb 부호와 런 길이 부호를 적응적으로 적용하기 위한 하이브리드 압축 방식과 저전력 테스트를 위하여 스캔 셀 재배열 방식을 제안하였으며, 이전의 방식과는 달리 미리 don't care 값을 할당하지 않고 스캔 셀 재배열을 하는 동안에 don't care를 할당하는 저전력 할당법을 적용하였고 스캔 셀 재배열 알고리즘의 비용함수로서 열 해밍거리를 이용하였다. 스캔 셀 재배열 할 때 이웃한 열간의 해밍거리가 최소가 되도록 열을 재배열하였고 또한 압축효율화를 위해서 행 재배열을 이용하였다.

ISCAS 89 벤치마크 회로에 대하여 제안된 알고리즘을 검증하였다. 기존의 알고리즘에 비하여 압축률은 평균적으로 약 17%-26%가 더 향상되었고 평균전력소모는 약 8%-22%가 향상되었으며 최고치 전력소모는 약 13%-60% 정도의 향상률을 보였다.

본 방법은 여러 개의 IP 코어로 구성되는 SoC 시스템에 적용가능하다. 예를 들어 암(arm) 코어, DSP 코어 및 DCT, VLC 코어 등 여러 개의 코어로 구성되는 웹 감시카메라 시스템의 경우에, 각 IP 코어를 테스트하기 위해서는 많은 시간이 소요되고 전력소모도 많이 소모되게 된다. 이러한 시스템에 본 방식을 적용하면 보다 효율적으로 테스트 시간 및 전력소모를 감소시킬 수 있다.

향후에 좀 더 고려해야 할 사항은 스캔 테스트에 있어서 필요한 scan-out 전력소모이다. scan-out 전력소모는 테스트 패턴을 인가한 후 얻어지는 테스트 응답(test response)이 스캔 체인을 통하여 출력하는 동안 소모되는 전력이며, scan-in 및 scan-out 전력소모를 동시에 고려하는 알고리즘을 개발할 예정이다.

참 고 문 헌

- [1] G. Hetherington, T. Frayars, N. Tamarapalli, M. Kassab, A. Hassan, and J. Rajski, "Logic BIST for Large Industrial Designs: Real Issues and Case Studies," Proc. International Test Conference, pp.358-367, 1999.
- [2] A. Khoche and J. Rivoir, "I/O Bandwidth Bottleneck for Test: Is it Real?," Proc. International Workshop on Test Resource Partitioning, 2000.
- [3] Y. Zorian, "A Distributed BIST Control Scheme for Complex VLSI Devices," Proc. VLSI Test Symposium, pp.4-9, 1993.
- [4] V. Iyengar, K. Charabarty, and B. T. Murray, "Built-in self testing of sequential circuits using precomputed test sets," Proc. IEEE VLSI Test Symp., pp.418-423, 1998.
- [5] A. Jas, J. Ghosh-Dastidar, and N. A. Touba, "Scan Vector Compression/Decompression Using Statistical Coding," Proc. VLSI Test Symposium, pp.114-120, 1999.
- [6] A. Jas and N. A. Touba, "Test vector decompression via cyclical scan chains and its application to testing core-based design," Proc. International Test Conference, pp.458-464, 1998.
- [7] G. Seroussi and M. J. Weinberger, "On Adaptive Strategies for an Extended Family of Golomb-type Code," Proc. Data Compression Conference, pp.131-140, 1997.
- [8] A. Chandra and K. Chakrabarty, "System-on-a-chip Test Data Compression and Decompression Architectures Based on Golomb Codes," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.20, No.3, pp.355-368, 2001.
- [9] R. Sankaralingam, R. R. Oruganti, and N. A. Touba, "Static Compaction Techniques to Control Scan Vector Power Dissipation," Proc. IEEE VLSI Test Symposium, pp.35-40, 2000.
- [10] A. Chandra and K. Chakrabarty, "Combining Low-power Scan Testing and Test Data Compression for System-on-a-

chip," Proc. IEEE/ACM Design Automation Conference (DAC), pp.166-169, 2001.

- [11] P. Rosinger, P. T. Gonciari, B. M. Al-Hashimi, and N. Nicolici, "Simultaneously Reduction in Volume of Test Data and Power Dissipation for Systems-on-a-chip," Electronics Letters, Vol.37, No.24, pp.1434-1436, 2001.

저 자 소 개

정 준 모(Jun-Mo Jung)

정회원



- 1987년 2월 : 한양대학교 전자공학(공학사)
- 1989년 2월 : 한양대학교 전자공학(공학석사)
- 2004년 2월 : 한양대학교 전자공학(공학박사)

- 1989년 2월~1996년 3월 : 삼성전자 ASIC 센터
- 1996년 4월~2004년 2월 : 김포대학 전자정보계열 조교수
- 2004년 3월~2004년 3월 : 한양사이버 대학교 컴퓨터학과 조교수
- 2004년 4월~현재 : 군산대학교 전자정보공학부 조교수

<관심분야> : VLSI 설계, SoC Test, Low Power Design

김 윤 홍(Yun-Hong Kim)

정회원



- 1986년 2월 : 한양대학교 전자공학(공학사)
- 1988년 2월 : 한양대학교 전자공학(공학석사)
- 1992년 2월 : 한양대학교 전자공학(공학박사)
- 2002년~2003년 : 미국 Northeastern Univ. 방문교수
- 1993년~현재 : 상명대학교 천안캠퍼스 컴퓨터 시스템 공학과 교수

<관심분야> : VLSI 설계, SoC Design, Embedded systeme