

다중전원 SoC용 저전력 단일전원 Level-Up/Down Shifter

Low Power Level-Up/Down Shifter with Single Supply for the SoC with Multiple Supply

우영미, 김두환, 조경록
충북대학교 정보통신공학과

Young-Mi Woo(ymwoo@hbt.cbnu.ac.kr), Doo-Hwan Kim(dhkim@hbt.cbnu.ac.kr),
Kyoung-Rok Cho(krcho@chungbuk.ac.kr)

요약

본 논문은 다중전원공급 SoC(System-on-Chip)에 사용될 저전력 단일전원 level-up/down shifter를 제안한다. 제안된 회로는 다양한 전원을 사용하는 IP간의 신호의 인터페이스 회로로 사용할 수 있으며, 단일전원을 사용함으로써 저전력으로 동작하고 시스템의 전원배선과 레이아웃의 복잡도 및 지연시간이 감소하는 장점을 가지고 있다. 제안된 level-up/down shifter는 각각 IP간에 신호들이 level-up 일 때는 500MHz 입력 주파수에서 동작하고 level-down일 때는 1GHz에서 동작하도록 설계했다. I/O 회로에 level-up/down shifter를 사용하면 시스템 간의 신호를 연결할 때 잡음에 강하다는 사실도 검증했다. 시뮬레이션 결과는 0.18um CMOS 공정에서 각각 1.8V, 2.5V, 3.3V의 전원을 사용하여 검증했다.

■ 중심어 : | SoC | 레벨 쉬프터 | 잡음 여유 | 저전력 | 다중전원 |

Abstract

We propose a low power level-up/down shifter with single supply that can be used at SoC with multiple supply. The proposed circuit interfaces IPs which are operated on the different supply voltages. The circuit is designed with a single supply that decreases the low power consumption and the complexity of supply routing and layout. The proposed circuit operated at 500MHz for level-up and at 1GHz for level-down. The level-up/down shifter improves noise immunity of the system at I/O circuit. The circuit is evaluated for 1.8V, 2.5V, 3.3V supply with 0.18um CMOS technology, respectively.

■ keyword : | SoC | Level-Shifter | Noise Margin | Low Power | Multiple Supply |

1. 서론

본 논문은 다중전원에서 동작하는 여러 개의 IP(Intellectual Property)를 사용하는 SoC용 저전력

level-up/down shifter를 제안한다. 일반적인 SoC는 시스템 버스를 갖고 여기에 다양한 IP가 연결되어 있으며, IP들은 각각의 특성 때문에 서로 다른 전원에서 동작하기도 한다[1][2]. 이런 경우 각 IP에서는 사용되는 전원

* 이 논문은 2007년 정부(교육인적자원부)의 재원으로 한국학술진흥재단 및 충북대학교 학술연구 지원사업의 지원을 받아 수행된 연구임 (지방연구중심대학육성사업/충북BIT연구중심대학육성사업단)

접수번호 : #071214-008

접수일자 : 2007년 12월 14일

심사완료일 : 2008년 03월 19일

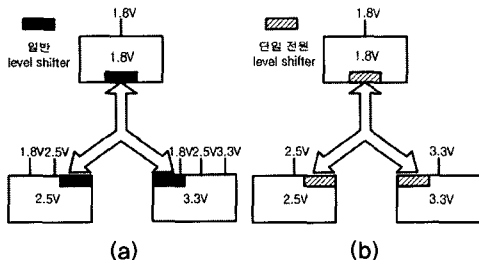
교신저자 : 조경록, e-mail : krcho@chungbuk.ac.kr

전압 이 서로 다르기 때문에 이 신호들을 연결해 주는 인터페이스(interface)회로가 필요하다. 인터페이스는 IP 상호간의 신호 level을 맞추어주는 회로로 전체 시스템 성능에 지장을 주지 않도록 고속으로 동작해야 하며 면적을 최소화해야 한다. 낮은 전원을 사용하는 IP는 주로 저전력 특성을 중요시하고, 높은 전원을 사용하는 IP는 고속 동작 특성을 필요로 한다. 이러한 점을 감안하면 저전력 및 고속으로 동작하는 level-up/down shifter가 필요하다. 일반적인 level shifter는 신호전달을 위해 신호를 보내는 쪽과 받는 쪽의 전원을 모두 사용하여 level을 변환했으나, 제안된 회로는 받는 쪽의 전원만 사용하여 저전력 level-up/down이 가능하도록 했다. 따라서 제안된 회로는 단일전원만 사용하므로 다중전원을 사용하는 기존 회로에 비하여 전원 배선과 레이아웃 복잡도가 감소한다.

II. 저전력 단일전원 level-up/down shifter

1. 다중전원 SoC용 level-up/down shifter

[그림 1]은 다중전원을 갖는 시스템을 나타낸다^[1,2]. 각 IP에서 사용되는 인가전원 값이 서로 다르기 때문에 이들을 원활히 연결해 주는 인터페이스 회로가 필요하다. 예를 들어 3.3V, 2.5V, 1.8V 각각 3종류의 전원을 사용하는 세 개의 IP가 있을 때, 일반적인 level shifter를 이용할 경우에는 [그림 1(a)]와 같이 3종류의 전원이 필요하지만, 제안된 level shifter를 이용할 경우 [그림 1(b)]와 같이 1종류의 전원만 필요하다.



(a) (b)
그림 1. 다중전원 공급 시스템^[1,2]

- (a) 일반적인 level shifter를 이용한 경우
- (b) 제안된 level shifter를 이용한 경우

2. 기존의 level shifter

[그림 2]는 기존의 level shifter 회로들을 나타낸다.

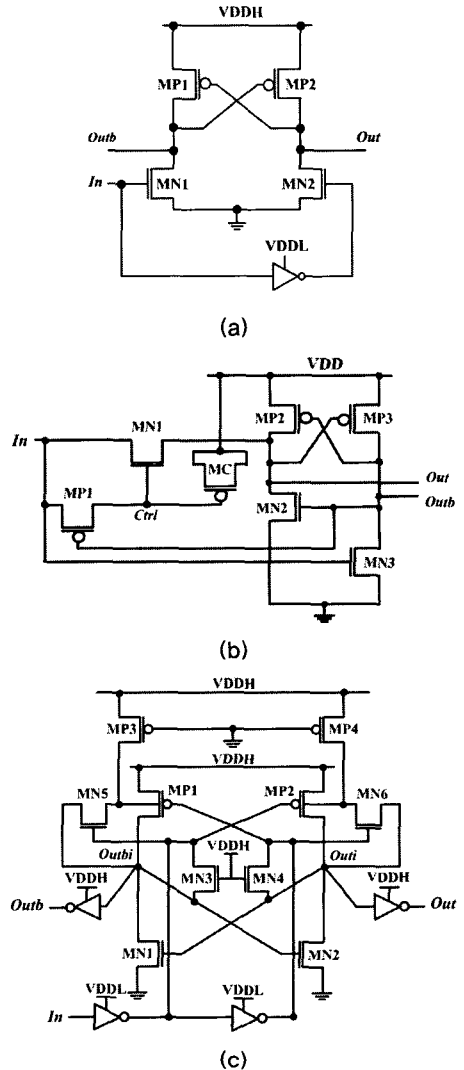


그림 2. 기존의 level shifter 회로

- (a) 일반적인 level shifter^[3]
- (b) 단일전원 level shifter^[4]
- (c) 고속 level-up/down shifter(HLSL)^[5]

[그림 2(a)]는 일반적인 level shifter로 다중전원을 사용하고 level-up만 시킨다^[3]. 또한 이 level shifter는 풀업 지연시간과 풀다운 지연시간 사이의 불균형 때문에

지연시간이 크고 파워소모도 크다.

[그림 2(b)]는 단일전원을 사용하는 level shifter 이다^[4]. 입력 신호가 high일 때 MN3은 켜지고 *Outb*노드는 GND가 된다. *Outb*노드가 GND이므로 MN2는 꺼지고 MP1은 켜지게 되면서 *Ctrl*노드가 입력 신호인 high로 충전 된다. 입력신호가 low로 변할 때는 *Ctrl*노드가 충전되어 순간적으로 MN1이 켜지고 출력이 나오기 전에 *Ctrl*노드가 방전 되어야 한다. 따라서 MP1은 MN1보다 훨씬 작아야 한다. MP1을 통해 *Ctrl*노드가 빠르게 방전 되는 것을 방지하고 회로의 start-up 동작을 원활히 하기 위해 MOS 커패시터(MC)를 사용한다. 이 회로는 level-up만을 위한 회로이기 때문에 level-down할 경우에는 MN1의 게이트에 높은 VDD 입력이 연결되어 켜지고 누설전류가 흘러 출력 전압이 정확한 값으로 내려가지 않는다. 또한 level-down을 할 경우 MP1의 벌크가 VDD에 연결되면 입력과 연결된 MP1의 드레인 전압이 MP1의 벌크 전압보다 크므로 항상 꺼져있어야 하는 기생 다이오드가 켜질 수도 있다.

[그림 2(c)]는 HSLS(High Speed Level Shifter)이다^[5]. 입력이 low에서 high로 변하는 경우 MN1이 켜지게 되어 *Outbi*노드에 충전되어 있던 전하가 MN1을 통하여 방전된다. Cross-couple로 연결된 MP2는 켜지고 *Outi*노드에 전하가 충전된다. MN3과 MN4는 *Outbi*노드와 *Outi*노드의 충전방전을 돕는다. 동시에 MN5는 꺼지며 MP1 벌크(bulk)는 MP3에 의하여 원래의 전압이 유지하게 된다. 반대로 MN6은 켜지며 MP4에 의하여 유지되던 MP2 벌크의 전압이 MN6에 의하여 낮아지게 된다. 따라서 MP2는 순간적으로 문턱전압이 낮아지게 되며, 작은 입력전압에서도 좀 더 빨리 켜지게 된다. 입력을 PMOS로 받아들임으로써 슬루율(slew rate)이 높아지게 되어 입력에 더 빨리 대응하도록 설계되었다. 그러나 이 회로는 송신측의 전원인 VDDL과 수신측의 전원인 VDDH가 모두 필요하고, 많은 누설전류 경로를 갖기 때문에 전력소모가 크다.

기존의 level shifter를 살펴보면 [그림 2(b)]의 회로는 level-up 기능만 있고 level-down의 경우 누설전류가 크기 때문에 정확한 level 값을 갖지 못하는 단점이 있다. 또한 [그림 2(c)]의 회로는 고속 level-up/down 기

능을 갖고 있지만 단일전원이 아닌 VDDL과 VDDH 두 개의 전원을 사용하였고 회로도 복잡하고 전력소비가 큰 문제점도 있다. 본 논문에서는 [그림 2(b)]의 단점을 해결하고, [그림 2(c)]의 장점을 갖고 있으면서 문제점을 해결하는 저전력 단일전원 level-up/down shifter 회로를 제안하고 검증하였다. 제안한 회로는 동일한 기능(level-up/down), 고속 동작등을 확인하기 위해 [그림 2(c)]의 회로를 대상으로 검증을 하였다.

3. 제안된 저전력 단일전원 level-up/down shifter

[그림 3]은 [그림 2(b)]회로의 단점을 개선하여 이 회로의 단일전원을 사용하는 장점과 [그림 2(c)]회로의 level-up/down이 모두 가능한 장점을 동시에 갖는 제안된 저전력 단일전원 level-up/down shifter이다. level-down일 경우에는 NM1이 꺼져야 하지만 게이트 전압이 VDD보다 높아서 켜지게 된다. 이러한 문제로 누설전류가 흐르고 정확한 level 값을 갖지 못하게 된다. 이런 문제를 개선하기 위해 MN5를 추가하여 level-down할 때 MN5가 역방향 다이오드로 동작하게 하여 누설 전류 경로를 끊는다. 따라서 제안된 회로는 level-up/down이 모두 가능하게 된다. 그리고 MP1 벌크의 전압을 조절해서 원활한 level-down을 가능하게 했다. 즉, level-up일 경우에는 MN4가 꺼지고 MP4는 켜져서 MP1 벌크는 VDD에 연결되고, level-down일 경우에는 MN4가 켜지고 MP4는 꺼져서 MP1의 벌크는 입력 In 에 연결되어 기생 다이오드가 켜지는 것을 방지했다. 제안된 회로는 각 로직 블록간의 전압의 차이가 있어도 정상적으로 동작하므로 I/O 회로에 인터페이스로써 사용할 수 있다.

제안된 단일전원 level-up/down shifter 회로는 0.18 μ m CMOS 공정으로 설계하여 검증했다. Level-up shifter로 이용할 시에는 VDD에 입력보다 높은 전압을 인가하며, level-down shifter로 이용할 때에는 VDD에 입력보다 낮은 전압을 인가한다.

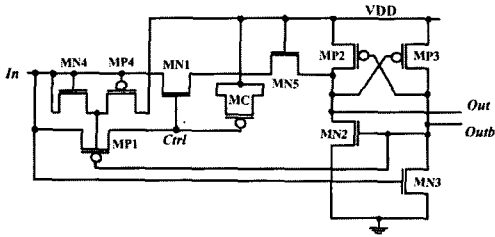


그림 3. 제안된 저전력 단일전원 level-up/down shifter 회로

III. 시뮬레이션 결과

제안된 회로는 level-up의 경우는 1.8V에서 2.5V, 3.3V로, level-down의 경우는 3.3V에서 2.5V, 1.8V로 신호의 level-up/down이 가능하며, IDEC 지원의 Magnachip/Hynix nwell 0.18um CMOS 공정($V_{thn} = -0.52V$, $V_{thp} = -0.48V$, $KP_n = 198\mu A/V^2$, $KP_p = 54.3\mu A/V^2$)을 사용하여 각각 500MHz, 1GHz에서 동작하도록 설계하고 Cadence Spectre tool로 검증했다. 제안된 회로의 각 MOSFET의 크기는 표1과 같다.

표 1. 제안된 회로의 트랜지스터의 크기

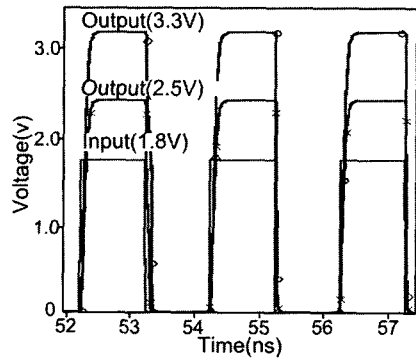
| | |
|--------------------------------|---------------|
| (W/L) _{MN1, MN4, MN5} | 5.4um/0.18um |
| (W/L) _{MP1, MP4} | 0.93um/0.18um |
| (W/L) _{MC} | 2.88um/5.4um |
| (W/L) _{MP2} | 1.62um/0.18um |
| (W/L) _{MP3} | 4.87um/0.18um |
| (W/L) _{MN2} | 5.4um/0.18um |
| (W/L) _{MN3} | 0.3um/0.18um |

1. 전력소모 및 지연시간

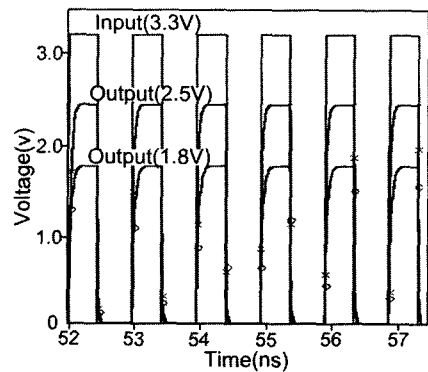
[그림 4]는 제안된 저전력 단일전원 level-up/down shifter 회로의 시뮬레이션 결과이다. [그림 4(a)]의 level-up의 경우에는 500MHz, [그림 4(b)]의 level-down의 경우에는 1GHz에서 동작하는 상태이다.

표 2는 level-up/down shifter의 전력소모와 지연시간 시뮬레이션 결과 비교이다. 이 표는 level-up/down의 경우를 모두 비교하기 위해 논문 [5]의 [그림 2(c)]

회로와 비교를 했다. 표 2(a)은 비교를 위해 조정된 0.13um 공정에서 1.6V 전원을 사용하는 HSLs의 level-up/down시의 시뮬레이션 결과이다^[5]. 표 2(b)는 0.18um 공정에서 1.8V 전원을 사용하는 제안된 저전력 단일전원 level-up/down shifter의 시뮬레이션 결과이다. HSLs는 1.6V 전원을 사용하고 제안된 level-up/down shifter는 1.8V 전원을 사용하므로 비교를 위하여 Lim[5]이 제안하는 HSLs의 전력 소모는 본래 회로에 (9/8)배를 했고 지연시간은 (9/8)배를 했다. 제안된 회로는 level-up일 때 전력소모와 지연시간이 각각 70%, 90%씩 감소했고, level-down일 때는 각각 50%, 25%씩 감소했다.



(a)



(a)

그림 4. 제안된 회로의 시뮬레이션 결과

(a) Level-up의 경우

(b) Level-down의 경우

표 2. Level-up/down shifter의 전력소모와 지연시간 시물레이션 결과 비교

- (a) 고속 level-up/down shifter(HSLS)[5]
- (b) 제안된 단일전원 level-up/down shifter

| Level-up (500MHz) | | | Level-down (1GHz) | | |
|-------------------|-----------------|------------|-------------------|-----------------|------------|
| Variation (V) | Delay time (ps) | Power (mW) | Variation (V) | Delay time (ps) | Power (mW) |
| 1.8 - 2.5 | 616 | 1.70 | 3.3 - 1.8 | 67.8 | 0.769 |
| 1.8 - 3.3 | 636 | 1.90 | 2.5 - 1.8 | 61.7 | 0.708 |

(b)

| Level-up (500MHz) | | | Level-down (1GHz) | | |
|-------------------|-----------------|------------|-------------------|-----------------|------------|
| Variation (V) | Delay time (ps) | Power (mW) | Variation (V) | Delay time (ps) | Power (mW) |
| 1.8 - 2.5 | 64.3 | 0.3 | 3.3 - 1.8 | 34.74 | 0.486 |
| 1.8 - 3.3 | 66.3 | 0.61 | 2.5 - 2.5 | 51.25 | 0.152 |

2. Noise margin

[그림 5]는 I/O 회로에 level-up/down shifter를 이용하여 연결한 블록 다이어그램이다. 이러한 구조에서 외부시스템과 내부시스템의 I/O 신호를 level-up/down shifter로 연결 할 경우 잡음여유(Noise margin, NM)에 대한 검토했다.

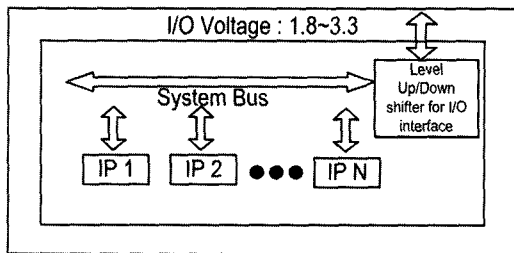


그림 5. I/O 회로에 level-up/down shifter를 이용하여 연결한 블록 다이어그램

표 3 는 I/O 회로에서 신호의 level 변환크기에 따른 잡음여유 값을 보여 준다. 외부전원과 내부전원이 3.3V, 2.5V일 때는 NMH와 MNL가 각각 40%, 30%씩 증가했고, 3.3V, 1.8V일 때는 NMH와 MNL가 각각 40%, 30%

씩 증가했다. 따라서 외부와 내부의 시스템 간의 잡음이 심할 경우는 제안된 level-up/down shifter를 사용하여 신호의 인터페이스의 정확성을 높일 수 있다.

표 3. I/O 회로에서 신호의 level 변환크기에 따른 잡음여유의 비

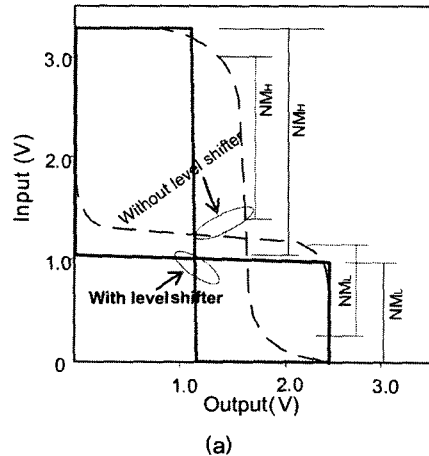
- (a) Level-up/down shifter를 이용하지 않을 때
- (b) Level-up/down shifter를 이용할 때

| 신호의 level 변환 | NMH (V) | NML (V) |
|--------------|---------|---------|
| 3.3V--2.5V | 1.7 | 0.7 |
| 3.3V--1.8V | 2.1 | 0.48 |

(b)

| 신호의 level 변환 | NMH (V) | NML (V) |
|--------------|---------|---------|
| 3.3V--2.5V | 2.29 | 1.0 |
| 3.3V--1.8V | 2.4 | 0.9 |

[그림 6]은 I/O 회로에서 level-up/down shifter의 유무에 따른 잡음여유 그래프이다. [그림 6(a)]는 외부전원과 내부전원이 각각 3.3V, 2.5V일 때의 그래프이고, [그림 6(b)]는 각각 3.3V, 1.8V일 때의 그래프이다. 점선은 level-up/down shifter가 없을 경우의 잡음여유이고, 실선은 level-up/down shifter가 있을 경우 잡음여유이다. 인터페이스 회로로 level-up/down shifter를 사용한 경우의 잡음여유가 더 좋음을 알 수 있다.



(a)

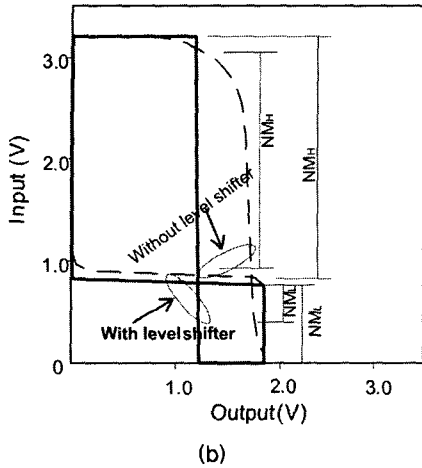


그림 6. I/O 회로에서 level-up/down shifter 유무에 따른 잡음여유 그래프
 (a) 3.3V와 2.5V사이
 (b) 3.3V와 1.8V사이

IV. 결론

본 논문에서는 다중전원이 필요한 SoC에 사용가능한 저전력 단일전원 level-up/down shifter를 제안했다. 기존 level shifter에 비해 제안된 회로는 level-up/down이 모두 가능하면서 동시에 단일전원을 사용함으로써 적용될 시스템의 전원배선과 레이아웃의 복잡도를 줄일 수 있다. 또한 기존 level-up/down shifter의 누설전류를 줄여 level-up일 경우에는 전력소모와 지연시간이 각각 70%, 90%씩 감소했고 level-down일 경우에는 각각 50%, 25%씩 감소했다. 또한 제안된 회로를 I/O 회로에 인터페이스 회로로 사용하여 잡음여유를 30~50% 향상시켰다. 제안된 회로는 level-up일 때에는 500MHz, level-down일 때에는 1GHz로 동작했다. 시뮬레이션은 0.18um CMOS 공정에서 각각 1.8V, 2.5V, 3.3V의 전원을 사용하여 수행되었다.

참고문헌

[1] S. T. Shied, J. S. Wang "Design of low-power

domino circuits using multiple supply voltages", in Proc. IEEE Int. conf. on Electronics, pp.711-714, 2001.

[2] J. M. Chang, "Energy minimization using multiple supply voltage", IEEE Trans. on VLSI Systems, vol.5, pp.436-443, 1997.

[3] C. Q. Tran, H. Kawaguchi, and T. Sakurai, "Low-power high-speed level shifter design for block-level dynamic voltage scaling environment", in Proc. ICICDT, pp.229-232, 2005.

[4] Q. A. Khan, S. K. Wadhwa, and K. Misri, "Single supply level shifter for multi-voltage systems", in Proc. ICVLSID, 2006.

[5] J. H. Lim, J. C. Ha, W.Y. Jung, Y. J. Kim, and J.K. Wee "A novel high-speed and low-voltage CMOS level-up/down shifter design for multiple-clock domain chips", IEICE Trans. on Electron, vol.E90-C, pp.644-648, 2007.

저자 소개

우영미(Young-Mi Woo)

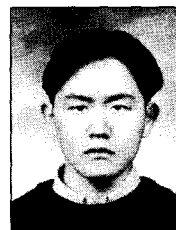
준회원



- 2005년 2월 : 충북대학교 전기전자전공(공학사)
- 2008년 2월 : 충북대학교 정보통신공학과(공학석사)
- <관심분야> : 저전력 회로, Level shifter 회로설계.

김두환(Doo-Hwan Kim)

정회원



- 2003년 2월: 충북대학교 정보통신공학과(공학사)
- 2005년 2월 : 충북대학교 정보통신공학과(공학석사)
- 2005년 3월~현재 : 충북대학교 정보통신공학과 박사과정

<관심분야> : LVDS I/O 회로, 아날로그 필터 설계.

조 경 록(Kyoung-Rok Cho)

정회원



- 1977년 : 경북대학교 전자공학과(공학사)
- 1989년 : 일본 동경대학교 전자공학과(공학석사)
- 1992년 : 일본 동경대학교 전자공학과(공학박사)

- 1979~1986년 : (주)금성사 TV연구소 선임연구원.
 - 1990, 2005년 : Oregon State University 객원교수.
 - 1992~ 현재 충북대학교 전기전자공학부 교수.
- <관심분야> : 통신시스템LSI설계, 저전력 고속회로 설계, Platform 기반의 SoC 설계