
C-모델 시뮬레이터 기반 H.264/SVC 복호기 시스템 구현

Implementation of H.264/SVC Decoder System based on C-Model Simulator

정차근, 길대남
호서대학교 공과대학 시스템제어공학과

Cha-Keon Cheong(cheong@hoseo.edu), Dae-Nam Gil(fatuel@nate.com)

요약

본 논문에서는 SoC 칩 개발을 위한 하드웨어 구조와 회로개발을 지원하기 위한 C-모델 시뮬레이터를 사용해서 임베디드 시스템 기반의 H.264/SVC 복호기 회로를 설계하고 시스템을 구현한다. 제시된 SVC 복호기 시스템은 H.264/SVC 표준규격의 기능들을 처리하기 위한 하드웨어 엔진의 설계와 ARM 프로세서를 이용한 소프트웨어 등으로 구성되어 있다. 본 논문에서 구현한 복호기는 SVC의 스케일러블 베이스라인 프로파일을 기반으로 설계의 용이함을 위하여 B-픽처 구조를 사용하지 않는 IPPP 구조에 의한 스케일러블 만을 고려해 실용성을 증가시켰다. 설계한 H.264/SVC 복호기 시스템의 영상복호 결과를 제시한다.

■ 중심어 : | H.264/SVC 복호기 | C-모델 시뮬레이터 | 스케일러블 베이스라인 프로파일 | 스케일러블 | 하드웨어 엔진 | 임베디드 시스템 |

Abstract

In this paper, we present result of embedded system based H.264/SVC decoder circuit design and system implementation. To deal with the standardized H.264/SVC functionalities, the presented SVC decoder system is consist of hardware engine design and software with ARM core processor. In order to improve the feasibility and applicability, and reduce the decoder complexity, the implemented system is constructed with only the consideration of IPPP structure scalability without using the full B-picture architecture. Finally, we will show the decoding image result using the designed H.264/SVC decoder system

■ keyword : | H.264/SVC Decoder | C-model Simulator | Scalable Baseline Profile | Scalable | Hardware Engine | Embedded System |

I. 서론

최근 정보통신기술의 급속한 진전을 기반으로 다양한 영상정보를 취급하는 응용 시스템이 큰 폭으로 확대되고 있다. 즉 DMB 방송이나 무선 인터넷에 의한 웹 브라우징, UCC, 휴대용 영상통신 등 때와 장소에 제약

받지 않고 영상정보의 자유로운 이용이 당연한 것으로 인식되고 있다. 따라서 다양한 채널 환경에서 영상정보의 자유로운 이용을 촉진하기 위한 새로운 규격인 H.264/SVC 코덱 표준화에 많은 연구가 진행되고 있다.

H.264/SVC 표준화의 목적은 기존의 H.264/AVC와 같은 영상품질과 복호기 복잡도를 유지하면서 하나 이

상의 비트스트림을 갖는 고품질 비디오 비트스트림의 부호화 및 복호를 가능하게 하는 것에 있다. H.264/SVC는 다양한 디스플레이 기기의 공간 해상도와 채널 대역폭에 적합한 비트스트림을 제공하기 위해 하나의 기본계층(base layer)과 여러 개의 향상계층(enhancement layer)으로 구성된 스케일러블 비트스트림을 발생하고, 시간(temporal), 공간(spatial), 화질(quality) 그리고 이들 기능을 결합한 스케일러블 기능을 지원한다. H.264/SVC 표준화의 가장 큰 특징은 부호화 효율을 극대화하면서 복호기의 시스템 복잡도를 최소화 한 방법의 적용이다. 이로 인해 복호기의 하드웨어 비용의 큰 증가 없이 다양한 품질의 영상을 취급할 수 있다[1].

효율적인 SVC 알고리즘을 기반으로 heterogeneous clients의 영상전송이 가능하게 됨에 따라 디스플레이의 해상도, 처리능력 및 배터리 등에 따라 차별화된 서비스가 가능하다. 또한 중요성이 다른 비트스트림의 구성이 가능해져 채널에러에 강한 효율적인 채널 코덱의 구현이 용이하다. 따라서 응용에 적합한 서베일런스 시스템이나 다양한 품질과 기능을 갖는 영상회의 시스템, 3G 시스템에서의 비디오 스트리밍 구성, 채널 특성에 적응적 대응이 가능한 개선된 지상파 DMB 방송 등의 분야에 응용이 가능하다[2-4].

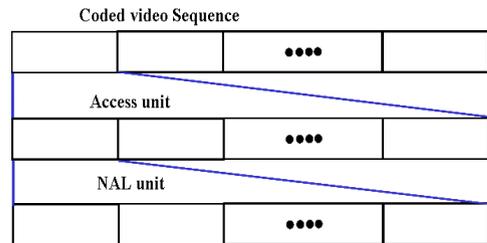
본 논문에서는 참고문헌[10]에서 개발된 하드웨어 구조와 C-모델 시뮬레이터를 사용해서 H.264/SVC 복호기 시스템을 개발한다. 임베디드 시스템을 기반으로 SVC 복호기를 구성하는 하드웨어 엔진 중, 가변장복호기(VLD 엔진)와 역 DCT 변환기(TDE) 부분을 대상으로 회로를 설계한다. 나머지 복호기 구성은 내장된 핵심 프로세서인 ARM 코어를 사용해서 소프트웨어로 구현한다. 본 논문에서 구현한 시스템은 SVC의 스케일러블 베이스라인 프로파일을 기준으로 시스템의 계산량 감소를 위하여 B-픽처를 사용하지 않는 IPPP 구조에 의한 스케일러블 만을 사용한다. 따라서 B-픽처를 사용하는 표준규격에 비해 부호화 효율은 다소 감소하지만 간단한 하드웨어 구조로 공간, 시간, 화질 및 이들을 결합시킨 혼합 스케일러블 기능을 구현할 수 있어 응용 시스템과의 통합 SoC 칩 개발에의 활용이 용이하다.

이하 본 논문의 구성은 다음과 같다. 먼저 2절에서는 H.264/SVC 복호기의 SoC화를 위한 하드웨어 구조와 C-모델 시뮬레이터의 개요에 관해 간단히 기술한다. 다음으로 3절에서 임베디드 시스템에 의한 회로설계와 복호기 시스템 구성, 영상 데이터에 의한 구현한 시스템의 복호결과 등을 제시한다.

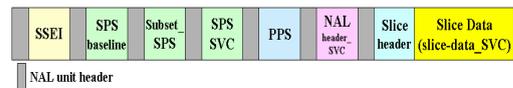
II. H.264/SVC 복호기 구조와 C-모델 시뮬레이터

H.264/SVC의 비트스트림은 계층적으로 구성되어 있어 응용에 적합한 비디오 품질을 갖는 복호가 가능하다. 즉 규격에 정의된 시간, 공간, 화질 및 혼합 스케일러블등 응용에 적합한 스케일러블 레벨을 자유로이 선택할 수 있다. 최하위 계층의 비트스트림은 H.264/AVC 베이스라인 프로파일을 수용하고 있어, H.264/AVC와 의 하위 호환성을 보장한다.]

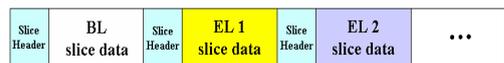
[그림 1]은 H.264/SVC 비트스트림의 계층적 syntax 구조를 나타낸 것이다 부호화된 비디오 시퀀스는 공통의 특성 파라미터를 갖는 액세스 유닛들로 구성되고,



(a) The structure of bitstream



(b) Hierarchy of NAL unit



(c) Slice data construction

그림 1. H.264/SVC의 계층적 비트스트림 구조

하나의 액세스 유닛은 [그림 1](a)와 같이 복수개의 네트워크 추상 계층(NAL) 유닛들로 이루어진다. 각각의 NAL 유닛은 [그림 1](b)와 같이 부호화된 비디오 데이터와 NAL 헤더 정보, sequence parameter set(SPS), picture parameter set(PPS), SPS_SVC_Extension. NAL header SVC 등과 같은 부가정보들로 이루어진다. 스케일러블에 관련된 정보는 SSEI, subset SPS, SPS_SVC 등의 Non-VCL 파라미터와 슬라이스 헤더 등으로 주어지고, 기본계층 및 향상계층의 데이터는 [그림 1](c)와 같은 구조를 갖고 있어 스케일러블 레벨에 따라 복호과정의 유연성을 확보하고 있다.

1. SoC화를 위한 H.264/SVC 복호기 구조[10]

H.264/SVC의 복호기 복잡도는 기존의 MPEGx 및 H.263 등에 비해 매우 증가되어 있다. 따라서 실시간성 및 응용 시스템에 적합한 통합 SoC 칩을 개발하기 위해서는 새로운 하드웨어 구조개발이 필요하다. [그림 2]는 H.264/SVC 복호기 구조를 나타낸 것이다. 제안 복호기 구조의 특징은 다음과 같다.

- H.264/SVC 단일 루프 복호 특성을 기반으로 복호기 시스템 구성을 간략히 함.
- 응용 시스템에 최적인 복호영상 품질과 해상도를 지원할 수 있는 단일 계층 하드웨어 구조
- 플랫폼 기반의 시스템 설계 가능
- H.264/SVC 스케일러블 베이스라인 프로파일 지원 : H.264/AVC 베이스라인 프로파일을 기반으로 하고, EB 슬라이스를 제외한 I/P/EI/EP 슬라이스와 4:2:0 비디오 포맷 및 프레임 구조의 영상 지원
- SVC의 다양한 응용 시스템과의 통합 SoC
- 중심 프로세서를 내장한 임베디드 시스템
- 시스템 집적화에 유리한 구조
- 공간 스케일러블, IPPP 구조에 의한 디스플레이 지연이 없는 시간 스케일러블, MGS 및 CGS 화질 스케일러블 지원

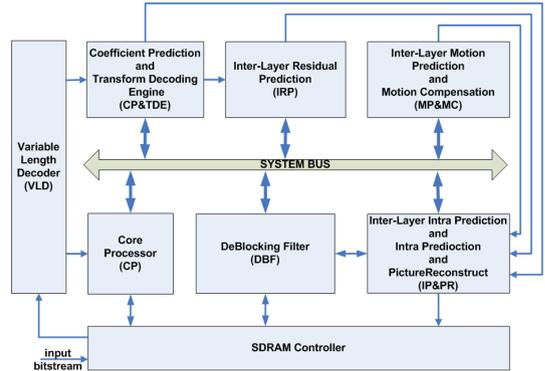


그림 2. 제안한 H.264/SVC 복호기 구조

H.264/AVC 및 SVC 복호기는 움직임 보상 예측 및 프레임 내 예측 구조의 본질적 특성으로 인해 SDRAM 대역폭 활용이 매우 비효율적이고, 시스템 구현 방법이 크게 좌우된다. 따라서 SDRAM 메모리의 효율적인 제어는 복호기 구현의 성능을 좌우하는 병목현상으로 작용한다. 본 논문에서는 CIF(352x288)급 영상을 30 frame/sec의 속도로 실시간 복호가 가능해야 하고 스케일러블 베이스라인 프로파일 규격 대응 2-계층의 스케일러블 영상복호를 기반으로 메모리 대역폭을 추정했다. [표 1]은 [그림 2]의 H.264/SVC 하드웨어 디코더에서 사용된 SDRAM 메모리 사양을 나타낸 것이다.

표 1. 외부 메모리 버퍼 사양

Decoding blocks	Amount of data per sec (Mbytes/sec)		Bus Size (Byte)	Clock(MHz)	
	Internal	No buffer		Internal buffer	No Internal buffer
Video bit stream access	0.175	0.175	64	0.104	0.104
Inter-prediction	18.818	18.818	81(Luma) 18(Chroma)	12.545	12.545
Intra-prediction & Picture reconstruction	0	-	0	0	0
De-blocking filter	6.791	7.880	48(U/L MB) 64(Curr MB)	4.197	4.877
Video output	13,223	26,446	64	7.851	15.702
Internal processor	5,400	5,400	32	3.713	3.713
Total	47,282	47,282		28,409	36,941

복호된 영상의 SDRAM에서의 저장은 슬라이스의 주사 순서에 따라 프레임 단위별로 휘도성분과 색차신호 신호성분을 분리해서 저장하고, 색차신호 Cb, Cr은 인터리브 형식으로 처리된다. 메모리 액세스 제어를 위한 우선순위는 다음과 같다.

- SDRAM refresh
- Video output to external device (display)
- Coded video bitstream storing
- Internal decoding engine requesting
- External host processor requesting
- Coded video bitstream output to VLD engine
- De-blocking filter output
- Reference frame for inter-prediction (Inter prediction engine)

시스템 내부버스는 내부 복호엔진과 외부 메모리간의 데이터 전송이나 내부 복호엔진 간의 복호 명령어 및 데이터 전송을 처리한다. 각 복호엔진에서 처리되는 데이터 파일 형식은 파라미터 헤더 (8비트)와 명령 데이터 (8비트)의 16 비트로 구성해서 decoded Non-VCL NAL parameter sets와 decoded VCL NAL 유닛트를 처리하고, 내부 복호엔진 간의 데이터 전송은 전술한 바와 같이 내부 시스템 버스를 사용해서 이루어진다.

2. C-모델 시뮬레이터[10]

JSVM의 복호기는 슬라이스 단위별로 매크로블록 계층과 BL의 업-샘플링 등과 같이 입력 비트스트림에 전적으로 좌우되어 블록 단위로 복호과정을 처리한다. 이와 같은 슬라이스 단위 기반의 복호과정은 데이터 처리에 필요한 계산량을 증가시켜 하드웨어에 의한 실시간 복호를 어렵게 한다. 또한 메모리를 무한대에 가깝게 사용할 수 있는 소프트웨어의 특성상 JSVM 복호기의 과도한 블록간 I/O 데이터 저장을 위한 메모리와 내부 레지스터의 사용은 하드웨어 구현 비용을 증가시키는 요인으로 작용한다.

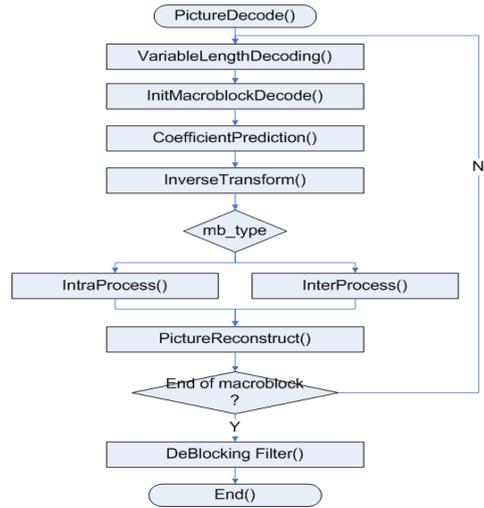


그림 3. 제안된 C-모델 시뮬레이터를 위한 복호 흐름

[그림 3]은 [그림 2]의 복호기 구조를 기반으로 개발한 H.264/SVC C-모델 시뮬레이터의 순서도를 나타낸 것이다. 본 연구에서 개발한 C-모델 시뮬레이터의 주요 핵심 내용은 다음과 같다.

- 슬라이스 단위의 복호 흐름을 매크로블록 단위의 복호 과정으로 변경
- 각 하드웨어 엔진 블록의 복호 함수들과 일치하는 형태의 함수 처리
- 하드웨어 엔진 블록간 입출력 관계와 일치하는 데이터 발생

III. 회로개발 및 시스템 구현

H.264/SVC 복호기의 성능검증을 위해 임베디드 시스템을 기반으로 복호기의 시스템을 구현한다. 본 시스템 구현에 사용된 임베디드 시스템은 32비트 ARM926EJ-S 핵심 프로세서, 16MB의 내부 메모리와 외부 SDRAM 메모리 제어기, Xilinx virtex4 2개 (500MHz), 133MHz AMBA 버스, 200MHz 시스템 클럭으로 이루어져 있다.

시스템 구현은 크게 FPGA에 의한 하드웨어 설계와

핵심 프로세서에 의한 프로그램으로 구성된다. 먼저, H/W를 위한 회로개발은 임베디드 시스템의 FPGA 게이트수에 좌우된다. 따라서 본 논문에서는 H.264/SVC 복호기 구조에서 가변장복호기(VLD 엔진)부와 CP&TD의 일부인 역 DCT 변환기(TDE)부만을 대상으로 회로개발 및 FPGA에 의한 시스템을 구현하고, 나머지 복호기 블록은 핵심 프로세서에서의 소프트웨어로 구현하도록 했다.

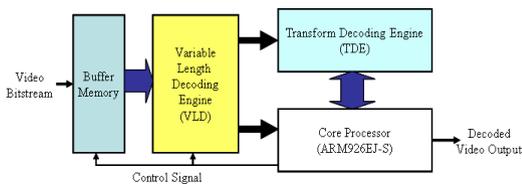


그림 4. 회로개발 및 구현을 위한 전체 시스템 구성도

[그림 4]는 H.264/SVC 복호기 회로개발 및 시스템 구현을 위한 시스템 구성도이다. 버퍼 메모리는 부호화된 비트스트림을 저장하고 VLD 엔진부의 제어신호에 의해 소요되는 데이터를 VLD 엔진부에 전달하는 역할을 수행한다. 부호화된 비트스트림은 VLD 엔진부에서 데이터 스트림으로 복호된 후 TDE부 및 중심 프로세서부에서 복호되어 동영상 데이터를 출력한다.

1. VLD processor

VLD 엔진에서는 엔트로피 부호화되기 이전의 비트스트림을 복원해서, 비디오 복호에 필요한 데이터와 명령 파라미터를 핵심 프로세서와 TDE부로 전송하는 역할을 수행한다. [그림 5]는 VLD 엔진부의 내부에서 처리되는 세부 기능들을 나타낸 회로 구성도이다. 버퍼 메모리 제어를 위해 메모리 제어부 및 인터페이스 회로

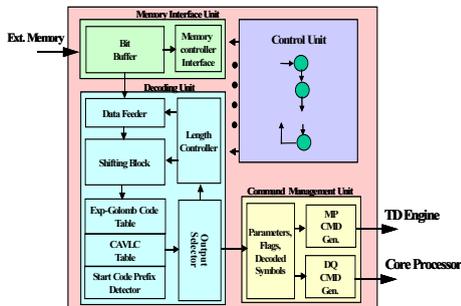


그림 5. VLD 엔진부의 내부 회로 구성

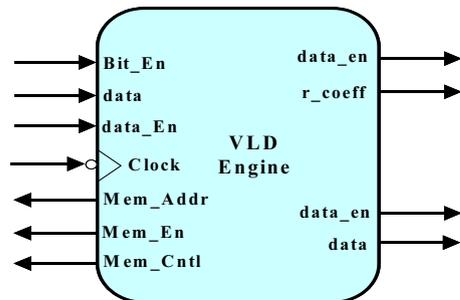


그림 6. VLD 엔진부에서의 입출력 신호

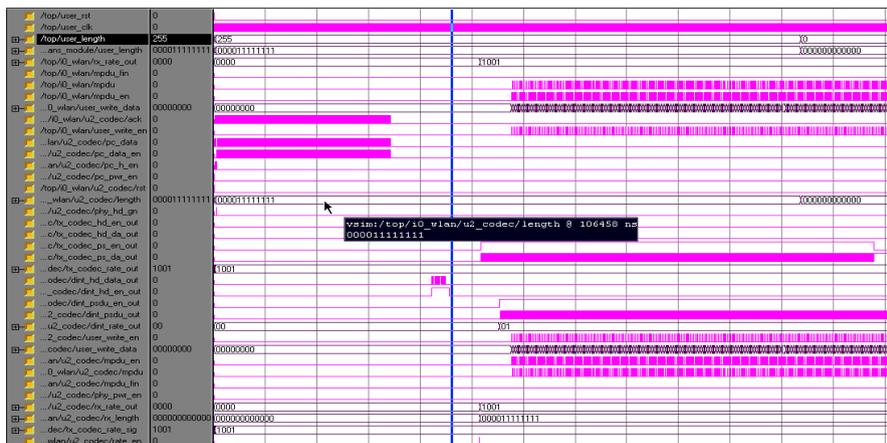


그림 7. ModelSim에 의한 VLD 엔진 동작 검증 결과

가 포함된다. 부호화된 H.264/SVC syntax 비트스트림은 내부의 복호 유니트에서 복호되어 데이터 스트림 형태로 TDE 및 중심 프로세서부로 출력된다.

[그림 6]은 [그림 5]의 VLD 엔진부의 시스템 구현에서 사용되는 입출력 제어 및 데이터 신호들의 관계를 나타낸 것이다. 설계한 회로의 성능을 검증하기 위해 HDL을 사용해서 시뮬레이션을 수행했다. 입력 데이터는 특정의 부호화 syntax 스트림을 사용했다. VLD 엔진의 출력은 C-모델에서 제공되는 데이터 스트림과 비교함으로써 간단히 검증할 수 있다. [그림 7]은 ModelSim 5.7에 의한 시뮬레이션 결과로, 모든 입출력이 정상적인 동작을 수행하는 것을 확인했다.

2. Transform Decoding Engine (TDE)

TDE부에서는 정수계수를 갖는 역 DCT 연산과 역양

자화 과정을 수행하는 블록으로, 개략적인 내부 회로 구성을 나타낸 것이 [그림 8]이다. 이 그림으로부터 VLD 엔진 및 중심 프로세서로부터 입력된 명령 및 잔류신호 계수 데이터를 사용해서 역 지그재그 및 역 하다마드 변환, 역 양자화, 역 DCT 등의 연산을 순서적으로 수행한다. 이를 통해 역변환 및 역양자화 된 매크로블록 단위의 잔류신호에 대한 영상 데이터를 복구해서 핵심 프로세서부로 출력해서 원 영상을 복호할 수 있도록 한다.

[그림 9]는 TDE부에서의 처리를 위해 입출력되는 데이터 및 제어신호들의 관계를 나타낸 것이다. 역변환 및 역양자화 과정을 통과한 데이터는 중심 프로세서로 입력되어 Intra/Inter 예측 과정에서 복원된 데이터와 결합되어 한 프레임의 영상을 복원하게 되고, 인접한 4x4 서브블록 또는 매크로블록 간에 존재하게 되는 블록잡음 제거를 위해 de-blocking 필터 처리 후 하나의

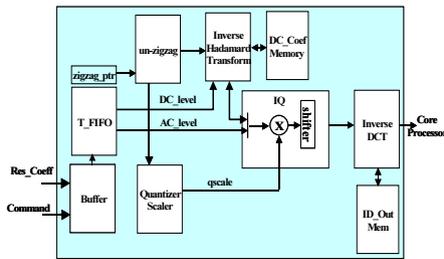


그림 8. TDE 엔진부의 내부 회로 구성

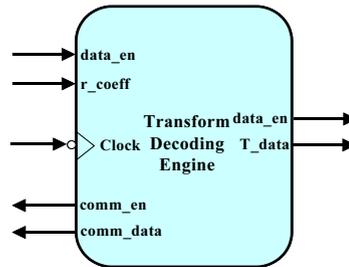


그림 9. TDE 엔진부에서의 입출력 신호



그림 10. ModelSim에 의한 TDE 엔진 동작 검증 결과

완전한 프레임 영상을 복구하게 한다. [그림 10]은 설계된 TDE 회로에 대해 ModelSim 5.7로 검증한 시뮬레이션 결과이다.

3. SVC 복호기 구현 결과

H.264/SVC 복호기 시스템 구현의 결과를 확인하기 위해 JSVM 부호기를 사용하여 2계층의 SNR 스케일러블과 공간 스케일러블, 3종류의 시간 스케일러블 등의 계층을 갖는 혼합 스케일러블 비트스트림을 발생시켜 구현한 복호기의 메모리에 저장해서 사용했다. 시험표준 영상 SOCCER를 대상으로 최상위 공간 스케일러블

은 CIF(352x288)급, 최대 프레임 레이트는 30fps (최대 시간 스케일러블)를 처리할 수 있도록 했다. SNR 스케일러블의 제어는 양자화계수(Qp) 값을 조정해서 수행했다. SNR-계층 0 (Q0) 영상의 복호는 양자화계수 Qp=50의 값을, SNR-계층 1(Q1)은 Qp=26의 값을 고정해서 사용했다. 또한 공간 스케일러블은 기본계층(L0)으로 QCIF (176x144)의 공간해상도, 향상계층(L1)으로 CIF(352x 288)의 공간해상도를 갖는 정수계수 공간비율을 갖는 것으로 했다. [그림 11]은 이들 각 계층의 결과를 나타내는 것으로 [그림 9](a) ~ (d)는 각각 Q0L0, Q1L0, Q0L1, Q1L1을 나타낸다. 이들 영상의 PSNR과



그림 11. 제안된 구조로 개발된 복호기의 복호 결과
 (a) 공간 계층 L0 와 화질 계층 Q0, (b) 공간 계층 L0 와 화질 계층 Q1
 (c) 공간 계층 L1 와 화질 계층 Q0, (d) 공간 계층 L1 와 화질 계층 Q1

표 2. PSNR(db)과 비트율(Kbit/s) 실험 결과

Scalability \ PSNR & Bitrates	PSNR_Y (db)	PSNR_U (db)	PSNR_V (db)	7.5fps (Kbps)	15fpS (kbps)	30fpS (kbps)
Spatial layer L0 and SNR layer Q0	24.1269	35.2212	37.4311	13.4	18.4	25.3
Spatial layer L0 and SNR layer Q1	36.2467	41.5343	43.3074	269.8	411.6	604.4
Spatial layer L1 and SNR layer Q0	27.0389	38.9354	40.8017	284.4	435.7	644.7
Spatial layer L1 and SNR layer Q1	35.4165	42.5423	44.2292	1195.3	1920	2950

시간 스케일러블을 나타내는 프레임 레이트에 따른 비트율을 [표 2]에 제시한다. [표 2]는 시간, 공간, 화질계층에 따라 변화되는 PSNR과 전송 비트율을 나타낸 것으로, 특히 같은 시간 및 공간 계층에 대해 화질계층의 개선에 따라 발생정보량이 2배 이상 증가하는 것을 알 수 있다. 이들 결과로부터 제안구조의 H.264/SVC 하드웨어 복호기는 공간, 시간 및 SNR 스케일러블의 혼합 스케일러블을 지원하고, 비교적 간단한 회로구성으로 정상적인 복호동작이 수행되는 것을 확인 했다.

IV. 결론

본 논문에서는 국제표준화의 진전에 따라 다양한 응용이 진행되고 있는 임베디드 시스템 기반의 H.264/SVC 복호기를 설계하고 구현했다. VLD 및 TDE의 복호기 하드웨어 엔진은 새로운 하드웨어 구조와 개발된 C-모델 시뮬레이터를 사용해서 설계했다. 본 논문에서 설계한 H.264/SVC 복호기는 스케일러블 베이스라인 프로파일과 IPPP 구조를 사용했기 때문에 부호화효율은 다소 저하되지만 복호과정과 디스플레이 출력간에 시간 지연을 없애, 메모리 사용량을 줄이고 복호기의 복잡도를 크게 감소시킬 수 있었다. 하드웨어 구조가 간단하므로 서베일런스, 진보된 DMB 칩 등 다양한 응용 시스템과의 통합 SoC 칩 설계에 간단히 응용할 수 있는 특징을 갖는다.

실제 동영상 비트스트림을 사용해서 구현한 H.264/SVC 복호기의 성능을 검증했다. 그러나 이 검증결과는 제안된 구조의 하드웨어 진부를 사용한 결과가 아니므로, 지속적인 연구를 통해 H.264/SVC 복호기 전 회로설계 및 응용 시스템과의 통합 SoC 칩 설계를 위한 핵심 IP를 확보하는 것이 필요하다.

참 고 문 헌

- [1] H. Schwarz, D. Marpe, and T. Wiegand, "Overview of the Scalable Video Coding Extension of the H.264/AVC Standard," IEEE Trans. on Circuits and Video Tech., Vol.17, No.9, pp.1103-1120, 2007.
- [2] Y. K. Wang and M. Hannuksela, "System and Transport Interface of SVC," IEEE Trans. on Circuits and Video Tech., Vol.17, No.9, pp.1149-1163, 2007.
- [3] M. Wien, H. Schwarz, and T. Oelbaum, "Performance Analysis of SVC," IEEE Trans. on Circuits and Video Tech., Vol.17, No.9, pp.1194-1203, 2007.
- [4] C. Andrew Segall and Gary J. Sullivan, "Spatial Scalability within the H.264/AVC Scalable Video Coding Extension," IEEE Trans. on Circuits and Video Tech, Vol.17, No.9, pp.1121-1135, 2007.
- [5] T. Schierl, T. Stockhammer, and T. Wiegand, "Mobile Video Transmission Using Scalable Video Coding," IEEE Trans. on Circuits and Video Tech, Vol.17, No.9, pp.1204-1217, 2007.
- [6] P. Amon, T. Rathgen, and D. Singer, "File Format for Scalable Video coding," IEEE Trans. on Circuits and Video Tech, Vol.7, No.9, pp.1174-1185, 2007.
- [7] Joint Draft ITU-T Rec. H.264/ISO/IEC-14496-10/Amd.3 Scalable Video Coding, JVT-X201.doc, 2007.
- [8] Y. W. Huang, "Analysis, fast algorithm and VLSI architecture design for H.264/AVC intra frame coder," IEEE Trans. on Circuits and Video Tech, Vol.15, No.3, pp.378-401, 2005.
- [9] K. Yoo, J. Lee, and K. Sohn, "VLSI architecture design of motion vector processor for H.264/AVC," IEEE Proceeding of International Conference on Image Processing(ICIP), 15th, pp.1412- 1415, 2008,
- [10] 정차근, 길대남, "H.264/SVC 복호기 C-model 시뮬레이터 개발", 한국콘텐츠학회논문지, 게재 예정, 2009(3).

- [1] H. Schwarz, D. Marpe, and T. Wiegand, "Overview of the Scalable Video Coding Extension of the H.264/AVC Standard," IEEE

저 자 소 개

정 차 근(Cha-Keon Cheong)

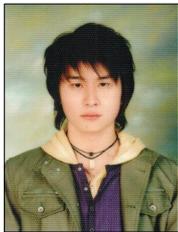
정회원



- 1984년 2월 : 서울대학교 전기공학(공학석사)
- 1993년 2월 : 일본 동경대학 전기공학과(공학박사)
- 1984년 1월 ~ 1997년 8월 : LG 종합기술원 책임연구원
- 1995년 4월 ~ 1996년 3월 : 일본 방송통신기구 초빙연구원
- 2002년 1월 ~ 2002년 4월 : 일본 동경대학 초빙교수
- 1997년 9월 ~ 현재 : 호서대학교 시스템제어공학과 <관심분야> : 디지털 통신, 영상처리 및 부호화, 지능형차량제어, Machine Vision

길 대 남(Dae-Nam Gil)

준회원



- 2008년 2월 : 호서대학교 정보 제어공학과(공학학사)
 - 2008년 3월 ~ 현재 : 호서대학교 메카트로닉스 공학과 석사과정
- <관심분야> : 영상처리 및 부호화