

Parallel R. O. E. 에 의한 계통의 Simulation 에 관한 연구

A Study on the Simulation of Systems by Parallel R. O. E.

윤 석 무*

해군사관학교 전기공학과

신 명 철

성균관대학교 전기공학과

1. 서 론

전력계통의 조류와 과도안정도 Simulation 은 컴퓨터의 많은 연산시간을 필요로 하므로 계통의 해석시 컴퓨터의 연산시간과 기억용량을 감소시키기 위한 방법으로 가우스의 선택법과 점점의 선택법에 의하여¹ 최적서열을 결정하고² 계통을 분할회로망으로 구성하여 각 분할행렬이 독립적으로 매우 스파스 하도록 한다³. 또한 Parallel R. O. E에 의한 계통의 Simulation을 위하여 계통을 BDBF 의 행렬로 구성하고⁷ Block Elimination과 LU Factorization 의 알고리즘을 제시하며 Row-wise storage 에 의한 LU Factorization을 계통에 Simulation 한 결과 Single Processor 에 대한 Parallel Processor 의 효율성을 제시함으로써 전력계통의 해석에 이용 가능하도록 하였다. 그리고 본 논문에서 사용된 컴퓨터의 기종은 UNIVAC 1100/60 이다.

2. 본 론

2.1 계통의 스파스 행렬법 적용.

전력계통의 행렬에 이용되는 대부분의 행렬은 스파스 행렬이며 어드미턴스 행렬을 가우스의 선택법에 의한 상가화 변환을 이용하면 스파스화의 보존을 가능하게 한다. 그리고 컴퓨터에 의하여 계통을 해석할때 Parallel Processor 의 효과는 계통행렬의 스파스화에 영향을 받게 되므로 대응망의 계통에 대하여도 영이 아닌 요소만 기억시키고, 처리하게 되면 컴퓨터의 데이터 기억용량을 감소시킬 수 있다.

본 연구에서는 가우스의 선택법에 의하여 처리되는 동안에 Fill-in terms 를 최소화하기 위하여 최적서열을 분할회로망으로 구성 적용하였다. 이러한 최적서열은 가우스의 선택법과 점점

의 선택방법에 의하여 결정되고 영이 아닌 요소가 대각선 부근에 집중되는 행렬로 된다. 한편 LU Factorization 에 의한 직접해법은

$$\begin{aligned}
 [A][x] &= [b] \\
 [A] &= [L][U], \quad a_{ij} = \sum_{k=1}^{j-1} l_{ik} u_{kj}, \quad u_{kk} = 1 \\
 [L][U][x] &= [b], \quad [U][x] = [z]
 \end{aligned}$$

전진과정에 의하여 해는

$$[U][z] = [b]$$

$$z_i = (b_i - \sum_{j=1}^{i-1} l_{ij} z_j) / u_{ii}, \quad (i=1, 2, \dots, n)$$

역행과정에 의하여

$$x_i = z_i - u_{ij} x_j, \quad (i=n, n-1, \dots, 1)$$

인 해를 구한다. 그리고 계통을 분할회로망으로 구성한후 최적서열의 알고리즘을 적용하면 분할행렬은 극히 독립적으로 스파스하고 프로그래밍 과정에서 영이 아닌 요소만 기억시키고 처리할때에 기억용량과 실행시간이 현저하게 감소된다.

2.2 Parallel Row-Ordered Elimination

선형방정식의 해법에는 Gauss-Jordan Elimination과 Triangular Factorization 그리고

Row-wise Storage 와 Column-wise Storage 가 있다. 본 논문에서는 Processor 의 수와 계수행렬의 크기가 같은 경우를 제외하고는 효과적인

Row-wise Storage 의 LU 법이 연구되었다. n x n 인 선형계통의 LU Factorization 에 의한 해법은 스파스 행렬법에서 제시되었으며 확대행렬 A 에 벡터 b 를 곱하여

$$[A][b] = \begin{bmatrix} a_1^T \\ a_2^T \\ \vdots \\ a_m^T \end{bmatrix}$$

와 같은 nx(n+1) 의 행렬이 구성되고 컴퓨터가

본 논문에서는 본압회로망에 의한 최적서열의 알고리즘을 개발, 적용하여 계통의 행렬을 매우 스파스하도록 구성하고 Parallel R.O.E.에 의한 알고리즘을 계통에 적용 Simulation 한 결과 컴퓨터의 Index Array 및 연산회수에 대하여 Single Processor 와 Parallel Processor 를 비교함으로써 Parallel Processor 의 효율성을 확증하였다.

따라서 Processor 의 수와 스파시티의 영향을 고려하여 전력계통의 종류, 과도안정도 해석 및 경제적 운용에 응용할 수 있도록 하였다.

참 고 문 헌

- (1) J.K.Reid; Large Sparse Sets of Linear Equations. Academic Press, 1971.
- (2) W.F.Tinney and J.W.Walker; Direct Solution of Sparse Network Equations by Optimally Ordered Triangular Factorization. Proc.IEEE, Vol.55, pp 1801-1809, 1967.
- (3) W.F.Tinney; Optimal Ordering for Sparsity Coupled Subnetwork, 1968.
- (4) E.C.Ogbucbir, W.F.Tinney and J.W.Walker; Sparsity-Directed Decomposition for Gaussian Elimination on Matrices. IEEE.Trans, PAS-89 no1, pp141-150, 1970.
- (5) F.G.Gustavson; Some Basic Techniques for Solving Sparse Systems of Linear Equations; in Sparse Matrices and Their Application. Plenum, 1972, pp41-52.
- (6) J.A.George; Block Elimination on Finite-Element Systems Equations. Plenum, 1972.
- (7) J.Fong; Large scale Power System and Nonlinear Network Simulation via Simple Parallel Microcomputer Structures. Ph.D.dissertation, Cornell University, May, 1978.