

얇은 Si 산화막을 지닌 MOS 구조의 전기적 특성  
Electrical Characteristics of MOS Structure with  
Thin SiO<sub>2</sub> Films

성 영 권            고려대학교 교수  
안 상 식\*        고려대학교 대학원  
백 우 연        고려대학교 대학원

1. 서 론

Si 산화막에 의해 얻어진 30 Å 전후의 SiO<sub>2</sub> 막은 MNOS 불휘발 메모리 터널 분광 등에 관련하여 이 방면의 연구가 활발해 지고 있다.

열산화의 방법이나 조건에 의해 SiO<sub>2</sub> 막의 성질이나 표면준위 등이 변화하는 것은 구조의 G-V<sub>G</sub>, I-V<sub>G</sub>, C-V<sub>G</sub> 등에서 엿볼 수가 있다. 따라서 우리는 N<sub>2</sub> 가스 중의 산소분압을 제어하여 15-40 Å 의 SiO<sub>2</sub> 막을 형성하며 Al-SiO<sub>2</sub>-Si 구조로서 산화막 두께의 변화에 수반하여 나타나는 절연파괴에 이르기까지의 전구현상을 실측하여 발표 하였으나(1) 이번에는 이론의 V-I 특성, 미분용량, 미분컨덕턴스 등을 실측하였기에 그 결과를 보고하는 것이다.

2. 실험

실험에 사용된 시료는 우선 기판으로서 epitaxial wafe N형 1Ω-cm 전후)를 산화 전의 전처리로 HF 로서 linse 하여 1,000°C dry 산소로서(1ℓ/min) 5-10 시간 산화시켜 HF 로서 산화막을 제거하였다.

그 다음 본산화는 800-1,000°C 에서 N<sub>2</sub> 가스 (2ℓ/min)를 캐리어 가스로서 O<sub>2</sub> 가스를 0.1 (ℓ/min) 정도 흘리면서 산화시켰다. 또 전극으로서 Al 를 진공증착시켰다.

3. 실험결과 및 검토

(그림-1)은 C-V<sub>G</sub> 특성을 나타낸 것으로 막두께의 평가는 이에 의하여 행하였다.

또 I-V 특성은 (그림-2)에 나타낸 바와 같이 막두께의 증가와 더불어 계통적으로 변화함을 알 수 있다.

일반적으로 이들의 순방향전류 I 는 WKB 근사로서 (2)

$$i = AT^2 \exp(-X^{1/3}) \exp\left(\frac{-qV_{BQ}}{KT}\right) \exp\left(\frac{qV_G}{nKT}\right)$$

로 주어진다.

단 여기서

$$A = (4\pi m_t q / h^3) K^2$$

$m_t$ : 전도전자의 유효질량

$\delta$ : 산화막 두께 (Å)

X: 평균장벽높이 (eV)

$$V_{BO} = V_{DO} + \phi_n$$

$V_{DO}$ : bias를 인가하지 않았을 때의 surface potential

$\phi_n$ : bulk 내에서 conduction band edge 에 대한 fermi potential

$$n = -V_G / \Delta V_D$$

$\Delta V_D$ : 인가전압으로 인한 surface potential 의 변화

$V_G$ : 인가전압

이다.

윗 식에 의하여 전류 레벨이 산화막 두께와 더불어 저하됨이 예상되나 실재는 산화막두께가 증가하면  $V_{BO}$  가 감소되므로 이 문제는 단순하지 않은 것 같다. 아울러  $\log I - V_G$  관계는 반드시 선형적이지 아니므로 윗 식은 실험결과에 잘 부합되지 않는다.

이것의 원인으로서의 계면 근방의 SiO<sub>2</sub> 막의

불완전성 결함이나 표면준위 밀도분포, 장벽도  
 레벨의 불균일성,  $V_{BO}$ 의 산화막 두께에 의한  
 변화 등이 관여하는 것으로 보이며<sup>(3)</sup> 특히 MOS  
 구조의 표면준위 밀도분포는 전도대 및 가전자  
 대에 근접하여 두께의 미이크처를 가짐이 알려  
 지고 있으나 Si-SiO<sub>2</sub> 계면부근에 공간적인  
 서짐을 지니면서 존재한다고 생각되므로 그 전  
 자적 구조가 명백하지 않다.

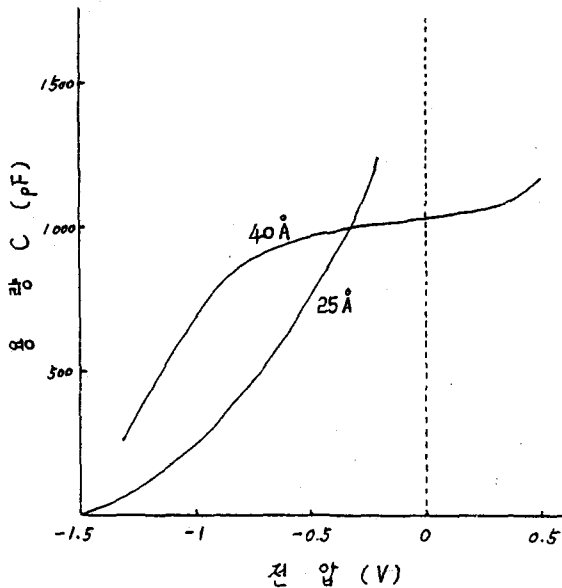
따라서 이들을 고려한 계산이 필요하다.

이를 위해 현재 (+)BT 와 (-)BT 처리를 통해  
 이 처리에 의한 표면준위 밀도분포의 변화를  
 검토 중이나 현재로서는 (-)BT 처리인 경우 (+)  
 전하의 증가가 엿보이나 이것은 Si 층 내의  
 Si 이 SiO<sub>2</sub> 층에 들어가 과잉Si 으로 되어  
 (+)전하가 증가하거나 계면에서 결합전자가  
 Si 층 내에 방출되므로 나타나는 구조변화에  
 인해 *dangling bonds*가 형성되기 때문에  
 (+)전하가 증가한다고 사료된다.

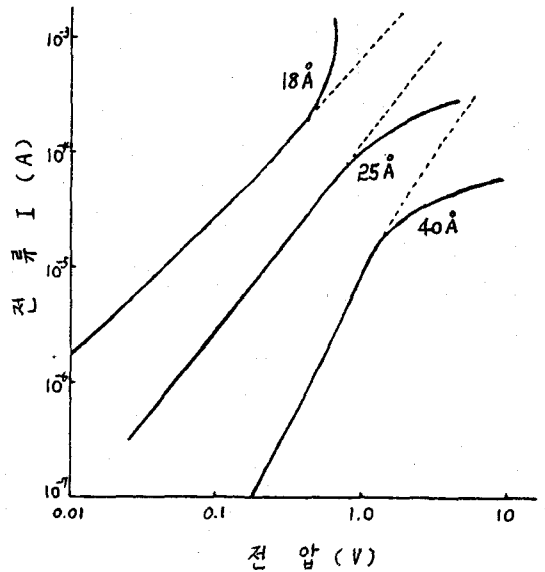
후 이들을 토대로 종합적으로 검토하여 보고  
 하겠다.

References

- (1) 성영권 외, 전기재료 학술발표 4-16-10  
 (1984), Characteristics of minority  
 carrier MOS tunnel diodes.
- (2) H.C.Card & E.H.Rhoderick, J.Phys.  
 vol.4, 1589 (1971)
- (3) L.B.Freeman & W.E.Dahlke, Solid  
 State Electronics, vol.13,1483(1970)



(그림-1) 전압 - 용량특성



(그림-2) 전압 - 전류특성