

Ordering type 계산구조의 병렬처리를 위한 VLSI Architecture
 A VLSI Architecture for parallel processing of an ordering
 type computational structure

김 영 근*

한국 과학기술원

오 영 환

계측소 자연구실

1. 서론

Non-numeric operation 을 주로 이용하는 ordering 형태의 계산구조는 data structures, graph algorithms, geometric algorithms, language recognition, dynamic programming 등 여러분야에 널리 이용될 수 있으며 인공지능형 차세대 컴퓨터의 개발로 그 중요성이 더욱 인식되기에 이르렀다. 본 고에서는 이들 계산구조의 병렬처리를 위해 잘 알려진 odd-even 및 bitonic merge 알고리즘의 구조를 실현시킬 수 있는 bit-serial compure-and-exchange(CE) cell 을 제시하고 이들을 이용해 ordering 알고리즘을 실현하는 network intensive VLSI 하드웨어 구조를 제시하였다.

2. 본론

Merge 동작은 두개의 순서대로 배열된 수의 sequence 를 순서로 배열된 하나의 sequence 로 바꾸는 동작이다. Merge 알고리즘을 이용하면 길이가 N 인

sequence 는 log N level 의 merge 동작으로 ordering 될 수있으며 level L 에서는 $N/2^{L+1}$ 개의 길이 2^{L+1} merge 동작으로 이루어진다.(그림 1 참조)

현재까지 잘 알려진 merge algorithm에는 odd-even merge algorithm 과 bitonic merge algorithm 이 있으며 이들은 각각 다음과 같이 recursive하게 표현될 수 있다.

```

Procedure Odd_Even_Merge(var D:D type;N,X:int);
begin
  if N = 2 then
    Sort2 (D(X), D(X+1))
  else begin
    De_shuffle (D, N, X);
    Odd_Even_Merge (D, N div 2, X);
    Odd_Even_Merge (D, N div 2, X+(N div 2));
    OEM_interleave (D, N, X);
  end; (Stage)
end; (Odd_Even_Merge)
    
```

```

Procedure Bitonic_Merge(var D:D type;N,X:int);
begin
  if N = 2 then
    Sort2 (D(X), D(X+1))
  else begin
    Shuffle (D, N, X);
    Sort2array (D, N, X);
    De_Shuffle (D, N, X);
    Bitonic_Merge (D, N div 2, X);
    Bitonic_Merge(D, N div 2, X+(N div 2));
  end; (Stage)
end; (Bitonic_Merge)
    
```

이들 algorithm의 구조를 그림 2 와 3 에 각각 나타내었다. 이상의 merge 알고리즘을 관찰하면 기본 processing unit는 compar-and-exchange cell 이라 불리우는 길이 2 인 merger 소작로 요약될 수 있다. 이 cell은 odd-even merge algorithm 을 이용하는 경우 ascending 혹은 descending 동작으로 고정할 수 있으나 bitonic merge 를 사용하는 경우 이들 동작의 control 이 가능하여야 하며 다양한 network 를 고려하여 그림 4 와 같이 설계하였다. 이들 cell 을 이용하여 odd-even merge based ordering 하드웨어 구조는 그림 5 와 같으며 CE cell 의 배치상 불균형성이 있게 된다. 그림 6 에 보인 bitonic merge based 하드웨어 구조는 CE cell 은 규칙적으로 배열이 가능하여 $O(N \log^2 N)$ 의 area complexity 를 갖게 된다. 이 경우 interconnection network 의 복잡성으로 설계 cost는 상승하나 차지하는 면적은 비교적 작다. 설계 cost 를 줄이기 위해서 동일한 interconnection network 인 shuffle exchange network 를 CE array 사이에 이용할 수 있으며 이 경우 동작은 아래와 같이 표시된다.

```

Procedure Shuffle_PE_array_Block(var D:
    D type;N:int; CA:array_control_type);
begin
    Shuffle (D, N, 0);
    CEcellArray (D, N, CA);
end; (Shuffle_PE_array)
    
```

Stage Level	S = 0	S = 1	S = 2	S = 3
L = 0	D_P(all_I)	D_P(all_I)	D_P(all_I)	A (cdd (I)) D (even (I))
L = 1	D_P(all_I)	D_P(all_I)	A (cdd (I)) D (even (I))	A(cdd(I div 2)) D(even(I div 2))
L = 2	D_P(ALL_I)	A(cdd(I)) D(even(I))	A(cdd(I div 2)) D(even(I div 2))	A(cdd(I div 4)) D(even(I div 4))
L = 3	A(all_I)	A(all_I)	A(all_I)	A(all_I)

* A: Ascending; * D: Descending; * D_P: Direct Pass; * I: Index for the CE function, units

3. 결론 및 제의

본 고에서는 rank-order statistics 문제의 일반화된 형태인 ordering 문제의 계산구조의 효과적인 실현을 위해 hardware의 병렬성을 최대한 이용하는 algorithm 의 구조와 이들의 VLSI 실현을 위해 bit-serial processing cell 및 이를 이용한 다양한 interconnection scheme 을 제시하였다. 이들 구조는 동작성능의 요구가 큰 gray level 영상신호처리의 non-numerical 동작을 위해 설계하였으나 일반적인 non-numerical operation 에도 널리 이용될 수 있을 것으로 사료된다.

앞으로 이들 cell의 일반화된 CE processing element 의 개발과 함께 이들을 이용한 iterative hardware 의 개발이 기대된다.

* 참고 문헌

1. C.D. Thompson and H.T. Kung, "Sorting on a Mesh-Connected Parallel Computer" Communications of the ACM, vol.20, pp. 263-271, April, 1977
2. David Nassimi and Sartaj Sahni, "Bitonic Sort on a Mesh-Connected Parallel Computer" IEEE Trans. on Computers, vol.C-28, No.1, pp.2-7, Jan. 1979

3. H. Stone, "Parallel Processing with the Perfect Shuffle," IEEE Trans. on Computers, vol.C-20, pp.153-161, Feb. 1971
4. C.D. Thompson, A complexity theory for VLSI, Comput. Sci. Dep., Chrnegie-Mellon Univ., Pittsburgh, PA., Aug. 1980
5. F.T. Leighton, Layouts for the shuffle-exchange graph and lower bound techniques for VLSI, M.I.T. Lab. for Comput. Sci., Cambridge, MA., June, 1982, Ph.D. dissertation MIT/CLS/TR-724

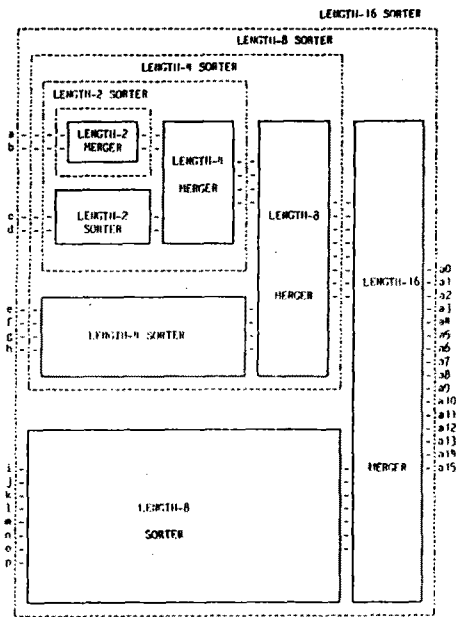


Figure 1 Recursive Structure of Merge Operation Based Sorting Algorithm for a 16-element Sequence.

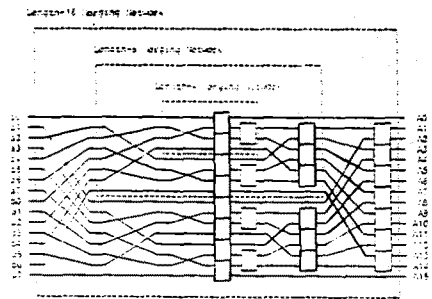


Figure 2 The Recursive Characteristic of the Odd-Even Merge Algorithm for Length-16.

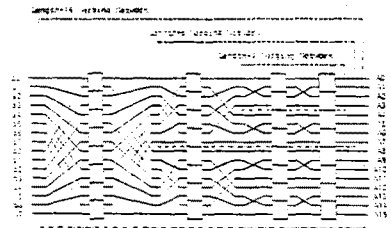
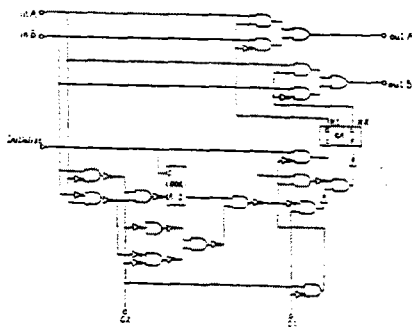


Figure 3 The Recursive Characteristic of the Bitonic Merge Algorithm for Length-16.



Control mode		Input state	Control state		Function
C0	C1		X1	X2	
0	0	X	1	0	Direct pass
0	1	X	0	1	Cross pass
1	0	inA > inB	0	1	Ascending
1	0	inA < inB	1	0	Ascending
1	1	inA > inB	1	0	Descending
1	1	inA < inB	0	1	Descending

그림 4. CE cell 구조회로도 및 그 동작

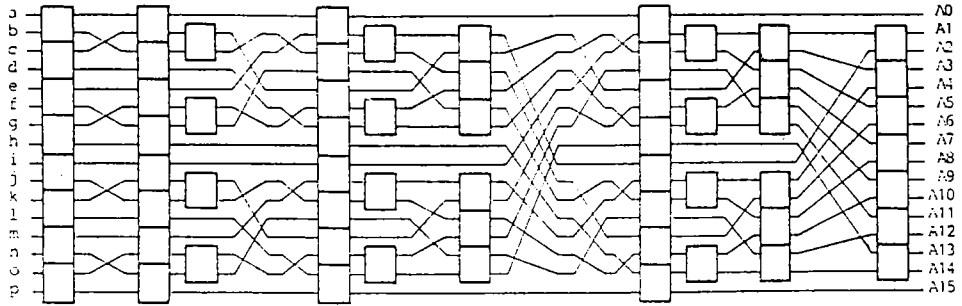


Figure 5. Sorting Scheme based on the Odd-Even Merge Algorithm (for Length-16 sequence).

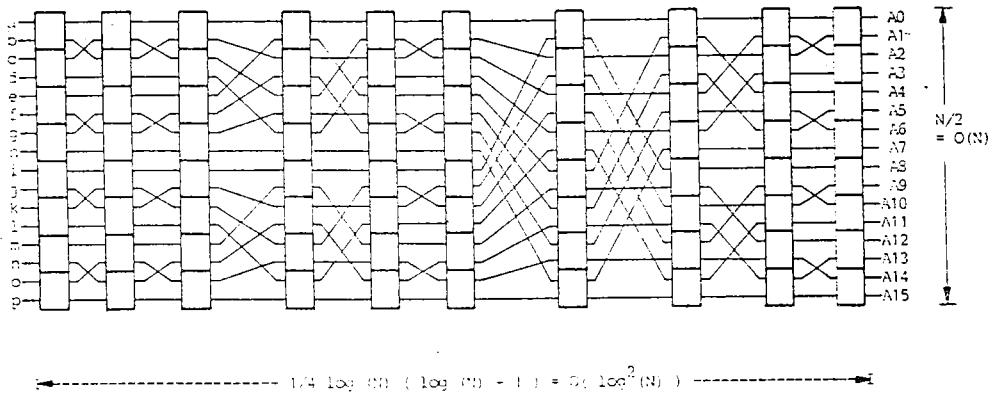


Figure 6. The Pipelined Network Structure Based on the Network Intensive Implementation.