

金 元 燮  
Kim Won Sob  
梁 海 權  
Yang Hae-kyun

金北大學校 工科大學 電氣工學科 教授  
蔚山開校大學校 電子工學科 專任講師

1. 서 론

마이크로프로세서를 사용한 실시간 디지털 신호처리장치는 저가, 유난성이 우수하여 계속, 제어분야에서 널리 사용되고 있다.<sup>1-2)</sup>

최근 LSI를 이용한 데이터처리 전용의 프로세서도 출현되어 있다.<sup>3-4)</sup>

공장의 프로세서 제어, 또는 자동차의 전자제어등 앞으로 마이크로 컴퓨터 시스템은 더욱 중요한 과제로 될 것이 예상된다.

디지털 시스템의 신뢰성을 높이기 위한 방법의 하나로 TMR(triple-Modular Redundancy)가 많은 실용 시스템에 채용되고 있다.<sup>5-10)</sup>

그런데 TMR에서는 3개의 모듈 모두가 동일 환경속에 설치되는 경우가 대부분이며 간결고장이 복수개의 모듈에 동시에 일어나는 가능성이 있고, 내부수복(Resynchronization)을 최적으로 하더라도 신뢰도를 어느 일정치 이상으로 개선하는 것은 불가능하다

본 논문은 동시고장상관의 영향을 배제한 새로운 방식의 디지털 신호처리 컴퓨터의 시스템, 구성을 연구한 것이다.

본 구성은 3중화된 마이크로컴퓨터 시스템으로서 고장 상관을 피하기 위하여 각각 독립한 전원과 지시계가 사용되어 각 모듈은 비 동기적으로 data의 수수를 향한다. 즉 아나로그 입력신호를 여분없이 디지털 신호처리의 3배 비율로 sampling하여 이들의 입력신호를 3개의 마이크로프로세서가 고장 상관을 피하기 위하여 서로 시간을 비키어 독립적으로 신호처리를 행한다.

이상의 방식에 기초를 둔 디지털신호처리장치의

Hardware 및 Software의 구조가 연구되고 그 신뢰도 해석과 종래의 TMR<sub>비교</sub>하여 고장상관이 강한 환경속에서도 신뢰도를 크게 향상할 수 있다.

2. 구 성

본 시스템은 Fig1의 기본구성도와 같이 3중화된 모듈에 의해 디지털 신호처리를 sampling주기  $T_s$ 로 독립적으로 실행한다.

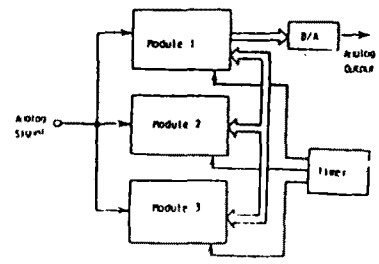


Fig. 1. Highly reliable digital signal processor

각 프로세서의 입력신호는 외부 timer에 의해 일정 주기  $T_s$ 로 interrupt로 sampling되어 그리고 신호처리된 3개의 출력은 data의 오류검출을 위한 비교가 행하여진 후 하나의 모듈에서 D-A변환기를 통해 출력하게 된다.

Fig2, Fig3은 동시고장상관의 영향을 배제한 본 system의 동작 timing chart를 나타낸 것이다

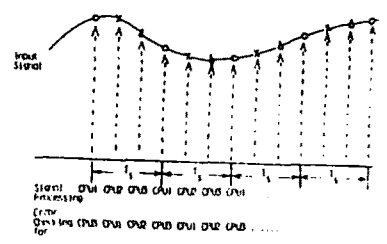


Fig. 2. input signal sample

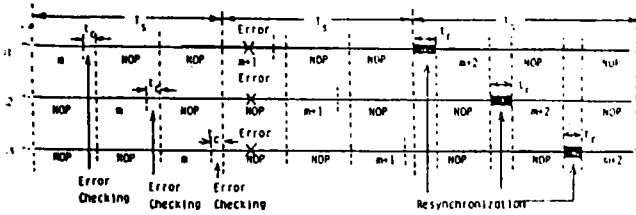


Fig. 3. Time chart Fig.

3. 오류검출과 수복

본 system은 3개의 processor에 있어서 입력신호가 상이한 시간에 sample되기 때문에 통상의 bit마다의 논리적 불일치를 검출하는 방법은 적용할 수가 없다. 이 때문에 신호처리특유의 아나로그적인 새로운 error검출법을 제안한다.

data가 극부적으로 기수치의 다항식으로 간주함으로써 2개의 연속한 data간의 3분할된 점에서의 값은 보간출식을 사용하여 구할 수 있다 13) 가장 일반적인 방법은 식(1)에 나타난 선형보간이다

$$Y = (Y_{n-1} + 2Y_n) / 3 \dots \dots \dots (1)$$

단  $Y_n$ 는 시간  $nTs$ 에 있어서의 출력을 나타내고 있다. Fig4는 식(1)의 주파수특성을 나타내고 있다.

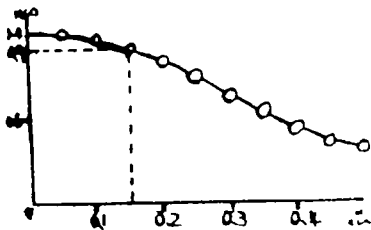


Fig 4 Frequency characteristic of Linear Interpolation

여기서  $f_s$ 는 sampling주파수  $1/T_s$ 이다. 입력주파수가 충분히 낮은 경우 보간된 data는 거의 참값과 같다. 특히  $f=0$ 인때 보간된 data는 참값과 꼭 들어 맞는다. 이와같이 보간에 의한 최대 오차를 식(1)에서 구한 것이 식(2)이다. 단  $M$ 은 출력 data의 Dynamic range+  $M$ 를 나타내고 있다.

$$\epsilon(f) = \frac{M}{3} \sqrt{14 - 6\cos \frac{4\pi}{3} \frac{f}{f_s} + 4\cos \frac{2\pi}{3} \frac{f}{f_s}} \dots \dots \dots (2)$$

error가 검출되면 간혹고장에 의해서 일어난 내부상태를 정지에 회복하는 필요가 있다. 식(4), (5)는 이와같은 내부수복의 algorithm을 나타내고 있다 여기서  $Y = Y_{n-1}/3$ 의 data의 회복된 값  $Y$ 를 나타내고 있다.

$$\left. \begin{aligned} Y^1 &= (Y_{n-1} + 2Y_n) / 3 \\ Y^2 &= (2Y_{n-2} + Y_{n-1} + Y_n) / 3 \end{aligned} \right\} \dots \dots \dots (3)$$

$$Y = \text{Median}(Y^1, Y^2, Y^3) \dots \dots \dots (4)$$

즉, 보간된 data를 포함한 대응하는 3개의 data를 비교하여 이들의 중앙치에 내부상태를 설정하는 것을 나타내고 있다. 이와같이 하여 다수결이 아니고 중앙치를 사용하는 것도 본 system의 특징이다.

4. Hardware & Software 구조

Fig5은 본 system의 각 모듈을 나타내고 있다 각 모듈은 마이크로프로세서, memory(RAM & ROM)

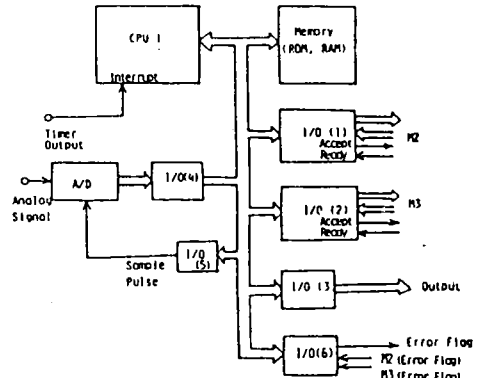


Fig 5. organization figure of each module

6개의 I/O보드 A-D변환기로 구성되어 있으며 독립한 전원과 시간을 갖고 있다. 입력신호는 외부타이머의 인터럽션(interruption)에 의해 sampling주기  $T_s$ 로 각 모듈마다 A-D변환된다. 또 출력신호는 I/O보드(3)에서 D-A변환기에 입력된다. I/O보드(1)(2)는 다른 모듈과의 비동기적인 data의 수수를 한다. I/O보드(6)은 오류검출결과를 다른 모듈로 송출하거나 다른 모듈에서 입력하기 위한 보드이다. Memory내의 program등 처리중에 변화하지 않는 data에 관해서는 간혹고장이 일어나더라도 그 값이 잘못된 상태가 되지 않도록 ROM에 격납하는 것은 당연하다.

Fig6은 본 system의 flowchart이다. 그리고 Fig.7,8,9은 각각 timer interruption Routine, 오류검출, 내부수복의 software를 나타내는 flowchart이다. 매개변수 k, N은 각각현재 처리하여야 할 입력 sample수와

Flag를 1로 하여 이 상태를 다른 모듈도 센스하는 것이 된다. Error Flag가 적어도 한개 이상의 모듈로 되어 있으면 다음의 입력신호의 샘플을 행한 후 간혹고장의 영향을 제거하기 위한 내부수복을 행한다.

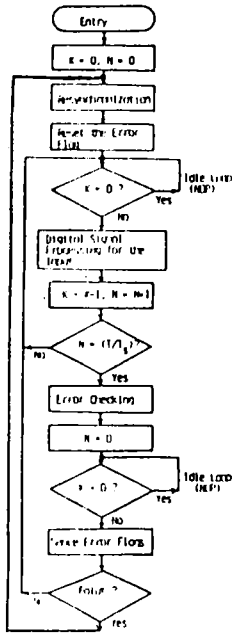


Fig. 6. General flowchart

오류검출을 행한 후의 신호처리의 회수를 나타내고 있다. k의 값은 interruption routine이 행해질때마다 인크리먼트(increment)되어 이 입력신호에 대한 처리가 종료한 후에 디크리먼트(decrement)된다. 따라서 k=0동안 프로세서는 No operation 상태에 있다.

신호처리가 어떤 소정의 회수  $N = T/T_s$ 에 이르면 전술한 바와 같은 방식에 기하는 오류검출이 행하여진다. 이때 error가 검출되면 I/O보-드 (6)

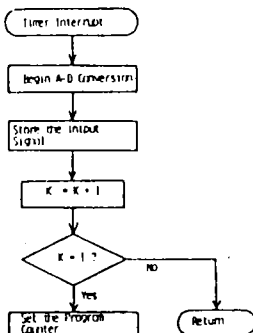


Fig. 7. Timer interruption routine

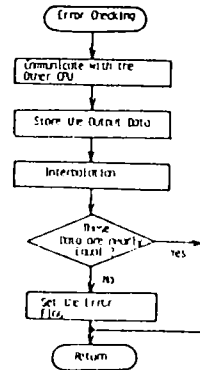


Fig. 8. Error detection

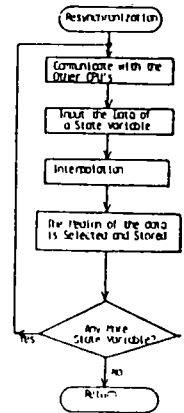


Fig. 9. Resynchronization.

### 5. 결 론

본 논문에서는 디지털데-타 처리특유의 새로운 오류검출법 및 내부수복법에 입각한 고신뢰화 system을 제안하였다. 복수개의 모듈의 고장상관이 강한 환경하에 있어서 종래의 TMR와 비교하여 크게 신뢰도를 향상시킬 수 있다는 것을 명백히 하였다.

신호처리의 많은 응용에 있어서는 입력신호는 센서-를 통하여 마이크로프로세에 투입된다. 이때 프로세서와의 접속배선이 길게 되기 때문에 입력신호에 잡음이 중첩하는 가능성이 많다고 생각된다. 본 system은 이런 경우에도 상이한 시간의 입력신호를 각각의 processor가 처리하고 있기 때문에 오류를 검출할 수 있다는 특성을 갖고 있다.

그러나, 본 방식은 오류검출의 정도를 올리기 위하여 sampling 속도를 충분히 빨리할 필요가 있다. 이 때문에 고속의 신호처리에 있어서는

더욱 고차의 모간을 사용한 오버샘플링이 요구된다  
고 생각되어 금후 더욱 본연구의 실효를 기하는데  
노력하려고 한다.

또 비동기적 data의 수수의 효율화와 이 때의  
고장상관의 배제의 방법등도 금후의 문제점이라고 본  
다.

### 참 고 문 헌

1. L. R. Rabiner and B. Gold: Theory and Application of Digital Signal processing. New Jersey: Prentice-Hall, Inc. (1975)
2. T. Higuchi, T. Saito and A. Kanomata: "A Microprocessor-Based Digital Filter Programmed in a Block Diagram Language," IEEE Trans. Ind. Electron. Contr. Instrum., Vol. 24, Aug(1977) 231~234
3. M. Townsend, M. E. Hoff, Jr., and R. E. Holz: "An NMOS Microprocessor for Analog Signal Processing," IEEE Trans. Comput., Vol. 29, Feb(1980) 97~102
4. T. Nishitani, Y. Kawakami, R. Maruta and A. Sawai: "LSI Signal Processor for Communications Equipment," in Proc. Int. Conf. on Acoustic Speech and Signal Processing, April (1980) 386~393
5. A. Avizienis, et al.: "The Star Computer: An Investigation of the Theory and Practice of Fault-Tolerant Computer Design," IEEE Trans. Comput., Vol. 20, Nov(1971) 1312~1321
6. J. A. Abraham and D. P. Siewiorek: "An Algorithm for Accurate Reliability Evaluation of Triple Modular Redundancy Networks," IEEE Trans. Comput., Vol. 23, July(1974) 682~692
7. J. E. Wakerly: "Transient Failures in Triple Modular Redundancy Systems with Sequential Modules," IEEE Trans. Comput., Vol. 24, May (1975) 570~573
8. J. E. Wakerly: "Microcomputer Reliability improvement Using Triple Modular Redundancy," Proc. IEEE, Vol. 64, June(1976) 889~895
9. J. H. Wensley, et al.: "SIFT Design and Analysis of a Fault Tolerant Computer for Aircraft Control," Proc. IEEE, Vol. 66, Oct. (1978) 1240~1255
10. I. Koren and S. Y. H. Su: "Reliability Analysis of N Modular Redundancy Systems with Intermittent and Permanent Faults," IEEE Trans. Comput., Vol. 28, July(1979) 514~520
11. 龜山, 勝巳: TMRによるフォルトトレザンディックロバビリティシステムの構成法, 信學技報 EMR 1 78~57, Jan(1979) 11~1612
12. M. Kameyama and T. Higuchi: "Design of Dependent Failure Tolerant Microcomputer System Using Triple Modular Redundancy," IEEE Trans. Comput., Vol. 29, Feb(1980) 202~206
13. R. W. Hamming: Digital Filters, Prentice-Hall, Inc. (1977)