

이 VDMOSFET구조는 평상시 turn-off되어 있다가 threshold 전압 이상의 전압이 인가 되면 turn-on하여 전기 전도하기 시작한다.

본 구조는 gate와 source가 수평으로 배치되어 있으나 drain은 n⁺ 위에 n⁻가 있는 구조로 되어, gate와는 수직으로 배치되어 있는 구조이다. 또 전류는 수직방향으로 흐르고, gate 구성 물질로는 polystlline과 알루미늄이 사용된다. 이 device에서 일반적인 doping profile은 n⁺-p- n⁻-n⁺의 구조로 되어있다. n⁺영역은 soure 영역을 이루고, p⁺영역은 channel bulk 영역, n⁻영역은 drain drift 영역을 이룬다. p⁻영역은 2중 확산 구조이며 short channel로 하여 break-down의 영향을 최소로 한 구조이다.

p-n⁺의 접합부는 zenor diode의 역할과 같은 역할을 한다.

실제적으로 제조되는 VDMOSFET의 구조에서 silicon 영역은 직사각형이나 육각형의 모양 구조로 되어 있다.

이 구조는 고속 스위칭 트랜지스터 소자와 bipolar transtor 소자의 대응으로 사용이 가능하다. VD(Vertical Double diffused)형태의 구조는 고전압으로 할 수 있으며 대전류로의 사용이 가능하므로 상용화가 되었으며 적은 구동전압으로 대전력 제어가 가능하고 bipolartransistor에 비하여 회로구성이 간단하게 되어 열적으로 안정한 장치를 구성할 수 있다.

또 전압 대 전류특성이 전압제어형이고 내압이 높고, carrier의 축적시간이 없으므로 스

위칭시간이 짧으며, 열폭주가 없고 구동회로가 간단하여 DC-DC Converter, switching regulator, PWM증폭, 초음파 응용회로등 외에도 많은 응용회로에 이용이 가능하다.

3. Graph plot에 의한 threshold 전압의 결정

Power VDMOSFET에서 drain 포화전류 I_{ds}(sat)은 다음 식으로 계산할 수 있다.

$$I_{ds(sat)} = A \mu_{eff} (V_{gs} - V_t)^n \quad (1)$$

여기서 V_t는 threshold 전압으로 device 1(MTM15N45)가 4.0(v), device 2(S1983)이 2.8(v)로 (1)식에 의해서 계산된다. 온도영역 293-428(°K)의 범위에서 구한 4개의 V_t 값은 그림 2와 같다. 여기서는 drain 전압을 20(V)로 고정시킨 상태에서 온도를 각각 일정값으로 한후 gate 전압을 변화시켜 I_{ds}(V_{gs}/I_{ds}) 값을 구하여 여기에서 구한 값과 각각의 온도에서 측정된 값을 least square 법으로 직선을 그어서 그림상의 x축과의 교점에서 V_t를 구하였다. 이는 각각의 온도에서 실측한 V_t값과 일치하였다.

여기서 구한 threshold 전압은 온도가 증가함에 따라 선형적으로 감소하는 현상을 보였다. 이와같이 VDMOSFET의 threshold 전압을 graph plot에 의해서 구할수 있음을 보였다. 이 graph에서 y축의 값은 다음과 같이 구할수 있다.

식 (1)의 I_{ds}를 V_{gs}로 나누면

$$I_{ds}/V_{gs} = nI_{ds}/V_{gs} - V_t$$

$I_{ds}(V_{gs}/I_{ds}) = Y$ 라하면

$Y = (V_{gs}/n) - (V_t/n)$ 이 된다

4. gate 전환전압의 결정

drain 전류 대 온도에 대한 실험은 drain 전압을 20(V)로 고정하여 하였고 이결과를 그림3에 나타냈다. 그림(3a)는 device 1에 대한 경우인데 (MTM 15145), gate 전압이 5.0 (v) 이하에서는 positive 온도 특성을 나타 내었고 5.0(v) 이상에서는 점차로 negative 저항 특성을 나타 내었다. positive 온도 특성에서 negative 저항 특성으로 전환되는 전환전압은 5(v)이었다. 그림(3b)는 Device 2의 경우인데 (S1983) positive와 negative 저항 특성의 한계치를 나타내는 gate 전환전압은 5(v)이었다. 측정된 전류값은 해당온도에서 얻어지는 drain 포화전류값이고 이 값에 대한 실험값과 계산값은 거의 일치하였다. 이동도와 온도상승을 고려하면 I_{ds} (T) 는 다음과 같이 변형된다.

$$I_{ds} = \mu_0 (T_0/T)^m (V_{gs} - V_t)^n$$

양면에 log를 취하고 미분하여 $V_{gs}(co)$ 를 구하면

$$V_{gs}(co) = V_t - (n/T/m)$$

이 gate 전환전압은 주로 gate threshold 전압과 온도에 의존 한다. 따라서 이 전환전압은 온도증가와 VDMOSFET channel의 doping농도가 증가 함에 따라서 증가 된다.

5. 결 론

본 논문에서는 power VDMOSFET의 gate 전압이 positive와 negative 저항 특성을 결정하는데 전환전압의 한계값에 대해서 연구 하였으며, 이 값을 구하는 이론적인 수식을 구하여 실험적인 결과를 비교한 결과 잘 일치 하였다. 이 전환전압은 gate threshold 전압에 의존 함을 알았다.

power VDMOSFET에서 온도와 관련하여 threshold 전압을 결정하는 방법은 많으나 본 논문에서는 graph plot에 의해서 threshold 전압을 결정하는 새로운 방법을 제시하고 이론적인 식과 비교하여 타당성을 입증 하였다. VDMOSFET의 drain 전류는 threshold 전압이 감소 됨에 따라서 증가 함을 보였다. VDMOSFET의 내부온도가 증가 함에 따라서 이동도는 고온영역에서 거의 선형적으로 감소 하였으며 두 device로 실험한 결과 최소한의 고온은 423(°k)이었다.

이 선형적인 감소는 시간 $T^{-1.5}$ 에 따랐고 이와같은 감소의 원인은 고온에서 VDMOSFET 내부의 channel에서 이동도가 감소 하기 때문 인것으로 본다. 온도가 증가됨에 따라서 gate threshold 전압은 감소 하였으며 온도 저항은 전압의 함수로 작용하지 않았다.

References

- 1) V.A.K. Temple and R.P. love, 'A600 Volt MOSFET with near Ideal on Resistance,' IEDM Conf Dlg. PP664- 662 1978.

2) Adolp Blicher, 'Field Effect and Bipolar power Transistor Physics,' Academic press, PP 270-305, 1981.

3) E.S. Ammar and T.J. Rogers, 'UMOS Transistor on (110) Silicon,' IEEE Trans. Electron Devices, Vol ED-27, PP.907-914, 1980.

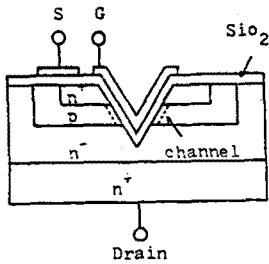


Fig.1. VDMOSFET STRUCTURE

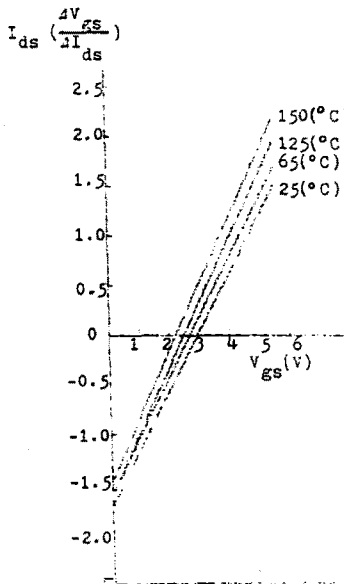
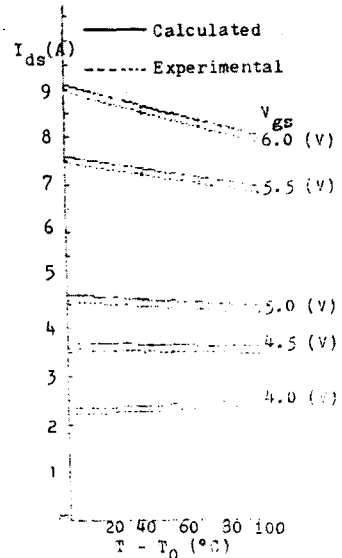
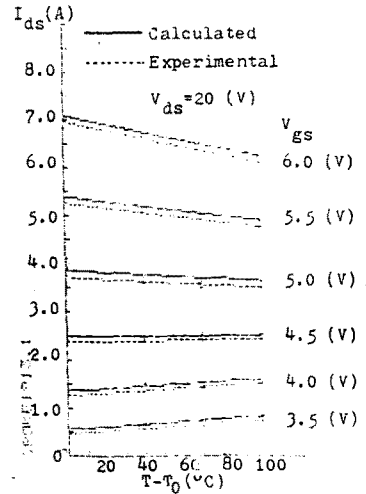


Fig.2. THRESHOLD VOLTAGE



(a)



(b)

Fig.3. GATE CROSSOVER VOLTAGE