

Semi-Custom 방식을 이용한 통신용 디지털 필터의 집적회로 설계

이 광 업, 김 봉 일, 이 문 기
연세 대학교 전자공학과

A Design of Digital Filter IC Using
a Semi-Custom Design Method

Kwang Youb Lee, Bong Ryul Kim, Moon Key Lee
Dept. of Electronics Engineering Yonsei Univ.

ABSTRACT

A VLSI digital filter design using a semi - custom method is described.

The digital filters composed of TDM/FDM Tran -multiplexer are designed.

Using the polyphase network approach a filter bank composed of only all-pass digital filter sections was designed. The use of all-pass filters as basic building blocks is shown to provide a transmultiplexer structure that has low computational requirements, low quantization noise, and high modularity.

The silicon compiler systems is used to reduce the design time and increase the credibility of designed filters.

A design of 1st order and 2nd order all pass filters is done using CMOS 2um N-well double metal cell.

1. 서 론

신호처리용 소자는 전자공학에서 매우중요한 역할을 한다. 이러한 소자를 사용하는 시스템의 구성을 좀더 간단하고 경제적으로 하기 위해서는 집적회로가 요구된다.

특히, 디지털 필터는 MOSVLSI 기술을 이용하면 경제적이고 효율적인 필터의 제작이 가능하다.

필터의 설계는 system level 에서 layout level

까지 전 영역을 고려하기 때문에 매우
일이다.

본 연구에서는 아날로그 다중통신과 디지털 다중통신의 교환에 사용되는 TDM/FDM 변환장치[1]의 디지털 필터 집적회로를 설계하였다.

TDM/FDM 변환방식은 크게 FFT방식과 비 FFT방식으로 구분된다.[2]

본 연구에서는 처리속도가 빠른 다상회로와 DCT 를 이용하는 FFT 방식 TDM/FDM 변환장치의 채널필터를 VLSI 집적회로로 설계하였다.

특히, 높은 모듈화에 의한 설계시간 단축, 적은 계산량, 낮은 양자화 잡음의 장점을 갖도록 [3] 채널필터의 원시형(prototype) 필터를 2차의 전대역 통과 필터(All-pass filter)로 구성하였다.

이 방식은 systolic array FFT 프로세서[4]를 이용하여 TDM/FDM 변환장치의 DSP블럭을 구성하는데 용이하다.

따라서 본 연구에서는 채널필터의 기본블럭이 되는 1차, 2차전대역 통과 필터 집적회로를 설계하였다.

설계시간 단축과 설계된 필터의 신뢰성을 높이기 위해 실리콘, 콤파일러를 이용하고 설계는 CMOS 2um N-well 이중 메탈 공정으로 하였다.

2. 전대역 통과 필터에 의한 TDM/FDM 변환장치
TDM/FDM 변환장치의 주된 동작은 DSP블럭내에서 원하는 채널의 입력신호를 선택하는 것이다.

여기에는 SSB 변조방식과 다상회로에 의한 방식이 있다. 다상회로를 사용할 경우 구조는 복잡하지만 계산량이 감소하여 변환이 빠르다. [5] 다상회로를 이용한 24채널 변환장치는 4-52KHZ에 12개의 입력신호가 들어가며 112KHZ로 샘플링된다. 0-4KHZ와 52-56KHZ는 보호대역이 된다.

그림-1과 같이 원하는 채널의 신호를 얻으려면 각 채널에 맞는 중심 주파수를 갖는 대역폭과 필터가 설계되어야 하나 원시형의 저역통과 필터를 구성하고 나서 주파수 변환을 하면 된다.

원시형 필터의 전달함수는

$$H(z) = \sum_{k=0}^{2N-1} z^{-k} H_k(z^N) \quad (N: \text{채널수})$$

와 같이 표시되고 $\pm \omega_n$ 으로 주파수 이동된 채널 필터 $G_n(z)$ 은

$$G_n(z) = H(z e^{j\omega_n}) + H(z e^{-j\omega_n}) \text{ 이다}$$

따라서 FDM신호 $Y(m)$ 은 G_n 에 의해 추출된 sideband 신호의 합으로 얻게된다. 즉

$$Y(z) = \sum_{n=0}^{M-1} X_n(z^N) G_n(z) \\ = \sum_{k=0}^{2N-1} z^{-k} H_k(-z^N) \cdot \left\{ \sum_{n=0}^{M-1} z \cos k \omega_n X_n(z^N) \right\} (1)$$

이며, 두변제항을 time index m 에서 다시 표현하면

$$U_k(m) = \sum_{n=0}^{N-1} 2 (\cos k \omega_n) X_n(m), \quad k=0, 1, \dots, 2N-1$$

식(2)는 N 입력신호를 갖는 DCT가 된다.

TDM신호를 FDM신호로 얻기 위해서는 위 식(1)을 계산하면 되는데 이것을 DCT와 필터 bank로써 구현할 수 있다. 그림-2는 DCT와 채널 필터로 구성되는 TDM/FDM변환장치 블록다이어그램이다. 이때 채널필터는 대역통과 필터와 interpolation필터로 분리될수있다. High sampling rate는 계산이 복잡하기 때문에 low sampling rate로 대역통과 필터와 DCT를 거친후 sampling rate를 증가시키면 회로가 좀더 간단하게된다. [6]

한편 대역통과필터를 IIR전대역통과 필터의 병렬 연결로 구성하게되면 계산량은 감소하게된다.

그림-3은 대역통과필터와 interpolation필터를 전대역통과 필터만으로 구성된 TDM/FDM변환장치를 나타낸다.

3. 원시형 필터의 전달함수 계산

본 연구에서는 TDM/FDM변환장치의 원시형 저역통과 필터를 두개의 전대역통과 필터를 병렬 연결하여 구성하였다. 필터의 설계절차는 [7]는 다음과 같다.

1) 필터의 특성 결정

24채널 TDM/FDM변환장치를 전대역통과필터를 이용하여 구성할 경우 원시형 저역통과 필터는 CCITT규정에 따르며 그 특성은 다음과 같다. 주파수 특성은 그림-4와 같다.

sampling rate : 4KHZ

pass band frequency : 0-1.7KHZ < 0.25db

stop band frequency : 1.76-2.0KHZ > 70db

2) 필터의 전달함수 계산

설계하고자하는 필터는 8차의 타원형 IIR필터이며 프로그램에 의해 계산된 pole, zero값은 표-1에 수록되어 있다.

3) Polynomial $Q(z)$ 계산

계산된 pole, zero를 이용하여 전달함수 $H(z) = \frac{P(z)}{D(z)}$

을 구하며 이것을 이용하여 $Q(z) = P(z) - ZD(z)$ 의 값을 갖는 $Q(z)$ 을 구한다. 이때 $Q(z)$ 은 대칭성의 특성이 있기 때문에 반복적인 방법으로 구할수 있다.

4) All-Pass network의 pole, zero로 변환

$Q(z) + P(z)$ 의 근을 구하면 이근이 주어진 IIR필터를 All-pass network으로 구성할때 pole이 된다.

5) All-Pass network의 전달함수 계산

그림-5는 8차의 IIR필터를 4개의 All-pass network으로 구성된 블록 다이어그램이다. (4)에서 구한 8개의 pole은 unit circle내부와 외부로 분리하고 내부pole은 A_1, A_2 의 전달함수를 결정하고 외부pole은 A_3, A_4 의 전달함수를 설정한다.

4. 원시형 필터의 집적회로 설계

일반적인 2차전대역통과 필터의 전달함수는 $G(z) = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{1 + b_2 z^{-1} + b_3 z^{-2}}$

로 표시된다. 앞에서 구한 4개의 All-pass network의 전달함수로 부터 각각 b_2, b_3 를 구하게 되고 이 계수는 회로에서 급셈기의 입력값이 된다.

2차 전대역폭과 필터는 16가지의 다른 [8]구조로 구성이 된다. 본 논문의 IIR필터는 pole position이 $r_1=0.24804$, $r_2=0.74426$ 이기 때문에 잡음특성과 계산양에 의한 지연시간을 고려하여 그림-6의 구조를 택하였다.

집적회로로 구현하기 위한 블럭다이어그램은 그림-7이며 그림-8은 interpolation필터를 구성하기 위한 1차 전대역 통과 필터의 블럭다이어그램이다.

최로네의 데이터 형태는 2's complement와 sign magnitude를 병행하였다. 데이터의 길이는 칩의 면적과 데이터 손실 여부를 고려하여 결정[9]하여 입력 데이터 13비트, 계수 데이터 11비트로 하였다. 데이터는 fixed-point 형태로 하고 입력 값이나 내부데이터값이 항상 1을 초과하지 않도록 scale하고 최종출력에서 복원하는 방식을 택하였다. 회로의 정상동작 검증은 function시뮬레이터[10]로 하였으며 2차 order all-pass 필터의 시뮬레이션 결과는 그림-9와 같다. 계수를 $b_2=03Fx$, $b_3=47Ax$ 로 하고 K2bus에 입력 0100x를 넣고 출력ibus에서 0100x를 확인하였다. 집적회로의 설계는 실리콘, 콤파일러[11]를 이용하고 CMOS 2um N-well이중메탈 셀로 설계하였다. 설계된 칩의 결과는 다음과 같다.

1 차 필터	메이아웃면적	2652X4433um
	Tr 개수	7530 개
	소비 전력	37.9 mw
	지연 시간	min 18ns max 330ns
2 차 필터	메이아웃면적	5334 X 4300 um
	Tr 개수	12370 개
	소비전력	51.3 mw
	지연 시간	min 11.3ns max 350ns

설계된 칩의 레이아웃은 그림-10, 11에 나타나있다.

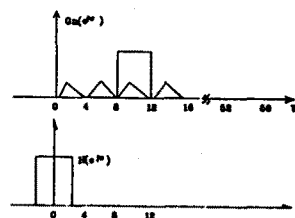
5. 결 론

본 연구에서는 TDM/FDM변환장치에 사용되는 채널필터의 원시형 저역통과필터를 All-pass필터로 구성하고, 기본 블럭이 되는 1차, 2차 All-pass필터의 집적회로를 설계하였다. All-pass필터를 이용한 다상회로의 구현으로 전체시스템의 계산양은 0.176x10M/S.CH로 적은 계산양을 요구한다. 설계된 칩의 소비전력과 지연시간을 고려하여 24채널

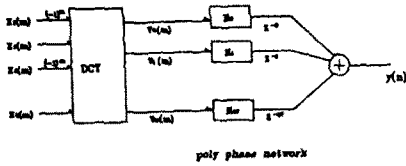
TDM/FDM변환장치를 설계할 경우 TTL, LSJ, DSP를 이용한 방식보다 경제적이고 신뢰성 높은 시스템이 구현된다. 앞으로 처리속도가 개선된 bit-serial데이터 처리방식을 이용하여 필터를 설계한다면 좀더 칩의 면적을 감소시킬 수 있다.

6. 참고문헌

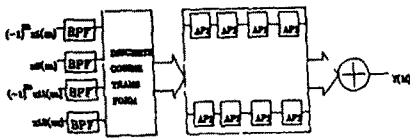
- HELMUT SCHEUBERMAN, "A comprehensive survey of digital transmultiplexing methods", proc of IEEE, Vol 69, Nov, 1981
- FRRERY, "TDM/FDM Translation as an application of digital signal processing", IEEE com mag, Jan, 1980
- BEDR LIU, "Transmultiplexer desing using all-pass filters", IEEE Tr on com, com-30, July 1982
- 최병은, "2차원 시스토픽 FFT프로세스 설계" 연세대학교 석사학위 논문 1986
- BELLANGER, "TDM/FDM Transmultiplexer: digital polyphase and FFT", IEEE Tron com, com-22, Sep, 1974
- BELLANGER, "Digital filtering by polyphase network: application to samplrate alteration and filter banks", IEEE Tr on ASSP, ASSP-24, April, 1976
- VAILYANATHAN, "A new approach to the realization of low-sensitivity IIR digital filters", IEEE Tr on ASSP, ASSP-34, April, 1986
- MITRA, "Digital all-pass networks" IEEE Tr on CAS, CAS-21, Sep, 1974
- BELLANGER, "On computational complexity in digital transmultiplexer filters", IEEE Tr on COM, COM-30, July, 1982
- GENSIL SILICON COMPILER FUNCTION SIMULATOR Korea Silicon Tech.CO.
- GENSIL GUNCTION SET VOL-I, II, III USER'S MANUAL Korea Silicon Tech.CO.



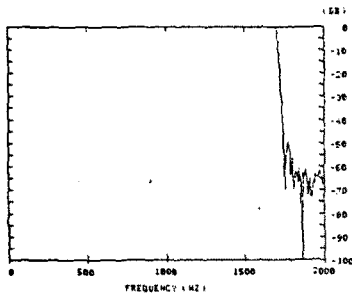
<그림-1> 채널필터와 원시형 필터



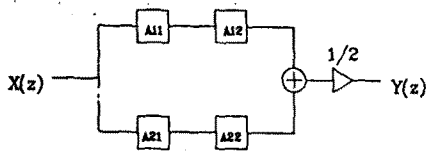
<그림-2> 다상회로와 DCT를 이용한 TDM/FDM 변환장치



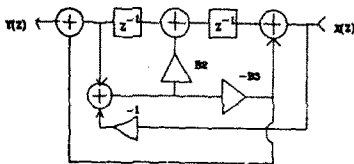
<그림-3> All-pass필터를 이용한 TDM/FDM 변환장치



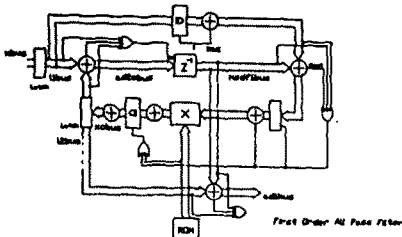
<그림-4> 원시형필터의 주파수 특성



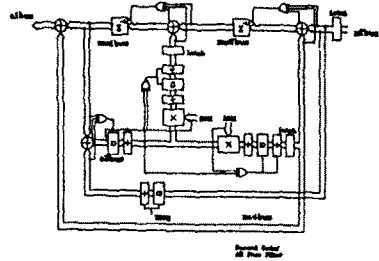
<그림-5> All-pass필터로 구성된 저역통과 필터



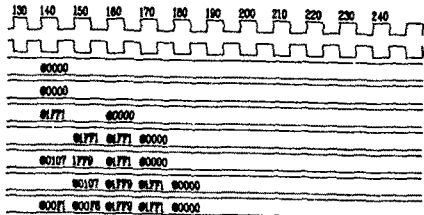
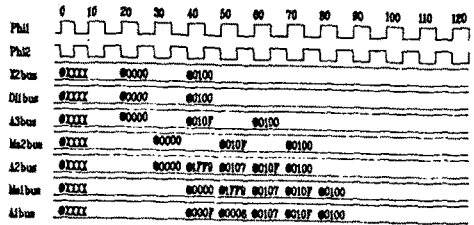
<그림-6> 2차 All-pass 회로의 구조



<그림-7> 1차 All-pass필터의 블록 다이어그램

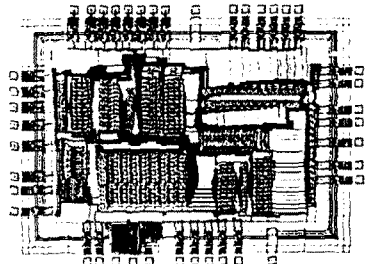


<그림-8> 2차 All-pass필터의 블록 다이어그램

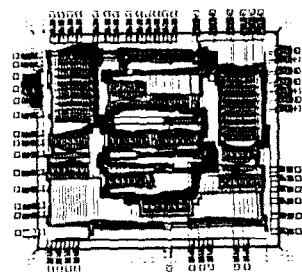


<그림-9> 2차 All-pass필터에 대한

Function Simulation 결과



<그림-10> 1차 All-pass필터의 레이아웃



<그림-11> 2차 All-pass필터의 레이아웃

POLES		ZEROS	
REAL	IMAGINARY	REAL	IMAGINARY
-0.81744	.443971	-.928721	.370780
-.829892	.456918	-.941699	.336456
-.684167	.481287	-.968113	.250513
-.314690	.325246	-.995381	.096005

<표-1> 원시형 필터의 pole, zero