

다중 프로세서 전전자 교환기의 구조 및 성능 분석

박 헌 철, 권 옥 현  
서울대학교 공과대학 제어계측과

Architecture and performance analysis of multiprocessor ESS

Heon Chul Park, Wook Hyun Kwon

Dept. of Control and Instrumentation Eng., Seoul National Univ.

Abstract

This paper proposes analytic models of the large scale ESS's control system which has the multiprocessor architecture.

The performance indices such as the ringback tone delay, busy tone delay, queue length and processor idletime are investigated through the analytic model. The system bottleneck is also analyzed.

For the validation of analytic models, its simulation is performed using the SDL/SIM package for the case of 100,000 subscribers. From computer simulation, the results of analytic models are shown to be similar to the results of simulation models, which validates the analytic models.

1. 서론

컴퓨터 산업의 비약적인 발전으로 종래의 기계식 전화 교환기는 마이크로 프로세서를 사용한 전전자식 교환기로 변천하여 왔다.

전전자 교환기와 같은 대형시스템의 설계시에는 시스템의 안정도, 신뢰도 및 성능 평가에 대한 연구가 함께 수행되어야 한다. 교환기의 성능을 말할때는 다음의 지표를 참조한다. 즉 가입자 수용 능력, 통화로의 용량, 최대 호처리 능력, 블로킹 확률, 다이얼 톤 지연시간, 링 백톤 지연시간, 비지톤 지연시간 등이다. 위의 사항 중에서 가입자의 수용능력과 통화로 용량은 시스템의 하드웨어에 의하여 직접 결정되는 양이므로 그 값을 쉽게 구할 수 있다. 그러나 그밖의 사항은 각 사항을 시스템의 성능 지표로 설정한 다음 큐잉모델을 사용하여 해석적 해를 구하는 방법과 시뮬레이션에 의한 방법과 측정에 의한 방법이 있다. 위의 세가지 방법들은 각각의 장단점이 있으므로 시스템의 성능평가시에는 각각의 장점을

살려 상호 보완적으로 사용하여야 한다. 교환기의 성능 분석에 관한 연구로는 AXE-10 시스템의 시뮬레이션 모델에 관한 연구(1) 와 GTD-5 EAX 분산 제어식 전자 교환기의 실시간 시뮬레이터(Simulator)에 관한 연구(2) 가 있으며 국내의 연구로는 TDX-1 에 관한 성능 평가연구(3),(4),(5) 등이 있다.

여기서는 대용량 전전자 교환기를 위한 다중 프로세서 구조의 몇몇 모델을 대상으로 하여 해석적 모델과 시뮬레이션 모델을 세우고 이를 통하여 시스템의 성능 분석을 한 후 비교하였다.

해석적 모델 수립에 있어서는 TDX-1 의 소프트웨어 구조를 참조하여 각 모델의 제어계를 큐잉망(queueing network)으로 표시하고, 각 프로세서에 할당되는 부하를 바탕으로 최대 호처리 용량과 링백톤 지연시간, 평균 큐 길이 등의 시스템의 상태에 관한 대략적인 해를 구하였다. 시뮬레이션 모델은 교환기 제어계의 중추적인 역할을 하는 상위 프로세서(top level processor)를 중심으로 하여 TDX-1 의 소프트웨어 구조를 응용하여 자국 호인 경우에 대하여 시스템의 성능에 관하여 조사하였다.

2. 모델 시스템의 구조 및 동작

시스템을 묘사하는 모델을 수립하기 위해서는 대상 시스템의 구조 및 동작에 대한 정확한 이해와 분석이 필요하다. 전전자 교환기 시스템은 음성신호를 전달하여 주는 통화로계와 각종 신호장치 전원등을 포함하는 부속 장치 및 이들 통화로 및 부속장치의 제어와 호처리 시스템의 운용, 보전을 담당하는 제어계로 구성되어 있다(16)

17]. 통화용량과 서어비스 품질에 관한 해석에서 가장 중요한 기능은 호처리 기능이다. 호처리는 대부분 제어계에서 이루어지기 때문에 교환기의 용량과 성능에 관한 해석을 위해서는 제어계의 호처리 기능을 분석하는 것이 중요하다.

초기의 전자 교환기의 경우 일반적으로 교환기의 대부분의 기능이 미니컴퓨터를 사용한 중앙 제어(centralized control)방식이었으나 점차 마이크로 프로세서의 발달로 인하여 다수의 프로세서에 의한 분산 제어(distri-

buted control) 방식으로 변천되어 왔다.

전전자 교환기가 수행하여야 할 제어 기능을 구분하여 보면 신호처리기능, 호처리 기능, 데이터 베이스 기능, 그룹 스위치 제어 기능, 유지 보수 기능, 관리기능, 공통선 신호처리기능, 패킷 데이터 교환기능 등이 있다.

여기서는 자국호에 영향을 주는 부분에 관한 제어계의 구조에 대하여서만 다루었으며 각 기능의 명칭은 TDx-1의 모듈과 같게 정하였다. TDx-1의 모듈은 다음과 같이 나뉘어진다.

- 가) SLP ..... 가입자 선로를 제어하며 호처리 기능을 담당한다.
- 나) SWP ..... 그룹 스위치의 제어를 담당한다.
- 다) NTP ..... 데이터 베이스 관리기능을 담당한다.
- 라) SAP ..... 각종 정보등의 시스템의 관리기능을 담당한다.
- 마) SMP ..... 시스템의 유지 보수 기능을 담당한다.

모델 1의 제어계의 구조는 기능별 본산제어구조를 갖는 시스템으로 각 모듈의 통신은 토큰 링(token ring)의 구조를 이용하며, 여기에는 상의 레벨의 프로세서들만이 노드(node)를 갖게되는데 호 처리 기능을 갖는 프로세서(SLP), 데이터 베이스를 관리하는 프로세서(NTP), 그룹 스위치를 제어하는 프로세서(SWP), 유지 보수를 담당하는 프로세서(SMP), 관리를 담당하는 프로세서(SAP)를 모델링하였다. 이 모델은 자국호에 대한 것만을 모델링하였으므로 국간 중계 호 처리기능, 공통선 처리 기능, 패킷 데이터 교환 기능은 제외하였다. 이런 형태의 교환기로는 AXE-10 등이 있다.

이 모델은 각 프로세서의 상의 레벨 프로세서만을 모델링하였으므로 전전자 교환기의 신호 처리기능은 외부 환경으로 가정하였다. 그림 [2.1]은 모델 1의 다이어그램이다.

모델 2의 구조는 모델 1과 같은 SLP, NTP, SWP, SAP, SMP 등의 기능 블록으로 구성되어 있으나 각 모듈간의 통신은 SWP가 담당하는 성형망 구조로 이루어진다.

성형망 구조를 선택할 경우 각 프로세서에서 전송을 요하는 프로세서간 메시지가 생성될 때마다 각 프로세서에서 메시지 처리 장치로 메시지를 즉시 보낼 수 있다는 장점이 있다. 이처럼 데이터 베이스 기능을 본산 수용하는 시스템으로는 PROTED 100/60 이 있다. 그림 [2.2]는 모델 2의 다이어그램이다.

모델 3은 모델 1과 같은 방식의 통신을 한다. 그러나 모델 1과 다른 점은 데이터 베이스 기능을 갖고 있는 부분을 호처리를 담당하는 SLP에 본산 수용한 점이 다르다. 전전자 교환기의 추세는 점진적으로 시스템의 기능을 호처리를 담당하는 프로세서에 기능을 본산시켜 가고 있다. 그림 [2.3]은 모델 3의 다이어그램이다.

두 가입자 사이의 통화가 성공적으로 이루어지기 위해서는 여러가지 작업과 상당한 양의 프로세서간의 메시지 교환이 있어야 한다. 다음의 그림 [2.4]은 TDx-1의 자국 통화시의 메시지 교환에 관한 그림이다.

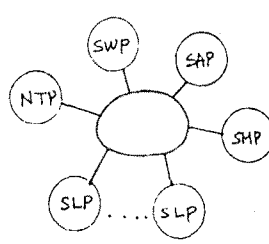


그림 [2.1] 모델 1의 다이어그램

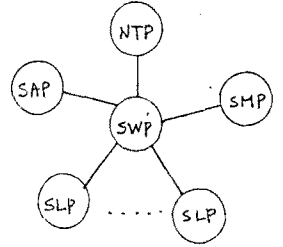


그림 [2.2] 모델 2의 다이어그램

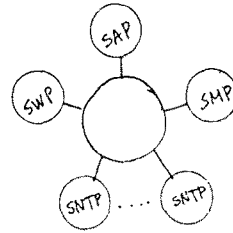


그림 [2.3] 모델 3의 다이어그램

모델 1,2,3의 경우의 메시지 교환은 그림 [2.4]의 TDx-1의 IPC(Inter Processor Communication)를 바탕으로 구성하였다. 그러나 모델 3의 경우의 IPC는 SLP와 NTP가 한 모듈이므로 SLP와 NTP간의 IPC는 없게 된다.

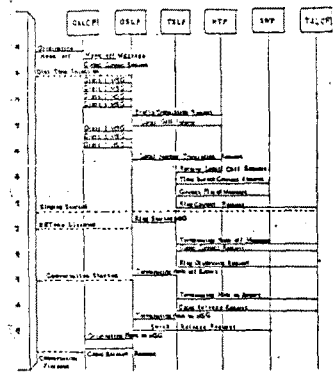


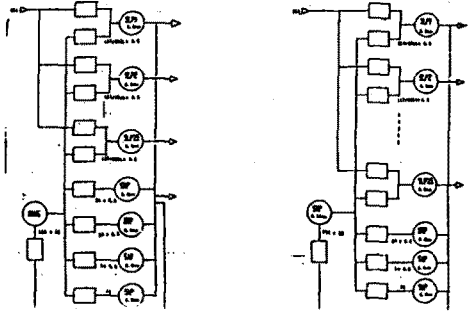
그림 [2.4] TDx-1의 IPC

### 3. 해석적 모델에 의한 성능 해석

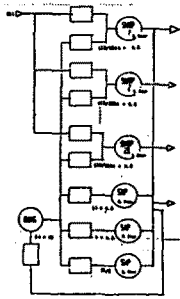
각 모델 시스템의 제어계를 보면 제어계를 구성하는 여러 프로세서들은 각각 단일큐 및 단일 서어비스로 이루어지는 큐임 시스템으로 모델링할 수 있고 모델 1,3의 경우 상의 레벨 프로세서간의 통신을 담당하는 토큰 링의 경우 순환서어비스 큐(cyclic service queue)로 모델링할 수 있다. 또 모델 2의 경우는 FCFS(First Come First Service)의 서어비스 정책(discipline)을 갖는 단일 큐임 시스템으로 간주했다.

그러나 모델 1,3의 경우, 순환 서어비스 큐를 사용하여 시스템을 모델링할 경우 복잡한 큐잉량(queueing

network) 으로 표현되므로 이에 대한 해석이 어려워진다. 그래서 좀더 단순화한 모델을 얻기 위하여 상의 레벨 프로세서 모듈 내의 전송 서어비스를 각 프로세서의 TOQ 들을 순차적으로 서어비스해주는 순환 서어비스 큐로 보지 않고 FCFS 의 서어비스 방식을 갖는 단일 큐링 시스템으로 간주하였다. 그림(3.1), (3.2), (3.3) 은 각각 모델 1, 2, 3의 큐잉 모델이다.



그림(3.1) 모델 1의 큐잉모델 그림(3.2) 모델 2의 큐잉모델



그림(3.3) 모델 3의 큐잉모델

각 모델의 제어계 내의 각 프로세서들은 매 40ms마다 입력 큐가 비어있는지를 조사하여 해당 메시지에 대한 서어비스를 행하는 방식을 채택하고 있으므로 실제로는 메시지가 있더라도 RTC(Real Time Clock) 인터럽트가 발생하기 전까지는 그 사실을 모르고 메시지에 대한 서어비스를 행하지 않게 된다.

본 연구에서는 시스템의 상태를 고부하(high traffic) 상태와 저부하(low traffic) 상태로 구분하고 고부하 상태에서는 FCFS 의 서어비스 정책을 갖는 M/M/1 큐로 간주하여 해석하고 저부하에서는 deterministic approach 에 의한 근사적 해를 구하는 방법을 사용했다. 각 모델에 있어서 시스템내의 부하 밀도는 다음과 같이 주어진다.

$$\rho = \frac{\lambda}{\mu}$$

$\rho$  : 부하 밀도  
 $\lambda$  : 메시지 발생 빈도 (1 / sec)  
 $\mu$  : 메시지 서어비스 빈도 (1 / sec)

각 모델의 오버헤드(overhead)를 고려하지 않을 경우  $\rho=1$ 이 되는점이 최대 초처리 용량이 된다.

상의 레벨의 프로세서들은 TDx-1과 같은 소프트웨어 구조를 갖는다고 가정하였으므로 각 프로세서 모듈은 RTC(Real Time Clock) 인터럽트에 의하여 입력 큐를

조사하여 각 메시지에 대한 서어비스를 행하므로 RTC 에 의한 큐 non-empty flag 이 set 되기 전에는 실제로 큐에 메시지가 있어도 CPU 는 휴지 상태를 유지한다.

RTC 인터럽트의 주기를 40ms로 가정하였다. 따라서 평균 큐길이는 40ms 동안 그 프로세서에 도착한 메시지의 수에 의하여 결정되므로 다음의 식으로 구할 수 있다.

$$TIQ_{ave} = \text{초당메시지 도착수} \times \frac{40\text{ms}}{1000\text{ms}}$$

$$= \text{초당 메시지 도착수} / 25$$

윗 식은 저부하에서 성립하는 식이며 부하가 높아지게 되면 40ms 동안 서어비스할 수 있는 양보다 더 많은 양의 메시지가 도착하게 되는 경우가 발생하게 되면 남은 메시지는 다음에 들어오는 RTC 인터럽트 이후에 처리하게 되고 큐길이는 윗 식에서의 값보다 더 큰 값을 갖게된다. 이번 고부하에서의 큐잉 시스템은 M/M/1 큐로 근사 가능하므로 큐길이는 다음의 식으로 주어진다.[8]

$$TIQ_{ave} = \frac{\rho}{1 - \rho}$$

여기서  $\rho$  는 해당 프로세서의 부하 밀도이다.

링백톤 지연 시간은 가입자가 마지막 숫자를 입력한 뒤에 그에 따르는 신호음을 듣기까지 걸리는 시간을 말한다. 각 모델의 링백톤 지연 시간은 다음의 식으로 주어진다.

가) 모델 1

$$Trbt = 10 \times Trtc + Tser$$

나) 모델 2

$$Trbt = 8 \times Trtc + Tser$$

다) 모델 3

$$Trbt = 9 \times Trtc + Tser$$

$Trbt$  : 링백톤 지연 시간  
 $Trtc$  : RTC 인터럽트 주기  
 $Tser$  : 프로세서 서어비스 시간

비지톤 지연 시간은 가입자가 마지막 숫자를 입력한 후, 상대방의 통화 증으로 인하여 비지톤을 듣기까지 걸리는 시간을 말한다.

각 모델들의 비지톤 지연 시간은 다음과 같이 계산할 수 있다.

가) 모델 1, 모델 2

$$Tbtd = 6 \times Trtc + Tser$$

나) 모델 3

$$Tbtd = 5 \times Trtc + Tser$$

$Tbtd$  : 비지톤 지연 시간

프로세서의 휴지시간은 다음의 식으로 계산된다[9].

$$Tidle = 1 - Nmsg \times Tmser - Toh$$

$Tidle$  : 프로세서 휴지 시간

$Nmsg$  : 메시지의 수

$Tmser$  : 메시지 처리시간

$Toh$  : 오버헤드 시간

#### 4. 시뮬레이션 결과와 해석적해의 비교

축적 프로그램 제어(stored program control) 방식을 사용한 스위칭 시스템의 내부 기능 및 구조를 표현하는데

CCITT 에서 제정한 SDL( standard description language ) 이 널리 사용된다.

본 연구에서는 교환기의 각 모델의 제어계의 프로세서들의 동작을 SDL 그래프로 표현하고 이를 바탕으로 시뮬레이션 프로그램을 SDL/SIM 패키지를 이용하여 구성하였다.

그림 [4.1]~그림[4.3] 은 모델 1,2,3의 링백톤 지연시간을 해석적 모델과 시뮬레이션 모델의 결과를 그린 것이다. 모델 1,3의 경우를 보면 호시도율이 400call/sec를 넘으면 해석적 모델과 차이를 보이기 시작한다. 이것은 400call/sec 되는 부분을 지나면 그부하가 되는 프로세서 모델에 있어 40ms의 시간내에 입력 큐에 있는 메시지를 전부 처리하지 못함으로 인하여 링백톤의 지연시간이 길어지게되고 시스템 내의 부하 밀도가 계속 증가하면 시스템에 포화(overflow)가 일어나게 됨을 보이는 것이다. 모델 1과 모델 3을 비교하여 본다면 모델 3의 경우가 링백톤 지연시간이 더 작은 것을 알수있다. 모델 2의 경우를 보면 호시도율이 약 200call/sec가 되는 부분부터 이런 현상이 일어나는데 이는 시스템이 상형망 구조( star connection)를 가짐으로 인하여 SWP 에 많은 메시지가 모이게 되고 이로 인하여 시스템이 더욱 빨리 고밀도의 부하를 갖게 되기 때문이다.

링 백톤 지연시간을 보면 모델 2가 320ms 정도이고 모델 3이 350ms, 모델 1이 370ms 정도임을 알수있다. 그러나 모델 2의 경우는 링 백톤 지연시간의 증가가 심하므로 바람직하지 않다. 그러므로 모델 1,3에 비하여 낫다고 할 수 없다.

모델 1,2,3을 TDX-1의 결과가 600ms 임과 비교하여 보면 링 백톤 지연시간이 향상됨을 볼 수 있다. 이것은 TDX-1의 경우보다 RTC 인터럽트의 주기를 50ms에서 40ms로 10ms 가량 짧게 잡았기 때문이다.

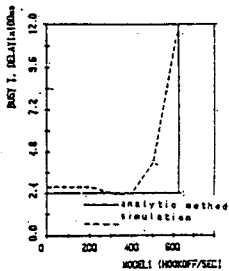


그림 [4.1] 모델 1의 RBT 지연 시간

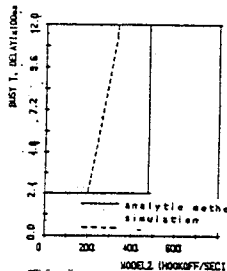


그림 [4.2] 모델 2의 RBT 지연 시간

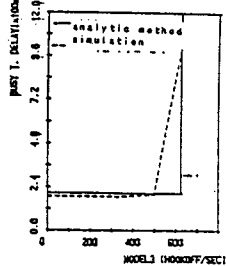


그림 [4.3] 모델 3의 RBT 지연시간

비지 톤 지연시간은 가입자가 전화번호의 마지막 자리의 숫자를 입력하고 난후에 착신자가 통화중임을 알리는 신호음이 발신자에게 들리기까지 걸리는 시간을 말한다. 그림 [4.4]~그림[4.6] 는 비지 톤의 지연시간을 해석적 모델에 의하여 구한 결과와 시뮬레이션에 의하여 구한 결과를 모델별로 그린 것이다. 그림을 보면 링 백톤 지연시간의 결과보다는 더욱 더 해석적 모델에 의하여 구한 결과와 일치함을 알 수 있다.

비지 톤의 경우도 TDX-1의 비지 톤 지연시간이 350ms 임과 비교하여 보면 비지 톤의 지연시간이 향상되었음을 알 수 있다.

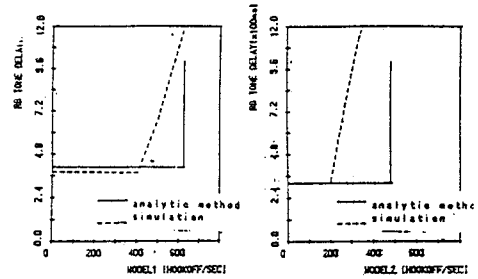


그림 [4.4] 모델 1의 비지 톤 지연 시간      그림 [4.5] 모델 2의 비지 톤 지연 시간

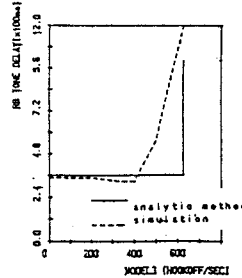


그림 [4.6] 모델 3의 비지 톤 지연 시간

그림 [4.7] - [4.9]는 각 모델의 프로세서중의 일부의 휴지시간을 시뮬레이션 모델과 해석적 모델에 의한 결과를 그림으로 나타낸 것이다.

그림 [4.7] 는 모델 1의 NTP의 휴지 시간을 그린 것이다. 그림을 보면 대체적으로 일치함을 알 수 있다. 시뮬레이션 모델인 경우에 프로세서의 휴지 시간이 더 작은 것은 해석적 모델을 만들며 생략된 부분의 영향이 시뮬레이션 모델의 경우에는 고려되었기 때문에 나타나는 현상으로 생각된다.

그림 [4.8]은 모델 2의 SLP의 프로세서 휴지시간을 시뮬레이션 모델과 해석적 모델의 결과에 대하여 그린 것이다. SLP의 경우 잘 일치하고 있음을 볼 수 있다.

그림 [4.9]는 모델 3의 경우인데, SWP의 프로세서 휴지시간을 시뮬레이션 결과와 해석적 모델의 결과를 비교한 것으로 비교적 잘 일치함을 알 수 있다.

그림을 보면 각 그림에서 해석적 결과와 시뮬레이션

결과가 차이를 보이는 것은 시뮬레이션시에는 메시지 처리 이외에도 프로세서 간의 통신을 위한 오버헤드가 감안되었기 때문이다. 모델 1의 NTP와 모델 3의 SWP가 모델 2의 SLP보다 차이를 더 보이는 것은 모델 2의 SLP보다 모델 1의 NTP, 모델 3의 SWP에 들어오는 메시지의 수가 훨씬 더 많기 때문에 프로세서 간의 통신에 따르는 오버헤드의 양이 그만큼 더 증가함으로 차이가 더 크게 난다.

시스템의 오버헤드를 고려한다면 전 모델에서 SWP가 병목 현상을 유발시킴을 알 수 있고 시스템의 오버헤드를 고려하지 않는다면 모델 1의 경우 시스템의 규모가 작을 경우는 SLP가 그리고 시스템의 규모가 커짐에 따라 NTP와 SWP가 병목 현상을 일으키고, 모델 2의 경우는 SWP가 병목 현상의 요인이 되며 모델 3의 경우는 시스템의 규모가 작을 경우는 SNTTP가 그리고 시스템의 규모가 커짐에 따라 SWP가 병목 현상을 일으킴을 알 수 있다. 그러므로 SWP의 처리 속도를 높이는 것이 전체적인 시스템의 성능 향상을 가져온다고 할 수 있다.

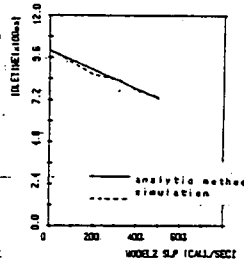
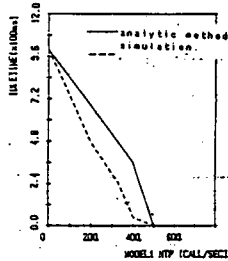


그림 [4.7] 모델 1의 NTP 지연시간

그림 [4.8] 모델 2의 SLP 지연시간

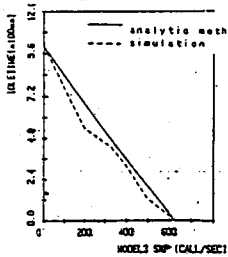


그림 [4.9] 모델 3의 SWP 지연시간

5. 결론

본 연구에서는 일반적으로 다중 프로세서 구조를 갖는 대용량 전자 교환기의 해석적 모델을 세우고 시뮬레이션 모델과의 비교를 통하여 시스템의 성능 변화를 비교하였다.

여기서 사용된 소프트웨어 구조는 TDx-1의 소프트웨어 구조를 적용하였고 각 모델의 비교를 위하여 각 모델에 사용한 프로세서의 능력은 같은 것으로 하고 각 모델들의 기능 분산 및 모델 내의 각 프로세서의 연결 방식의 변화에 따라 시스템의 성능에 끼치는 영향을 알아보았다.

본 연구에서는 시스템의 소프트웨어 구조로는 TDx-1의 구조를 사용하였으므로 저부하에서는 일 보전(work con-

servation) 성질이 만족되지 않는다. 따라서 시스템의 상태를 고부하와 저부하 상태로 나누어 저부하 시에는 deterministic approach에 의한 해를 고부하에서는 M/M/1 큐를 사용하여 큐길이, 링 백톤 지연시간, 프로세서 휴지시간 등의 성능 지표의 변화 및 최대 호처리 용량등을 구하고 시스템의 병목 현상에 대한 해석을 하였다.

교환기에서 가장 대표적인 성능지표인 링 백톤 지연시간의 경우 모델2,3,1의 순서로 길어진다. 그러나 모델 2의 경우 고부하로 갈수록 급격히 지연시간이 늘어난다. 모델 3,1의 경우 프로세서의 연결 방식은 같으나 데이터베이스 관리 기능의 분산으로 모델 3의 지연시간이 짧다. 시스템의 최대 호처리 용량은 한 메시지의 평균 처리 시간을 0.8ms로 가정하였을 때, 시스템의 오버헤드를 고려하지 않을 때 10만 가입자의 경우 모델 1,3은 625call/sec 이고 모델 2의 경우는 480call/sec 이다. 또 오버헤드를 고려할 경우 모델 1,3의 경우 342.8call/sec 이고 모델 2의 경우 264call/sec 이다.

각 모델의 경우 시스템의 오버헤드를 고려할 때 시스템의 병목 현상을 일으키는 부분은 SWP로 나타나게 된다. 이는 SWP의 오버헤드 시간이 다른 프로세서보다 많기 때문이다. 고른 부하의 분산을 위하여는 SWP의 성능을 향상시켜야 할 것이다. 모델 2와 같은 경우는 저부하시 좋은 성능을 보이지만 고부하가 되면 시스템의 성능이 다른 모델에 비하여 현저히 떨어짐을 알 수 있다. 이는 모델 1,3에 비하여 SWP의 부하의 양이 더욱 많기 때문이다. 또 모델 1보다는 모델 3의 성능이 약간 더 좋게 나타나는 데 이는 시스템 내의 데이터베이스 관리기능의 분산 수용으로 인하여 나타는 현상이다. 또 모델 3의 경우는 상의 레벨 프로세서간의 메시지 발생이 모델 1보다 적으므로 유리하다.

참고 문헌

1. B.Eklundh, D.Rapp, "Load study of the AXE-10 control systems", Ericsson Rev., pp.208-216, Feb., 1982
2. E.E.Blondeau, M.E.Conlon, G.L. Gertzler, "Real time simulation Modeling of the GTD-5 EAX", GTE automatic electric journal, pp.188-192, Nov.Dec., 1981
3. 박승훈, "시뮬레이션 전자 교환기의 성능 평가에 관한 연구", 서울대 석사 학위 논문, 1984
4. 박항구, "TDx-1 전자 교환기의 디지털 국간 중계 호처리 장치에 관한 연구", 고려대 박사학위 논문, 1985
5. 김용훈, "시뮬레이션 및 해석적 방법에 의한 전자 교환기의 제어계 성능 평가", 서울대 석사학위 논문, 1985
6. W.Yu, H.G.Bark, S.Y.Kang, H.Lee, "TDx-1 digital switching system", ISS84, Florence, 7-11. May. 1984
7. 전자 통신 연구소, "A study on the development of time division ESS", 1981
8. Robert.B.Cooper, "Introduction to Queueing Theory, 2nd.", North Holland, 1977
9. J.E.Brand, "Processor call carrying capacity estimation for SPC switching system", Proc. IEEE, Vol.65, 1977