

自己檢査 펄스列 剩餘數演算回路를 이용한
 폼프 브러언트 디지털 필터의 構成에 관한 研究

○ 金 汶 洙 * 田 龜 濟 **

* 국립 부산기방대학, ** 동아대학교

A study on the implementation of the fault-tolerant digital filter
 using self-checking pulse rate residue arithmetic circuits.

o Moon Soo Kim *, Koo Chae Chun **

* Busan Open University, ** Dong-A University

- Abstract -

Digital systems are increasingly being used in the ranges of many control engineering. The residue number system offers the possibility of high speed operation and error correction. The compact self-checking pulse-train residue arithmetic circuit is proposed. A fault tolerant digital filter is practically implemented using these proposed circuits.

1. 序 論

最近 計測과 制御등을 비롯한 産業 全分野에 걸쳐서 디지털信號處理系가 廣範圍하게 이용되어 지고있다[1]. 이러한 디지털信號處理系는 大端히 重要한 場所나 苛酷한 環境下에서 使用되어지는 境遇가 많고 이러한 시스템(System)의 故障는 重大한 結果를 惹起시키는 事例가 많으므로 이의 高信賴化는 極히 重要한 課題가 되고 있다. 剩餘數系(RNS; Residue Number System)[2][3]는 剩餘數表現이 各段 獨立的이고 並列演算이 可能하며 演算誤差의 檢出과 訂正이 可能하다는 特徵을 가지므로 디지털信號處理系에서 高信賴化 연구에 크게 期待되어지고 있다. 本論文에서는 카운타(Counter)를 重要한 構成要素로 해서 펄스의 計數과 符號變換에 의해 演算을 實施하는 "펄스列 剩餘數 演算回路"라고 불리는 便利한 剩餘數演算모음을 試圖하였다.

試圖한 剩餘數演算의 基本回路[그림1]는 적은 回路素子로서 構成되어지고, 또 誤差檢出과 訂正이 아주 容易하게 實現된다. 以上の 背景으로 誤差檢出은 各 基本 펄스列 剩餘數演算回路[4] 内部에서 行하고 誤差訂正은 새로운 方法에 따라 實施하였다. 提案된 基本모음에 따라 誤差 檢出과 訂正回路를 一體化한 폼프 브러언트 디지털 필터를 構成하였다. 一般的인 剩餘數誤差訂正方法에 비해 3디지트 2次 巡回形 폼프 브러언트 디지털 필터의 境遇 約 70%의 하드웨어로 構成되어졌다.

2. 펄스列 剩餘數演算의 原理

1). 剩餘數系의 性質

剩餘數 X는 各 모듈러스를 m_1, m_2, \dots, m_N 로 하여 式(1), (2)로 表示한다.

$$X = (x_1, x_2, \dots, x_N) \quad (1)$$

$$X_i = |X| \# m_i \quad (i = 1 \sim N) \quad (2)$$

(2)式 右邊은 X를 m_i 로 나눈 剩餘數를 나타낸다. 모듈러스는 相互素數인 整數를 選擇해준다. 剩餘數의 表現範圍 및 演算은 다음과 같다.

[性質1] 任意的 剩餘數 符號(x_1, x_2, \dots, x_N)와 式(3)의 範圍의 整數 X는 1대 1로 對應한다.

$$0 \leq X < \prod_{i=1}^N m_i = M \quad (3)$$

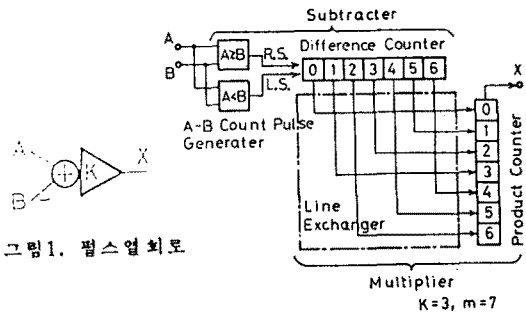


그림1. 펄스열 회로

그림2. 차적연산회로의 구성도

式(3)의 範圍는 $[0, M-1]$ 로 表示한다.

[性質2] 剩餘數 $A = (a_1, a_2, \dots, a_N)$ 와

$B = (b_1, b_2, \dots, b_N)$ 의 加算과 乘算은 다음 式과 같이 수행된다.

$$A + B = (a_1 \oplus b_1, a_2 \oplus b_2, \dots, a_N \oplus b_N) \quad (4)$$

$$A \times B = (a_1 \odot b_1, a_2 \odot b_2, \dots, a_N \odot b_N) \quad (5)$$

但 \oplus 는 모듈 加算, \odot 는 모듈 乘算을 表示한다.

式(4), (5)는 演算이 並列로 行하여 點을 보여주고 있다[2]. 이 並列性에 의해 한 디지털에 誤差가 發生해도 發生한 段에서 그친다. 또한 캐리(Carry)가 必要하지 않으므로 演算速度가 빠르고, 誤差發生時 正常디지털로부터 誤差發生段의 바뀐 값을 베이스擴張法으로 求하므로 高信賴性回路設計에 適合하다.

2). 펄스列 剩餘數演算回路의 概要

펄스列 剩餘數演算回路는 한 모듈리스 演算回路로 되어있고, 機能은 入力 A와 B, 出力 X, 乘算系数 K, 모듈리스 m일때 다음과 같다.

$$X(kT_0) = | (A((k-1)T_0) - B((k-1)T_0)) K | \pmod{m} \quad (6)$$

但, |a|는 모듈리스에 의해 나누어진 나머지, T₀는 動作時間, k는 分散時間이다. 回路는 링 카운타를 主要한 構成要素로, 펄스의 쉬프트와 符號變換에 의해 演算을 實行한다. 그림1은 符號 및 入出力信號, 그림2는 差積演算回路의 構成, 그림3에 誤差檢出 機能을 가진 基本모듈을 表示하였다. (6)式은 減, 乘算과 遲延을 包含하며 따라서 任意의 디지털 필터가 이러한 基本 演算回路에 의해 構成된다. 減算은 入力 A, B의 區間에 該當하는 쉬프트펄스를 差 카운타에 加해서 施行하였다. 乘算은 差 카운타를 結線變換器를 利用하여 積 카운타에 1대 1로 連結 施行하였다.

3. 誤差檢出과 訂正方法

1). 誤差檢出理論.

誤差의 形態는 符號誤差와 演算誤差로 區分할 수가 있으며, 이 두種類의 誤差檢出을 並行하여서 全體의 誤差를 檢出한다. 符號誤差는 카운타의 펄스 符號가 잘못된 境遇에 생기고, 演算誤差는 符號의 表現은 옳으나 펄스의 位置가 잘못된 境遇이다.

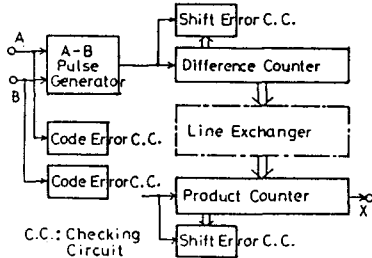


그림3. 자기검사 펄스열 연산회로

差積演算回路의 誤差發生을 다음과 같이 假定하여 具體인 誤差檢出方法을 明示한다 [5].

【假定1】 링 카운타의 쉬프트 誤差 以外의 誤差는 符號誤差로 본다.

【假定2】 링 카운타의 쉬프트 誤差는 n회 以內로 하고 또 $n \ll m$ 로 한다.

여기서 d는 링 카운타의 出力이므로 符號誤差는 式(7)의 d를 求하여 $d \neq 1$ 라면 誤差判定이 可能하다.

$$d = q_0 + q_1 + \dots + q_{N-1} \quad (7)$$

但, q_i 는 각 비트의 出力.

符號誤差는 演算中에도 繼續發生하므로 誤差檢出은 積 카운타의 出力에서 實施하였다. 이 경우 式(7)의 d는 2進 카운타를 用해서 構成하였다.

링 카운타의 쉬프트 誤差를 檢出하는 데는 符號를 $n+1$ 개의 集합으로 分割하면상대 L_j 는

$$L_0 = \{X_0, X_{n+1}, X_{2n+2}, \dots\}$$

$$L_1 = \{X_1, X_{n+2}, \dots\}$$

$$L_n = \{X_n, X_{2n+1}, \dots\}$$

但, X_i 는 數 i에 대한 符號를 表示한다.

式(8)에서, L_j 의 符號를 1회 쉬프트 하므로써 L_{j+1} 의 符號가 얻어진다. 即 n회 以內의 쉬프트 誤差에 의해 L_{j+1} 以外의 集합에 屬하는 符號가 얻어진다. 따라서 L_0, L_1, \dots, L_n 의 狀態를 遷移하는 基準 카운타의 出力과 링 카운타의 狀態를 比較하여 쉬프트 誤差를 檢出한다.

2). 誤差訂正理論

誤差가 檢出되어진 境遇, 誤差發生段의 正確한 값을 殘餘段의 바른값으로부터 剩餘數演算 方式의 네이스擴張法에 의하여 求한다 [4][6].

4. Fault Tolerant 디지털 필터의 構成

다음과 같은 傳達函數를 갖는 n次 巡回形 폼트 토러런트 디지털 필터를 考慮한다.

$$H_2(Z) = \frac{1}{1 + b_1 Z^{-1} + b_2 Z^{-2} + \dots + b_n Z^{-n}} \quad (9)$$

여기서 이 필터의 出力 y(KT)는

$$y(KT) = [K_x(kT) - [Kb_1] y((k-1)T) - [Kb_2] y((k-2)T) - \dots - [Kb_n] y((k-n)T)] / K \quad (10)$$

但, x(KT)는 入力이며 k는 式(11)과 같은 個別的인 모듬의 欸으로된 스케링 欸이다.

$$k = m_1, m_2, \dots, m_j \quad (11)$$

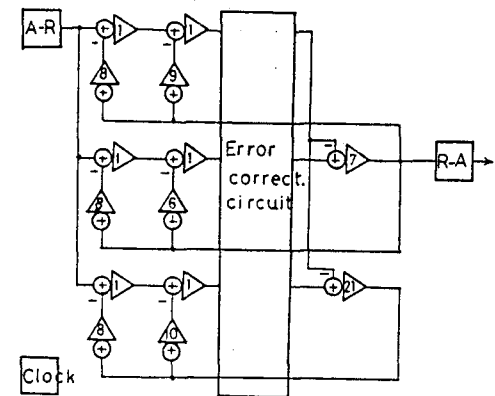


그림4. 폼트 토러런트 디지털 필터

式(10)에 따라 自己檢査 差積演算回路를 用한 필터를 그림4에 보였다. 여기서 加算器, 乘算器 및 遲延은 全部 自己檢査 差積演算回路를 基本모듬으로하여 實現하였고 誤差檢出 및 訂正回路도 이러한 基本모듬을 利用하여 實現하였다. 誤差訂正은 一括的으로 實施하였다. $1/k$ 를 實行하는 回路는 스케링 回路라고 부른다 [4], [5]. 스케링 回路에서는 演算이 各段

獨立으로 行하여 지지 않고 誤差가 全體의 段에 전달된다. 따라서 誤差訂正 回路는 스케링 回路의 直前에 連結하였다.

1). 自己檢査 필스列 剩餘數演算 回路의 構成

그림3은 自己檢査 필스列 剩餘數演算 回路인 基本모듈의 系統圖이다. 差積演算 回路는 入力 A와 B 差를 카운타의 쉬프트를 이용하여 演算을 施行하고, 積카운타는 結線變換器로 差카운타와 積카운타를 1 대 1로 直接連結하여 實現하였다. 符號誤差檢出 回路는 모듈間의 相互連結로 發生되는 誤差가 檢出 될수있도록 連結하였다. 演算誤差 檢出은 標準信號 發生器와 카운타의 狀態를 比較하므로써 檢出되며, 差카운타 回路와 積카운타에서 檢出된다. 誤差가 檢出되면 基本모듈의 出力信號는 11...1로 셋트되고 誤差信號를 위한 別途의 線이 必要없게 構成했다.

2). 폼트 보러런트 디지털 필터의 構成

構成된 二次巡回形 폼트 보러런트 디지털 필터의 定數들을 表1에 提示한다. 그림4는 冗長, 非冗長 필터, 誤差訂正과 스케링 回路를 包含한 全體의 폼트 보러런트 디지털 필터의 系統圖이다. 스케링 回路는 $m_1 < m_2$ 의 條件下에서 簡單化가 可能한 剩餘數系의 特性을 利用해서 實現하고, 스케링 回路의 2重化 方式은 省略한다. 本 하드웨어는 22個의 TTL IC들을 利用하여 한장의 基本모듈을 構成하고, 23장의 基本 모듈을 利用하여 全하드웨어가 構成되었다. 그림5는 完成된 디지털 필터의 寫眞이고, 그림6, (a)의 境遇는 誤差가 完全除去된 正常波形, (b)는 誤差가 存在하는 出力波形을 보여준다. 그림7은 คอมพิวเตอร์ 시뮬레이션 에 의한 스텝 應答이다. 그림8, 7로부터 構成된 디지털 필터가 正常動作하고 있음을 確認할 수 있다.

표1. 구성된 디지털 필터의 정수

비용장 모듈	$m_1 = 11, m_2 = 19$
용장 모듈	$m_3 = 23$
스케링 계타	$K = m_1 = 11$
전동작범위	$M = m_1 m_2 = 209$
동작범위	$M / K = m_2 = 19$
필터계수	$b_1 = -1.1, b_2 = .8$

5. 結論

本 論文에서는 自己檢査 필스列剩餘數演算 回路 方式의 高信賴性 디지털 필터의 實現에 대하여 研究 하였다. 剩餘數演算은 디지털 別로 獨立인 並列 演算方式이므로 信號處理의 파이프라인化가 可能 하며, 이러한 演算方式을 基本으로 誤差檢出 및 訂正 機能을 갖는, 시도된 設計方法에 따라 3모듈 2次巡回形 폼트 보러런트 디지털 필터를 構成하고, 이 出力과 คอมพิวเตอร์ 시뮬레이션의 스텝 應答을 比較하여 正常 動作을 確認했다. 構成된 디지털 필터가 3重化冗長 모듈(TMR)方式과 比較하여 約 70% 程度의 하드웨어 로서 實現될수 있었다. 이 하드웨어는 디스크리트 IC들을 利用하였으나, 次後 LSI/VLSI에 의한 高信賴性의 研究는 各種 디지털 信號處理系 및 特殊目的의 컴퓨터들의 研究에 크게 寄與할것으로 期待된다.

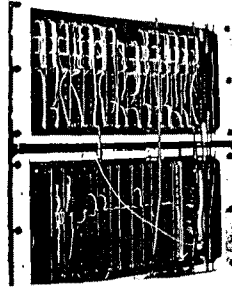


그림5. 구성된 하드웨어

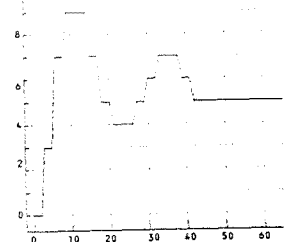
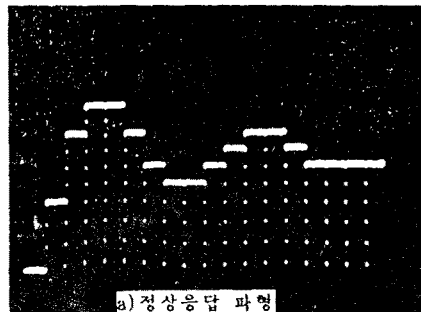
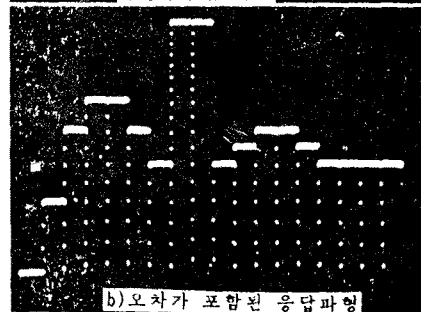


그림7. 컴퓨터 시뮬레이션 파형



a) 정상 응답 파형



b) 오차가 포함된 응답 파형

그림6. 구성된 디지털 필터 응답 파형

參考文獻

1. A.V.Oppenheim, editor: "Application of Digital Signal Processing", Prentice-Hall, Englewood Cliffs, New Jersey (1978).
2. N.S.Szabo and R.I.Tanaka: "Residue Arithmetic and Its Application to Computer Technology", McGraw-Hill, New York (1967).
3. W.K.Jenkins, B.J.Leon: "The Use of Residue Number Systems in the Design of Finite Impulse Response Digital Filters", IEEE Trans. Circuit and Syst., CAS-24, pp.191-201 (April 1977).
4. S.Yau and Y.Liu: "Error Correction in Redundant Number Systems", IEEE Trans. Comput., C-22, pp.5-11 (Jan.1973).
5. N.Tomabechi, M.Kameyama and T.Higuchi: "Pulse Rate Arithmetic Circuit Based on Residue Number System and Its Application to Digital Filter", IECE Japan Trans., vol. J85-D, pp.147-153 (Feb.1982).
6. N.Tomabechi and M.S.Kim: "Implementation of A Fault-Tolerant Digital Filter Using Pulse-Train Residue Arithmetic Circuit", IECE Japan Technical Report, FTS89-21 (Nov.1986).