

CMOS 단일칩 마이크로 컴퓨터의 ALU 설계*

○ 박용수 류기철 김태경 정호선 이우일

ALU Design of CMOS Single Chip Microcomputer

Park Yong-Su Ryou Gee-Chul Kim Tae-Gyung Chung Ho-Sun Lee Wu-Il

Dept. of Electronics, Kyungpook National University

< Abstract >

The ALU of CMOS microcomputer have been designed with the 3um design rule for CMOS polysilicon gate and its cells were layed out. The operation of circuits were simulated with EDAS_P. The widths and lengths of gates in the circuit were determined using SPICE. The carry delay of the ALU was improved by Manchester carry method. The results of logic and circuit simulation were in good agreement with expected circuit characteristics.

- (1) Binary addition and substraction.
- (2) 논리 AND, OR 및 exclusive OR
- (3) Complement
- (4) Shift right and Shift left

1. 서론

단일칩 마이크로 컴퓨터는 중앙처리부, 메모리부, 및 입출력부를 한 개의 칩 위에 집적시킨 컴퓨터 시스템이다.^[1] 전력 소비와 동작속도를 증가 시키기 위하여 근래에 와서는 NMOS에서 CMOS로 개발되고 있다.^[2] 본 논문에서는 단일칩 마이크로 컴퓨터 내의 논리연산 회로를 설계 하였다.^[3] 기존의 연산 회로에서는 캐리 발생 회로로 리플 캐리 방식을 많이 이용하는데 지연시간 문제가 발생한다. 이를 개선하기 위해서 맨체스터 캐리 체인 방식을 사용하여 지연시간 문제를 개선하였다.^[4] 또한 NMOS 패스트 트랜지스터를 이용하여 Exclusive OR 회로와 시프트 회로를 설계하여 칩 면적을 줄였다. 설계한 회로를 3um CMOS 폴리실리콘 설계 규칙으로 배아아웃하였고 곧 공정에 들어갈 예정이다.

2. 설계

그림 1은 마이크로 컴퓨터 내부의 데이터 처리를 위한 논리산술 연산회로와 레지스터의 블록선도이다. ALU의 기능은 arithmetic operation과 logic operation 으로 구분된다. ALU는 레지스터에서 받은 데이터들 입력함으로써 다음과 같은 명령을 수행할 수 있다.^[5]

그림 2는 논리 게이트로 구현한 연산회로이다. CONT1 및 CONT2는 AND, OR, Exclusive OR 및 Clear 기능을 수행하게 하는 제어신호들이다. 산술 연산회로는 전가산기 회로와 시프트 회로로 구성 하였다. 시프트 회로에서 SHR이 high(1)가 되면 현재의 비트보다 한 단계 하위의 비트 Qn-1 절점에 Z가 연결되어져 시프트 라프트 기능을 수행하게 되고, SHL이 high(1)가 되면 누산기가 입력의 보수 값을 취함으로써 산술 연산에서는 뺄셈, 논리 연산에서는 보수의 기능을 수행한다. 모드 선택 신호에 따라서 논리연산 회로(MOD=1) 또는 산술 연산회로(MOD=0)를 결정하며 전가산기는 NOR 게이트 대신에 OR, NAND 게이트로 대체 하였다.^[6] 전가산기에서 리플캐리 방식을 사용하면 지연시간 문제가 발생한다. 지연시간을 줄이기 위해서 캐리발생 회로의 W/L 값을 크게 하거나 carry lookahead 방식을 사용할 수 있으나 칩 면적이 크게되는 단점이 있다. 칩 면적도 줄어들면서 지연시간 문제를 개선할 수 있는 방법으로서 맨체스터 캐리 체인 방식을 사용하였다. 8 비트 맨체스터 캐리 체인 회로는 그림 3과 같다. 맨체스터 캐리를 사용한 전가산기는 캐리신호를 위하여 carry generate(G)와 carry propagate(P)를 결정해 줌으로써 캐리 계산이 더 복잡해지는 것을 방지해 준다. 이 회로의 가산시간은 캐리체인을 따라 전파의 지연 시간에 의해서 제한된다. 직접 전파 트랜지스터의 수를 감소시키기 위해서 그림 4와 같은 회로를 구성하여 HC(half carry)를 발생하는 C4와 C(carry)를 발생하는 C8를 바이패스함으로써 최악의 전파시간을 개선 하였다.^[7] 이 회로는 다이내믹 CMOS AND

* 과학기술처 연구비에 의한 다목적 공동설계 연구 (MPC 86) 개발 결과임

게이트들로 구성되고 모든 carry propagate와 MOD가 '1' 상태 일 때 캐리신호를 전달하게 된다. 다이내믹 AND 게이트에서 직렬로 연결된 출력에 가장 가까운 트랜지스터는 면적을 가장 작게 하고 집지에 가까이 갈수록 트랜지스터의 크기를 크게 하여 게이트의 속도를 증가시켰다. 두가지 형태의 Exclusive OR 회로를 그림 5에 나타 내었다. (a)의 회로는 CMOS 패스 트랜지스터를 이용하여 설계하였고 (b)의 회로는 NMOS 패스 트랜지스터를 사용하여 설계하였다. (b)의 회로는 (a)의 회로 보다 칩 면적을 작게 차지 하고 출력의 s 및 \bar{s} 를 쉽게 이용하여 산술연산에 사용되나 전력 소모가 많은 단점을 갖고 있다. 시프터 회로는 패스 트랜지스터를 이용하여 구성하였다. COM 제어신호가 high (1) 일때 누산기 출력의 보수 값을 취함으로써 2's 방식을 이용한 뺄셈과 보수 기능을 수행한다. 이상에서와 같이 논리기능과 연산기능을 변경하지 않고 논리연산 기능을 동시에 가능하게 설계 하였다. 레지스터를 이용한 논리연산 기능은 표 1과 같다.

3. 시뮬레이션 결과 및 고찰

설계된 회로는 EDAS_P에 있는 게이트 레벨 시뮬레이터와 스위치 레벨 시뮬레이터로 논리 동작을 확인 하였고, 회로 시뮬레이터인 SPICE를 이용하여 MOS 트랜지스터의 채널 폭과 길이를 결정 하였다. 연산부의 전가산기에서 리플 캐리를 사용한 경우, 캐리 발생 회로의 시뮬레이션 결과를 그림 6에 나타 내었다. 이 회로에서 큰 W/L 값을 사용했을 때 캐리 발생 시간은 10ns로서 8비트 마이크로 컴퓨터 내부의 연산부 지연 시간은 220ns로 계산 된다. 보통의 W/L 값(2 정도)을 사용하여 시뮬레이션 한 결과 캐리 발생 시간은 12ns로 연산부 지연 시간은 248ns 값을 갖게 되어 시스템 클럭의 주기가 250ns 인 것을 고려해 보면 오동작을 일으킬 수 있음을 알 수 있다. 그림 7은 맨채스터 캐리 회로와 다이내믹 CMOS AND 게이트를 시뮬레이션 한 결과 이다. 맨채스터 캐리의 캐리 발생 시간은 10ns였다. 위사실로 보아 리플캐리 방식은 지연 시간이 문제가 되지만 맨채스터 캐리 방식은 칩 면적 뿐만 아니라 지연 시간 문제도 개선할 수 있다. XOR 회로는 CMOS 패스 트랜지스터와 NMOS 패스 트랜지스터를 사용하여 시뮬레이션 한 결과를 그림 8에 나타 내었다. 두가지 경우의 회로에 있어서 모두 exclusive OR로 동작함을 알 수 있다. 지연 시간은 CMOS의 경우에는 14ns 이고, NMOS의 경우에는 11.5ns로서 NMOS 를 사용한 회로가 속도가 더 빠름 알 수 있다. 그러나, 전력 소모는 NMOS가 더 많음을 알 수 있다. ALU와 내부 레지스터부를 테이아웃한 것을 그림 9에 나타 내었다.

4. 결 론

본 논문에서는 CMOS 단일칩 마이크로 컴퓨터의 논리연산 회로를 설계하여 3 um 폴리실리콘 게이트 설계규칙에 따라 테이아웃 하였다. 지연시간 문제를 맨채스터 캐리 체인 방식을 사용하여 개선 하였고 NMOS 패스 트랜지스터를 적절히 사용하여 칩 면적을 줄였다. 다이내믹 AND 게이트에서 각 게이트를 최적화하여 게이트의 속도를 증가 시켰다. 이상과 같이 구성한 논리연산 회로는 CMOS 단일칩 마이크로 컴퓨터의 내장용으로 적합하리라 본다. 또한 가까운 시일내 공정에 들어갈 예정이다.

5. Reference

[1] Douglas V.Hall : Microprocessors and Digital Systems, Prentice-Hall, Inc., 1986 pp.345-350.
 [2] Saburo Muroga : VLSI SYSTEM DESIGN, John Wiley & Sons, Inc., 1982 pp.247-255, 411-413.
 [3] 김용범, 정호선 : CMOS 단일칩 마이크로 컴퓨터의 연산기 설계, 1985 전자공학의 추계 종합학술대회 논문집 vol. 8, No. 2, pp. 468-471.
 [4] Neil H.E.Weste and K.Eshraghian : Principle of CMOS Design, Addison Wesley, 1985 pp.166-186, 310-326.
 [5] Kenneth L.Short : Microprocessors and Programmed Logic , Prentice-Hall, Inc., 1981 pp.440-441.
 [6] M.MORRIS.MANO : Digital Logic and Computer Design , Prentice-Hall, Inc., 1979 pp.358-401.
 [7] M.Pomper, W.Beifuss, K.Horhinger and W.Kaschite, "A 32-bit Execution Unit an Advanced nMOS Technology", IEEE Journal of Solid State Circuit, Vol. sc-17 No. 3, June 1982, pp.533-538.
 [8] J.Mavor, M.A.Jack and P.B.Denyer : Introduction to MOS LSI DESIGN, Addison-Wesley, 1983 pp.90-91, 118-124
 [9] 정 호선 등 "다목적 공동설계 개발에 관한 최종 보고서", 1985년, 학기출처, pp.1-87.

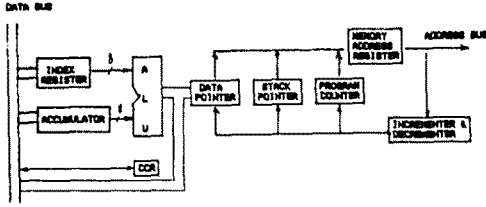


Fig. 1. Block diagram of ALU and internal registers.

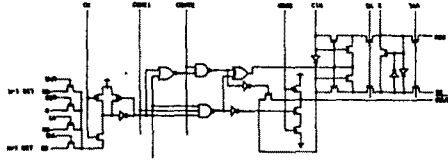


Fig. 2. Logic diagram of 1-bit ALU.

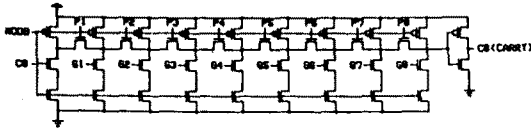


Fig. 3. 8-bit Manchester carry chain.

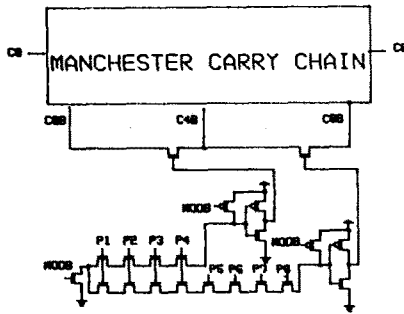
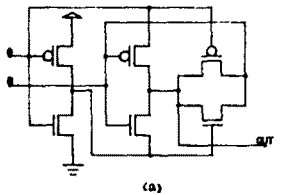
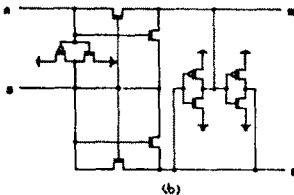


Fig. 4. Manchester lookahead carry.



(a)



(b)

Fig. 5. Exclusive OR circuits.

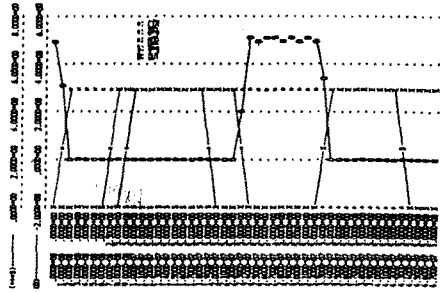
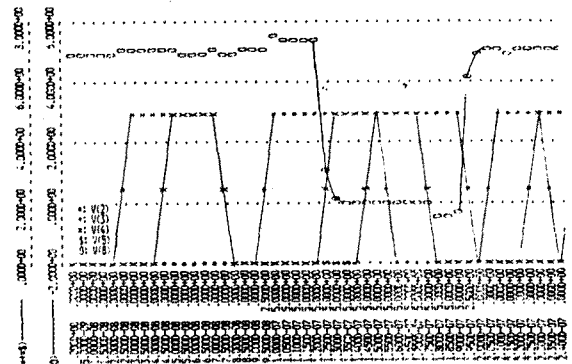
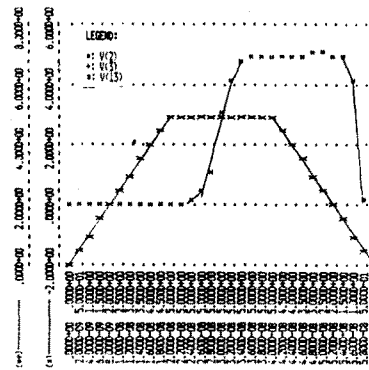


Fig. 6. Simulated carry generation circuit using ripple carry.



(a)



(b)

Fig. 7. Simulated Manchester carry and dynamic CMOS AND gates.

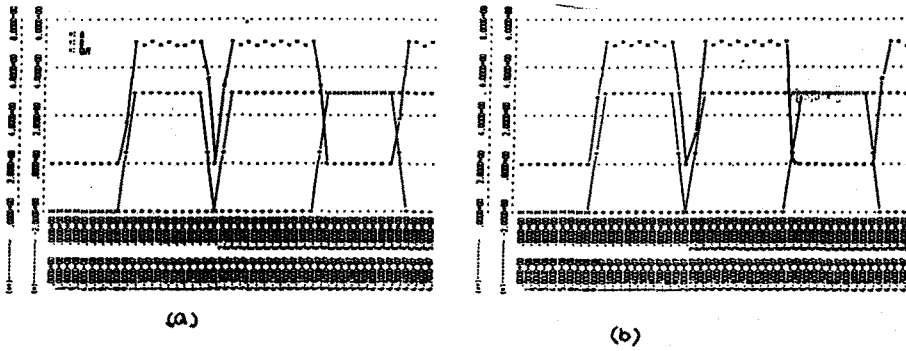


Fig. 8. Simulated Exclusive OR circuits

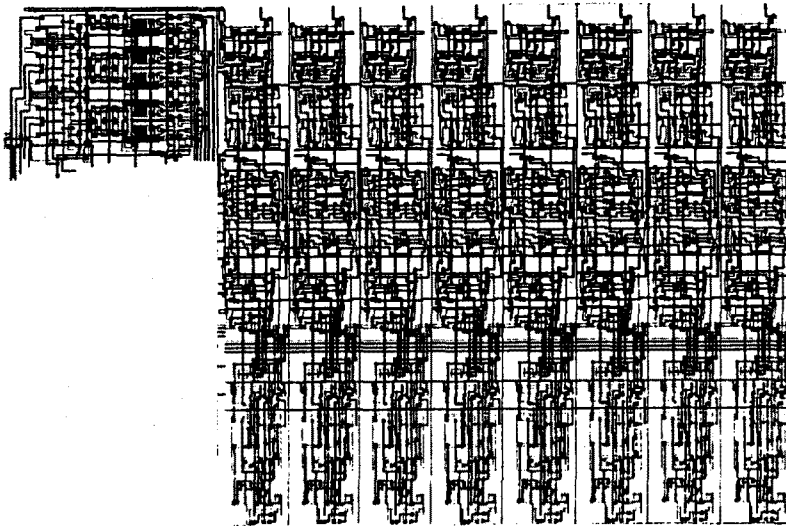


Fig. 9. Layout of ALU and internal registers.

본 연구는 과학기술처 연구비에 의한 "다목적 공동 설계개발에 관한 연구"의 일부임.