

하드와이어드 방법으로 설계된 단일 칩 마이크로 컴퓨터의 제어부 설계\*

류기철 박용수 류종필 정호선 이우일

The control part of 8 bit micro computer by hardwired design

Gichul RYOO Yongsu PARK Jongpil RYOO Hosun CHUNG Wuil LEE  
Kyungpook National University

ABSTRACT

The control part of one-chip microcomputer has been designed with the 3um design rule for CMOS poly silicon gate and its cells were layed out. The operation of the logic circuits were simulated with EDAS\_P. The widths and lengths of circuit were determined by using PSPICE. The control part of microcomputer has designed by using hardwired methode. Results of logic simulation and circuit simulation are in good agreements with expected circuit characteristics.

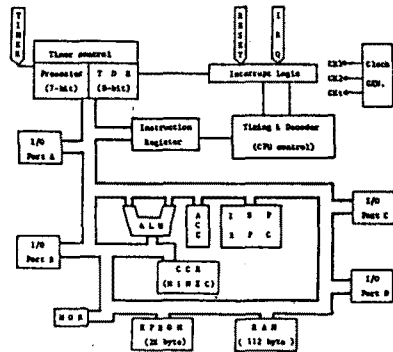


그림 1. Block diagram of single chip microcomputer

1. 서론

단일 칩 마이크로 컴퓨터는 중앙처리부, 메모리부, 입출력부를 한개의 칩위에 집적시킨 컴퓨터 시스템이다. 이 컴퓨터의 제어부는 이미 본 연구실에서 연구되어 hardwired 방법으로 설계되었고, 전체 회로는 전력소모를 줄이기 위해 CMOS로 구성되었다. 복기 칩 면적을 줄이기 위하여 디코더는 CMOS dynamic logic으로 설계되었다.

본 연구에서는 이미 설계된 회로들을 논리 시뮬레이션과 circuit 시뮬레이션을 거쳐 전체 칩을 CMOS 3um 설계 규칙에 의해 태이 아웃하였다.

2. 단일 칩 마이크로 프로세서의 구조

단일 칩 마이크로 컴퓨터는 연산과 제어기능을 하는 ALU, 데이터와 프로그램을 저장하는 메모리부 그리고 입출력부로 구성되었다. POWER 소모를 줄이기 위하여 STOP 과 WAIT 명령어가 있으며, 인터럽트로서는 타이머 인터럽트, 외부 인터럽트, 리셋등이 있다. 그림 1에 단일 칩 마이크로 컴퓨터의 하드웨어 구성도를 나타내었다.

3. 제어부

제어부는 인스트럭션을 해석하고 각 제어점에 제어 신호를 적절한 시간에 제공하는 부분으로 하드웨어 구성은 그림 2와 같다.

제어부는 마이크로 프로그래밍 방법과 하드와이어드 방법 두가지로 구분하여 설계 할 수 있다. 마이크로 프로그래밍 방법은 각 명령어에 대한 마이크로 프로그램을 제어메모리에 저장함으로써 마이크로 오퍼레이션 수행을 위하여 긴 메모리 접근 시간이 필요하다. 본 논문에서는 설계 과정은 복잡하지만 빠른 속도를 제어하는 시스템의 제어부를 위하여 하드와이어드 방법으로 설계했다.

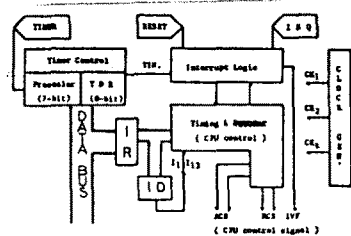


그림 2. Block diagram of control part

\* 과탐기술처 연구비에 의한 다목적 공동설계 연구 (MPC 86) 개발 결과임



TCR	option
TCR7	timer interrupt request bit
TCR6	timer interrupt mask bit
TCR5 TCR4	input clock select bit
TCR3	prescaler reset bit
TCR2 TCR1 TCR0	prescaler select bit

그림 7. Timer control register

6. 디코더 방식

그림 8 에서와 같이 CMOS dynamic logic의 출력 함수를 NMOS로 구성함으로써 거의 트랜지스터의 수가 반으로 줄어 칩 면적을 많이 줄일 수 있다. 그리고 출력단에는 pull up 트랜지스터를 사용한 latch가 precharge된 High level을 NMOS logic이 동작하는 동안 계속 High level로 래치 할 수 있으므로 입력 수가 많은 경우에도 전하 재분배의 문제는 해결할 수 있다. 위의 CMOS dynamic logic을 이용하여 8비트의 데이터 중 상위 4비트와 하위 4비트를 디코더하여 나온 신호를 control 신호와 timing 신호를 발생하는 logic 회로를 거쳐 ALU의 각 제어점에 입력 된다.

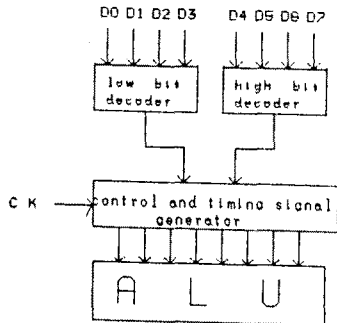


그림 8. Decoder diagram

7. 설계

(1) 입력 과출력 PORT의 레이아웃

8 비트 마이크로 컴퓨터는 32개의 I/O port가 있다. 이것의 Layout을 그림 9에 나타 내었다. 이것은 마이크로 프로세서와 입출력부를 연결하는 기능을 한다. 빠른 동작을 하는 마이크로 프로세서에 비해 입출력부는 속도가 느리기 때문에 데이터를 잠시 저장하는 래치 기능과 데이터의 방향을 결정하는 데이터 디렉션 레지스터(Data Direction Register)로 구성 되어 있다. DDR이 '1'이면 output으로 동작하고, DDR이 '0'이면 Input으로 동작한다.

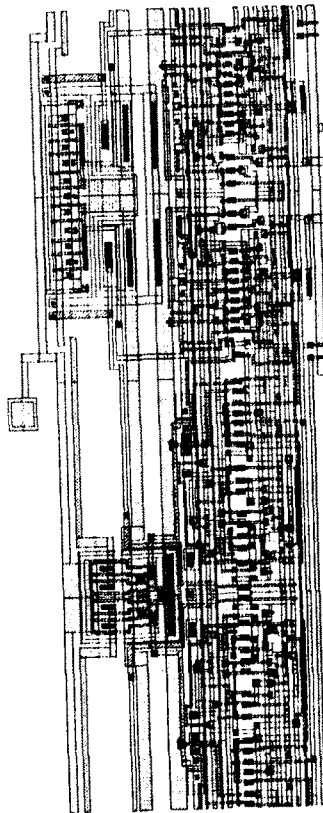


그림 9. I/O PORT

(2) D형 플립플롭과 D형 래치

그림 10에 D형 플립플롭이 나와 있다. D형 플립플롭은 주로 카운터로 작용한다. 그리고 그림 11에 나와 있는 D형 래치는 데이터를 저장하는 레지스터의 기능과 여러가지 분주회로를 만드는 기능을 한다. 타이머 인터럽트를 발생시키는 prescaler는 D형 래치로 이루어져 있으며 여러가지 분주기능을 하고 TCR(Timer Control Register)은 D형 플립플롭으로 이루어져 있으며 카운터의 기능을 한다. 그 외에도 D형 플립플롭과 D형 래치는 디코더에서 나오는 신호를 받아 Control Signal과 Timing Signal을 만들어 ALU를 Control한다.

위에 있는 I/O Port, D형 플립플롭, 그리고 D형 래치의 레이아웃은 3um design rule을 따랐다.

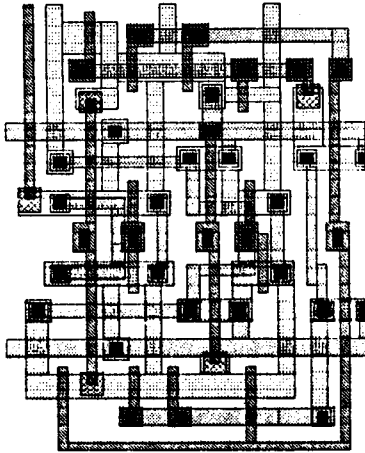


그림 10. D형 풀립플롭

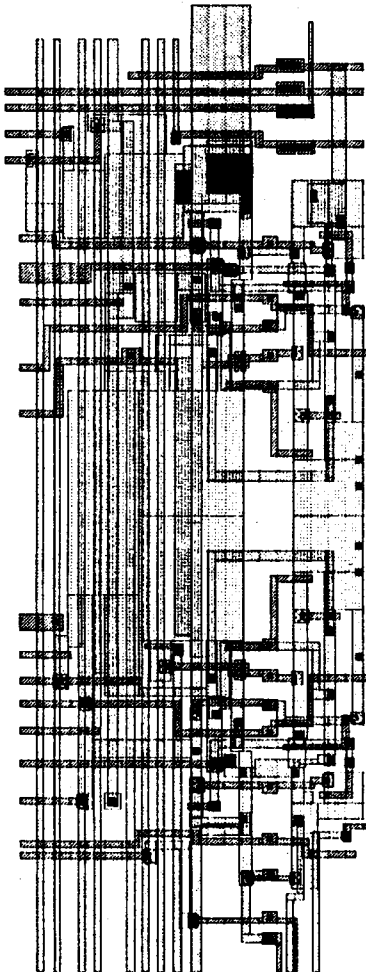


그림 11. D형 래치

### 8. 결 론

본 논문에서는 단일 칩 마이크로 컴퓨터의 제어부를 하드와이어드 방법으로 설계함으로써 시스템의 제어 속도를 향상 시킬 수 있었으며 디코더용 CMOS dynamic 로직틀 이용함으로써 칩 면적을 줄일 수 있었다. 그리고 CMOS 폴리 실리콘 게이트 3 $\mu$ m 설계 규칙에 따라 전체의 칩을 테이 아웃 하여 곧 칩을 제작할 예정이다.

### REFERENCE

1. V. Friedman and S. Liu : Dynamic logic CMOS circuits, IEEE J. Solid State Circuit , 19(2) : 263-266, 1984.
2. 한 대근, 정 호선, 이 우일, "CMOS 단일 칩 제어논리 설계", 1985 전자 공학회 추계 종합 학술 대회 논문집. Vol. 8.
2. 강 종진, 정 호선, 이 우일, "8 비트 CMOS 단일 칩 마이크로 컴퓨터의 중앙처리부 설계", 1986 전자 공학회 추계 종합 학술 대회 논문집. Vol. 9 No 2. pp. 838-841.
3. James J. Farrell III: The advancing technology of motorola microprocessors and microcomputers
4. Neil H. E. Weste and K. Eshraghian: Principle of CMOS design , Addison Wesley, New York(1985)
5. H. Taub: Digital circuits and microprocessors, McGraw-Hill Book Company, New York(1982)
6. Samir S. Husson: Microprogramming principles, Prentice, New York(1970)

\* 본 연구는 과학 기술처 연구비에 의한 "다목적 공동 설계 개발에 관한 연구"의 일부임