

시스토릭 어레이 구조를 갖는 FFT 프로세서에 대한 Self-Testing *

이장규 강병훈 최병운 신경욱 이분기
연세대학교 전자공학과

Self-Testing for FFT processor with systolic array architecture

J.K.Lee B.H.Kang B.I.Choi K.U.Shin M.K.Lee
Dept. of Electronics Engineering, Yonsei Univ.

ABSTRACT

This paper proposes the self test method for 16 point FFT processor with systolic array architecture. To test efficiently and solve the increased hardware problems due to built-in self test, we change the normal registers into Linear Feedback Shift Registers(LFSR).

LFSR can be served as a test pattern generator or a signature analyzer during self test operation, while LFSR a ordering register or a accumulator during normal operation.

From the results of logic simulation for 16 point FFT processor by YSLOG, the total time is estimated in about 21.4 [us].

1. 서론

최근 여러 디지털 신호처리 분야에서는 대량의 데이터를 실시간으로 처리할 수 있는 전용 프로세서에 대한 연구가 활발히 진행중에 있으며, 이는 VLSI 기술의 발달로 인하여 수십만개의 소자를 갖는 프로세서가 단일칩내에 집적화할 수 있게 되었다.

DFT(Discrete Fourier Transform)을 고속으로 연산하는 FFT(Fast Fourier Transform)는 이분야에서 대표적으로 사용되는 알고리즘인데 이를 위한 연산 프로세서를 만들기 위해서 시스토릭 어레이 방식이 많이 사용되고 있다.[3]

그러나 이러한 전용 프로세서들은 칩내에서의 소자밀도가 상당히 높기 때문에 이를 칩 자체에서 테스트하기 위한 어려움이 상대적으로 증가하게 된다.[8,9] 현재 VLSI회로의 효과적인 테스트를 위한 여러 방법들이 소개 되었는데 Built-in test방식이 부가적인 하드웨어의 증가는 있으나 효율적인 테스트를 하고 있어 대표적으로 사용되고 있다. LSSD(Level Sensitive Scane Design)방식과 LFSR(Linear Feedback Shift Register)를 이용한 방식은 그 대표적인 것으로서 이중 LSSD방식은 fault-modeling이나 test pattern발생에 많은 어려움이 다르기 때문에 LFSR을 이용하여 테스트 패턴 발생기 및 테스트 응답 compressor로서 사용하는 self test방법이 많이 사용되고 있다.

본 논문에서는 16 point FFT 연산용 시스토릭 어레이 프로세서를 설계하는데 있어서 LFSR을 사용 테스트에 따르는 문제를 해결하도록 하였다.

2. 시스토릭 어레이 프로세서

N point FFT연산은 DIT radix-2 반쪽 버터플라이기를 사용할 경우 두 입력 A,B에 대해서 식(1), 그림(1)과 같은 기본연산을 바탕으로 이루어진다.[1,2,4,5,6]

$$HB=A \oplus B \cdot W^{nk}$$

\oplus : Operator(+ or -)

$n, k : 0, 1, \dots, N-1$

W : Twiddle factor

* 과학기술처 연구비에 의한 다목적 공동설계 연구(MPC 86) 개발 결과임.

전체 연산은 log N stage에 걸쳐 이루어지며, 이 연산을 위한 시스토릭 어레이 프로세서의 구조는 2차원적으로 N개의 셀을 정방형으로 배열되며, [3] 이 때 사용되는 셀은 인접한 셀로 데이터가 이동하여 연산이 이루어질 수 있도록 상, 하, 좌, 우로의 데이터 이동이 가능해야 한다.

16 point에 대한 FFT연산용 시스토릭 어레이 프로세서의 전체구조는 그림(2)와 같다.

3. 시스토릭 셀의 기본구조

각 시스토릭 셀은 효율적인 테스트 및 테스트로 인한 칩의 면적 증가를 감소시키기 위하여 레지스터를 기법을 사용하여 설계하였다. 이 셀들은 그림(3)에서 나타난 것과 같이 모두 5 개의 기능 블록으로 나뉘어지며 각각의 블록은 FFT를 위한 데이터 이동 및 버터플라이 연산 그리고 셀 자체의 테스트를 할 수 있도록 설계하였다.

(1) Routing Block A, B

Routing Block은 그림(4)에서 나타난 것과 같이 하나의 LFSR과 상, 하, 좌, 우로의 데이터 이동 및 버터플라이 연산 결과를 다음 stage 연산은 위해 이동시킬 수 있도록 두개의 multiplexer를 가지고 있다. LFSR은 연산의 효율 및 칩면적의 감소를 위해 데이터 이동, 버터플라이를 위한 입력 레지스터, 그리고 테스트 패턴 generator로서 공유되도록 설계하였다. 이 LFSR은 정상동작시에는 Routing mode에서 병렬데이터 이동을 위해 사용되며 버터플라이 연산시에는 입력레지스터로서 scaling을 위해 arithmetic shift right를 할 수 있고 또한 테스트 mode인 경우에는 실수와 허수부에서 각각 8-bit에 대한 random test pattern을 발생 할 수 있다.

(2) TW Factor table

이 TW Factor table은 칩의 면적감소를 위해 stage counter값에 의해 16개의 셀 내부에서 각각 각 stage에 맞는 회절인자(Twiddle factor) 값을 발생하도록 하였으며 이때 감산인 경우의 회절인자값 2진 보수 형태로 바꾸어 직접 발생하도록 하여 버터플라이기에서 감산을 위한 회로를 줄였다. Test mode일 때는 버

터플라이 회로에서 이 회절인자 값이 차단되고 Routing Block B에 있는 LFSR의 테스트 패턴이 선택되어 입력된다.

(3) Accumulator

Accumulator는 그림(5)에서와 같이 실수부와 허수부 각각 9-bit LFSR로 설계하였다. 정상동작시 이 Accumulator는 초기 입력 및 버터플라이 연산 결과를 담도록 제어되며 테스트 동작때에는 테스트 패턴에 의한 9-bit 버터플라이기의 출력을 압축시키는 Signature analyzer 역할을 한다.

(4) HBAU(Half butterfly arithmetic unit)

HBAU는 그림(6)과 같은 구조를 가지며 distributed 연산과 merged 연산을 바탕으로 실수와 허수 각각 8-bit에 대해 곱셈기 없이 덧셈기만으로 버터플라이 연산을 수행할 수 있는 좌우 대칭형의 DJT radix-2반쪽 버터플라이 회로이다. [1][2][4][5]

테스트 모드일때와 정상동작시 차이점은 회절인자 값이 입력되지 않고 대신 routing block B의 LFSR에서 발생된 테스트 패턴이 입력되고, merged 연산 제어 입력(M1)과 초기화 제어입력(IN)이 random하게 주어진다라는 점이다.

(5) CCL(cell control logic)

CCL은 데이터의 routing 및 버터플라이 연산을 수행하는 제어신호와 self-test를 하는 동안 필요한 제어신호를 만들어 낸다. 그림(7)과 그림(8)은 버터플라이 연산에 필요한 제어 신호 및 self-test 동안에 테스트 패턴 발생 및 signature analysis를 제어하는 신호를 발생하는 제어회로도 및 그 회로이다. 모든 제어회로는 연산시간을 빨리 하기위해 hard-wired 방식으로 설계하였다.

4. 시뮬레이션 및 결과 고찰

각 시스토릭 내부에서 정상동작시 버터플라이 연산 및 테스트 동작시 random 테스트 패턴에 의한 signature analysis 과정에 대한 YSILOG LOGIC 시뮬레이션 결과를 그림(9)에 나타내었다. TNS=0일 때 정상동작을 하며 TNS=1일 때 self-test 동작을 한다. 두 경우다 BFTEN 신호에 의해 시작해서 RNDBT와 합

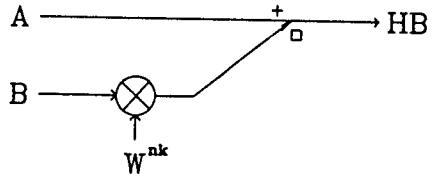
계 종료된다. Self-test 경우에는 random 테스트 패턴의 발생이 TPGC 신호에 의해 종료되는데 이 TPGC 신호는 하나의 특정한 입력 패턴에 의해서만 발생하도록 조합 회로에 의해 발생되며, 따라서 테스트를 위한 초기 입력은 이 특정한 입력을 넣어 주도록 한다. 여기서 버터플라이 연산을 위해서는 (0.8)us가 소요되었고 테스트를 위해서는 모두 255개의 random 테스트 패턴이 발생하였고 20.4us가 소요되었다. 전체 16-point FFT용 시스토픽 어레이 셀에 대한 테스트 흐름도 및 그 결과는 그림(10,11)에 나타내었다. 16개의 모든 셀에 같은 초기 test 입력을 병렬로 인가하며 모든 셀에 초기값이 입력되면 동시에 테스트가 이루어지고 그 결과는 다시 병렬로 출력된다. 전체 테스트를 위한 시간은 칩 외부에서 테스트 결과를 fault-free signature와 비교하여 go/no-go signal을 내보내는 시간을 제외하고 모두 21.4us가 소요되었다.

5. 결론

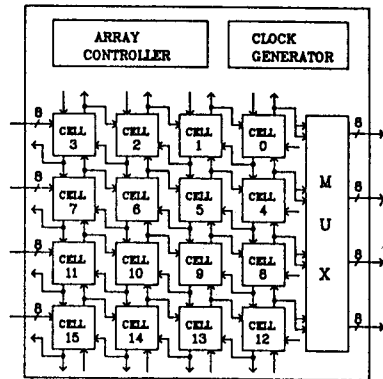
본 논문에서는 16-point에 대한 FFT 연산용 시스토픽 어레이 프로세서를 설계함에 있어서 이 회로의 Self-testing을 위한 기능을 첨가시켰으며, 이를 위해 면적의 감소 및 효율적 테스트를 위해 레지스터 공유 방법을 사용하였다. Routing block에서는 레지스터가 ordering을 위한 레지스터, 버터플라이 연산을 위한 입력 레지스터, 그리고 테스트 동안은 random 테스트 패턴 발생기로 사용되며 accumulator는 정상 동작시 결과를 담는 레지스터로 사용되고 테스트시에는 signature analyzer로 사용된다. 테스트를 위해 늘어나는 부가 하드웨어는 전체 프로세서에 대해 약 3-4% 정도이다. 테스트를 위한 초기 테스트 패턴 입력 및 결과 signature의 출력은 모두 정상 동작의 입출력 과정과 동일하게 이루어져 효율적인 테스트를 할 수 있으며, 연산 point 수가 늘어나더라도 입출력을 위해 소요되는 시간의 증가 이외에는 동일한 테스트 시간이 소요된다 할 수 있겠다.

6. 참고 문헌

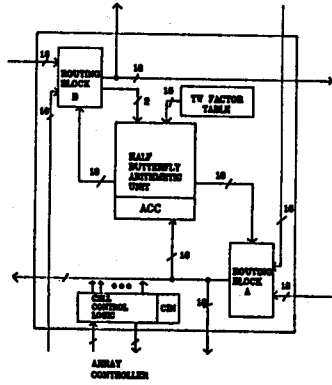
1. 이 문기 "다목적 공동설계(MPC) 개발 최종보고서", 과학기술처, 1986
2. 이 문기 "다목적 공동설계(MPC) 개발 중간보고서", 과학기술처, 1987
3. 신 경욱 "지적화된 FFT 연산용 시스토픽 어레이의 설계" 연세 대학교, 석사학위 논문, 1986
4. 이 장규, 최 병운, 신 경욱, 이 문기 "시스토픽 어레이 구조의 DIT Radix-2 Half Butterfly Arithmetic Unit 설계", 한국 전자 공학회 학술대회 논문집, 1986
5. I.R.Mactaggart and M.A.Jack, "Radix-2 FFT Butterfly Processor Using Distributed Arithmetic", Electronic Letters, June, 1983, p.43
6. Stanley A. White "A Simple FFT Butterfly Arithmetic Unit", IBER. Trans. CAS. Apr. 1981, Jp.352.
7. Earl E. Swartzlander, JR. "Merged Arithmetic", IBER. Trans., Comput., Oct. 1980
8. Thomas W. Williams and Kenneth P. Paker "Design for Testability - A survey", Proc. IEEE vol. 71. p.98., Jan. 1983
9. M.S. Abair and H.K. Reghbari "LSI Testing Technique", IBER. Micro, Feb. 1983
10. Francis C. Wang and Dilip D. Bhavsar "A Bus-Organized Self-Test Processor Architecture", ICCD'86, p.164.
11. T.W. Williams "VLSI Testing", Advances in CAD for VLSI Vol.5. pp.103-157.
12. John Fox, Giuseppe Surace and Poul A. Thomas "A Self-Testing 2um CMOS Chip Set for FFT Applications", IBER. JSSC vol. sc-22. No.1, Feb. 1987.
13. Eugen I. Muehdorf and Anil D. Savkar, "LSI Logic Testing - An Overview", IBER. Trans, Comput. vol. c-30. No.1. Jan. 1981.
14. YSLOG. "YSLOG User's Manual", Yonsei Univ.



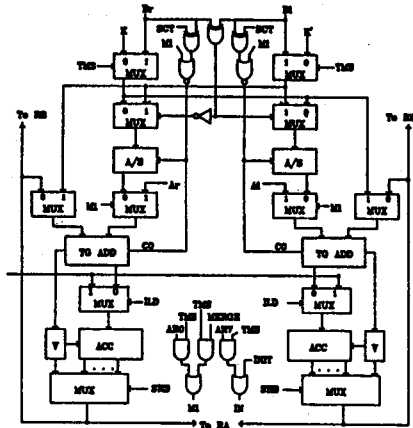
그림(1) Half butterfly arithmetic



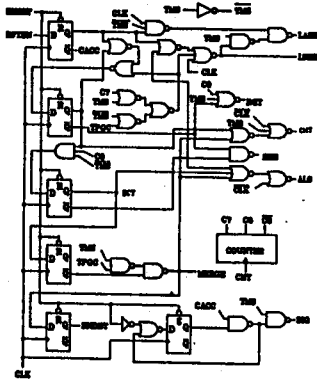
그림(2) 16 point systolic FFT processor



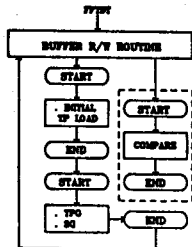
그림(3) systolic cell structure



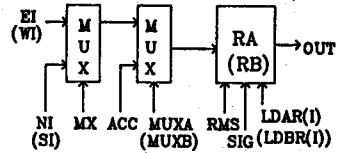
그림(6) Half Butterfly Arithmetic Unit



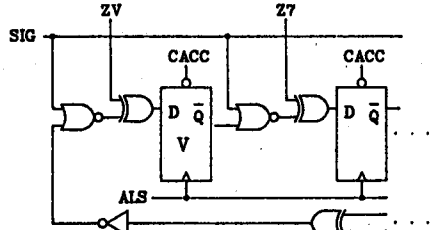
그림(8) Butterfly & TPG-SG control circuit



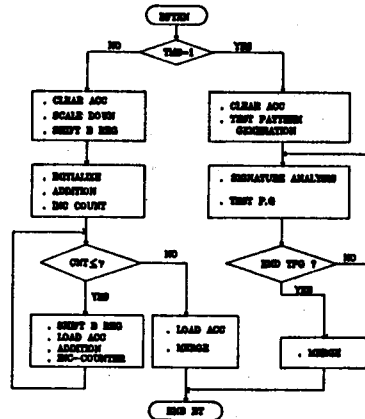
그림(10) FFT processor test flowchart



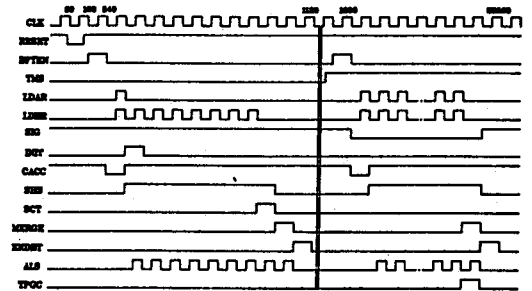
그림(4) Routing Block A,B



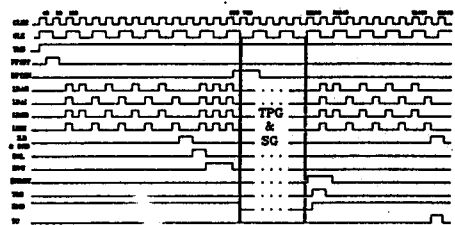
그림(5) Accumulator



그림(7) Butterfly & TPG-SG flowchart



그림(9) Butterfly & TPG-SG logic simulation



그림(11) FFT processor test logic simulation