

테스트가 용이한 CMOS 순서 PLA의 설계

이종철, 임재윤, 한석봉, 홍인식, 임인철
한양대학교

Design of Easily Testable CMOS Sequential PLAs

J.C.Lee, J.Y.Lim, S.B.Han, I.S.Hong, I.C.Lim
Hanyang University

ABSTRACT

This paper proposes a NAND-NAND logic sequential Programmable Logic Array (PLA) using CMOS technology, and test generation methods about stuck-open faults.

By using LSSD (Level Sensitive Scan Design) method instead of Flip-Flops in Sequential PLA, the complex test problems of sequential logic are simplified.

After generating the test sets using connection graph, regular test sequences and all transistor faults detection method in PLA are proposed.

Finally, by programming these algorithms in PASCAL at VAX 8700 and adopting these to practical CMOS Sequential PLA circuits, we proved the effectiveness of this design.

1. 서론

최근 LSI/VLSI 기술의 발전으로 회로의 집적도는 날로 높아지고 있다. 특히 규칙적이고 유연적인(flexible) 구조를 갖는 PLA(Programmable Logic Array)는 VLSI화 하기에 적합하고 논리적으로 많은 기능을 부여할 수 있으므로 그 사용이 날로 증가하고 있으며, 이에 따라 전자계산기의 주변장치, 단말장치, 통신제어장치, 기타 각종 정보처리장치나 제어장치의 순서논리를 PLA등의 Array Logic으로 실현하는 것이 기대되는 분야중 하나가 되고 있다.

요즈음 비교적 낮은 전력소모, 고집적도의 성질, 속도의 개선 및 Soft-error가 적응등의 장점으로 인

해 CMOS가 점차 VLSI의 중요한 구성요소로 등장하고, 그 사용이 더욱 확대되어 가고 있으며 PLA에도 CMOS기술이 채택되고 있다.^[1,2]

본 연구에서는 CMOS를 사용한 NAND-NAND 논리의 Sequential PLA를 설계하고, s-op 고장에 대한 테스트 생성방법을 제안한다.

일반적으로 sequential PLA는 플립 플롭을 사용하여 출력의 일부를 AND array로 귀환시킴으로써 구성되는데, 본 연구에서는 플립 플롭 단 대신 테스트의 용이성을 고려하여 LSSD(Level Sensitive Scan Design) 설계방식^[5,7]을 적용한 SSRL(Stable Shift Register Latch)을 사용하므로써, 순서회로의 복잡한 테스트문제를 해결한다.

또한, 연결 그래프(connection graph)^[4]를 이용하여 테스트 집합을 일단 생성한 후, 내부 게이트 응답과 unknown state 등을 고려한 규칙적인 테스트 패턴의 배열방법을 제시함으로써 PLA내의 모든 트랜지스터의 고장을 검출할 수 있는 방법을 제안한다.

II. LSSD 설계방식

LSSD는 Level Sensitive와 Scan Design 개념을 함께 갖는 설계방법이다.

Scan 설계방식은 순서논리회로에서 사용하는 래치들에 대하여 테스트시 이 래치들을 쉬프트 레지스터로 동작시킴으로써 입력에서 인가한 특정한 값으로 래치들을 제어할 수 있고 출력에서 그 값을 관찰할 수 있도록 하는 설계방식이다.

그리고 Level Sensitive 설계방식은 회로내의 hazard나 race와 같은 ac 특성에 영향을 받지 않는 회로설계이다.

결과적으로 순서논리회로에 대한 테스트는 조합논리회로에 대한 테스트로 귀착되므로, 테스트가 훨씬 용이해진다.

* 과학기술처 연구비에 의한 다목적 공동신개 연구(MPC 86) 개발 김과임

전술한 Level Sensitive Scan Design 방식에 의하여 래치를 설계하는 여러가지 방식이 제안되어 왔다.[6,7]

그러나 이러한 방식으로 순서 CMOS PLA의 래치를 설계할 경우, CMOS 회로의 특성으로 인하여 테스트가 불가능하게 된다. 일반적으로, CMOS 회로에는 Stuck-open 이라는 고장이 존재하는데 이러한 고장이 발생할 경우, CMOS 회로의 전하저장기능으로 인하여 전 상태의 논리값을 그대로 유지하게 되므로 조합논리회로가 순서논리회로와 같은 동작을 행한다.

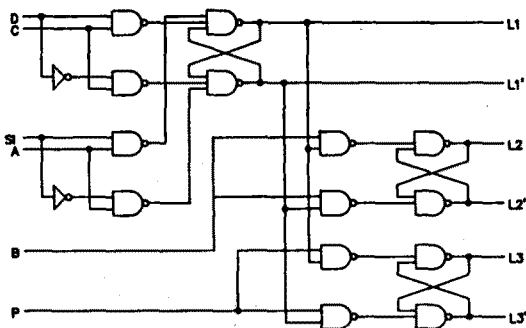
따라서 이와같은 Stuck-open 고장의 검출은 하나의 테스트 패턴으로는 불가능하고 두개의 테스트 시퀀스가 필요하게 된다.

한편, 종래의 LSSD 방식을 적용한 순서 CMOS PLA의 테스트는 첫번째 테스트 패턴을 주입력(primary inputs)에 인가하는 동시에 슈프트 레지스터에 직렬로 인가하여 초기화값을 설정해 놓은후 다시 두번째 패턴을 같은 방법으로 인가함으로써 행해진다. 그러나 이때 다음과 같은 문제점이 발생한다. 슈프트 레지스터에 의하여 첫번째 테스트 패턴을 인가한 후 지정된 두번째 테스트 패턴이 인가되어야 한다. 그러나 이 패턴이 인가되는 동안에 불필요한 테스트 패턴이 인가되는 경우가 있다. 예를 들어 첫번째 테스트 패턴이 000 이고 다음으로 010의 테스트 패턴을 인가해야 할 경우에 슈프트 레지스터에 의해 슈프트되는 패턴은 000 → 001 → 010의 순서이므로 001의 패턴이 하나 더 인가된다. 그러므로 이 테스트 패턴으로 인하여 첫번째 패턴에 의해 설정되었던 초기화 값이 바뀌어진다. 이 패턴에 의한 고장은 검출이 불가능하게 된다.

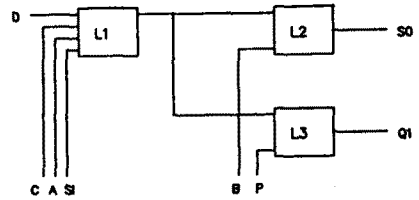
따라서 이러한 문제점을 해결하기 위하여 순서 CMOS PLA에 다음과 같은 Stable Shift Register Latch(SSRL)[7]를 사용한다.

SSRL은 LSSD의 슈프트 클락 A, B 이외에 슈프트 클락 P를 가진 래치를 부가함으로써 CMOS 회로의 고장검출을 할 경우 중간값의 발생으로 인한 초기화값의 변동을 막을 수 있게 된다.

이 SSRL을 그림 1에 나타내었다.



(a)Implementation in NAND gates



(b)Symbolic representation

그림 1. Stable Shift Register Latch

III. CMOS Sequential PLA

III-1. Stuck-Open 고장과 CMOS Sequential PLA

S-op 고장은 고전적인 고장 모델인 s-at 고장과는 달리 개개의 트랜지스터에서 open 상태가 발생함으로써 생기는 고장이다. 특히 CMOS에 있어서 한 입력에 대해 P-part 또는 N-part 어느 한편의 트랜지스터만이 open 상태가 되므로써 출력은 high 임피던스 상태가 되고 어느 일정기간 동안 전 상태값을 갖는다. 이에 따라 s-op 고장을 검출하기 위해서는 하나의 테스트 패턴만으로는 불가능하고, 두개의 테스트 시퀀스가 필요하다. 즉, CMOS 게이트들의 테스트 생성에 대한 기본 원리는 s-op 고장이 발생했을 때 회로의 출력이 변하도록 테스트 상태의 트랜지스터를 통해 단일 경로를 활성화시키는 입력패턴을 구하는 것이다.[6,8]

CMOS s-op 고장을 검출하기 위하여 다음과 같이 정의한다.

[정의 1]

CMOS s-op 고장을 검출할 수 있는 두개의 테스트 패턴을 matching sequence 라고 한다.

[정리 1]

CMOS 조합논리회로에서 matching sequence는 다음과 같은 S_1, S_2 2개의 연속적인 입력 패턴으로 구성된다. 여기서, S_1 은 S_2 입력이 인가될 때 정상상태의 출력값과 보수인 고장상태의 출력을 갖게 하는 테스트 입력이며 S_2 는 테스트 상태의 트랜지스터가 정상상태일 때는 테스트 상태의 트랜지스터를 거쳐 입력에서 출력까지 하나의 경로를 활성화하고, 고장상태일 때는 출력을 high 임피던스 상태로 만드는 테스트 입력이다. (증명 생략)

그림 2에 Newton-Raphson iterative algorithm에 의해 $\frac{1}{a}$ 의 근사값을 계산하는 제어시스템을 순서(Sequential) PLA로 설계하였다. 이 회로는 2개의 주입력(s, k), 3개의 귀환입력(x(t), y(t), z(t)), 7개의 적항선($g_1 \sim g_7$), 3개의 귀환출력(x(x+1), y(t+1), z(t+1)), 그리고 5개의 추출력(c_0, c_1, c_2, c_3, c_4)으로 구성되어 있으며 또한 일반적인 순서회로에서 사용하는 플립 플롭 대신 전절에서 설계한 SSRL회로를 사용함으로써 순서회로의 테스트 문제를 간단화시켰다.

이 CMOS Sequential PLA는 NAND-NAND의 2 단 구조를 이루며, 다음의 2가지 게이트 레벨로 구분할 수 있다. 첫째, AND-plane에서의 출력선(직향선). 둘째, 회로의 출력선이다.(단, 여기서 입력 인버터 단은 설명의 간소화를 위해 고려대상에서 제외한다.)

그림 3의 회로는 인버터와 NAND 게이트 형태, 그리고 LSSD 래치로 구성되어 있음을 알 수 있다.

전절에서 논의한 바와 같이 LSSD 래치의 특성으로 인해, 테스트 시에는 일반적인 조합 PLA 회로로서 다루어지게 된다. 즉, 귀환입력도 주 입력으로 간주하여 테스트 패턴을 구하게 되며, 마찬가지로 귀환출력도 LSSD 래치의 Scan-Out 동작을 통해 외부에서 주 출력과 동시에 결과를 확인할 수 있다.

여기서 CMOS Sequential PLA를 구성하는 각 트랜지스터에 N-part에는 1, 2, ...로, P-part에는 1', 2', ...로 라벨을 붙여 준다. 이것은 나중에 연결 그래프를 구하는데 사용된다.

II-2. CMOS Sequential PLA의 연결그래프 표현

CMOS Sequential PLA를 그래프모델로 나타내기 위해 다음과 같이 정의한다.

[정의 2]

CMOS 게이트에서 P-part에 대해 전원을 source로, 출력을 sink로 하고, N-part에 대해 출력을 Source로, 접지를 sink로 했을 때 트랜지스터를 하나의 branch로 보아 모델화한 그래프를 연결 그래프(Connection Graph)라 한다.

이 때 P-part와 N-part를 분리하여 나타내며, CMOS Sequential PLA내에서 입력에서 출력까지 내부 게이트는 항상 2-level로 구성되어 있다.

그림 2의 CMOS Sequential PLA 회로를 내부 게이트 형태로 구분하여 그 중 일부를 표현해 보면 그림 3과 같다. 나머지 게이트들도 같은 방법으로 표현이 가능하다.

정의 2와 그림 3의 각 내부 게이트 표현을 이용하여 최종 출력단에 대한 입력과 활성화된 경로 상에 있는 트랜지스터들을 연결 그래프를 사용하여 나타낼 수 있고 그 중 출력 c_i 와 y_i 를 도시하면 각각 그림 4, 그림 5와 같다.

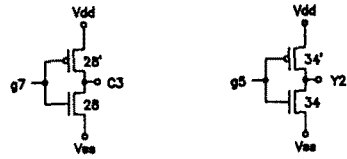
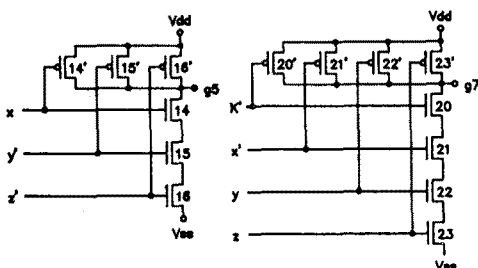


그림 3. CMOS Sequential PLA의 내부 게이트

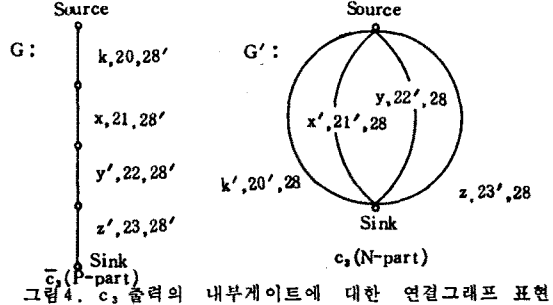


그림 4. c_3 출력의 내부게이트에 대한 연결그래프 표현

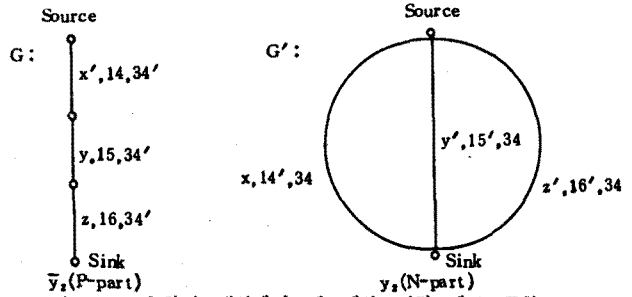


그림 5. y_2 출력의 내부게이트에 대한 연결그래프 표현

II-3. 테스트 생성 및 배열 알고리즘

여기서는 앞에서 구한 연결 그래프를 이용, 다음에서 정의되는 RD_i, C_i, U_i 를 weight로 하여 T_0, T_1 (여기서 T_0, T_1 은 각각 최종 게이트 출력이 "0"과 "1"이 되는 테스트 집합을 의미한다)을 교대로 선택함으로써 CMOS Sequential PLA 회로내의 모든 트랜지스터의 고장을 검출할 수 있는 알고리즘을 제안한다.

[정의 3]

RD_i : 현재 상태의 선택된 테스트 패턴에 대해 트랜지스터 라벨이 고장 리스트에 남아있는 양을 RD_i (i 는 남아있는 갯수)라 한다.

C_i : 바로 전 상태 테스트의 내부 게이트 응답과 현재 테스트의 내부게이트 응답과의 보수관계를 고려하여 보수가 되는 갯수를 C_i 라 한다. (i 는 보수가 되는 갯수)

U_i : 내부게이트 응답에서 Unknown State (컴퓨터 수행결과에서는 '-'로 표시)의 갯수를 U_i (i 는 갯수)라 한다.

(CMOS Sequential S-op 고장에 대한 테스트 생성 알고리즘)

단계 1: CMOS Sequential PLA의 연결그래프를 구한다.

단계 1.1: AND-plane 출력선들에 대한 연결그래프 \bar{G} , G 를 구한다.

단계 1.2 :OR-plane 출력선들에 대한 연결그래프 \bar{Z} , Z 를 구한다.

단계 1.3: 단계 1.1 과 단계 1.2 로 부터 하나의 최종출력선에 대한 연결그래프 $Z\bar{G}$, ZG 를 구한다.

단계 2 : $Z\bar{G}$, ZG 에 대해 Source 로 부터 sink 까지 가능한 모든 경로들을 찾는다. (하나의 최종 출력선에 대한 전체 경로집합 $Z = ZG + Z\bar{G}$) 이때 경로들 중 $X \cdot \bar{X}$ 와 같은 라벨은 이 테스트 패턴에 의해 단일 경로가 활성화될 수 없으므로 제외시킨다.

단계 3 : 테스트 집합을 구한다.

단계 3.1: $Z\bar{G}$, ZG 에 대한 단일 경로 활성화를 행한다.

단계 3.2: $Z\bar{G}$, ZG 에 대한 다중 경로 활성화를 행한다.

단계 3.3: 단계 3.1, 단계 3.2에서 구한 테스트 각각에 대해 활성화된 경로의 게이트 응답과 게이트에 대한 트랜지스터 라벨을 T_0, T_1 별로 리스트한다.

단계 4 : 3가지 요소를 고려한 테스트집합의 배열

단계 4.1: $T_0(T_1)$ 에서 RD_i 가 가장 큰 것을 선택한다. 큰 것이 여러개이면 맨 처음것을 선택한다.

단계 4.2: $T_1(T_0)$ 에서 $(RD_i + C_i - U_i)$ 가 가장 큰 것을 선택하고 matching sequence 비교 검출과정을 수행한다.

단계 4.3: CFL(Current Fault List: 현재 고장리스트)이 공집합(ϕ)이면 단계 4.6으로 가고 그렇지 않으면 단계 4.4를 수행한다.

단계 4.4: T_0 에서 $(RD_i + C_i - U_i)$ 가 가장 큰 것을 선택하고 matching sequence 비교 검출 과정을 수행한다.

단계 4.5: CFL이 ϕ 이면 단계 4.6으로 가서 종료하고 그렇지 않으면 단계 4.2를 수행한다.

단계 4.6: 종료

(Matching Sequence 비교 검출과정)

바로 전 상태 테스트의 내부게이트 응답과 현재 테스트의 내부 게이트 응답과를 비교하여, 전 상태 테스트에 의해 활성화된 경로에서 보수가 되는 게이트에 속한 트랜지스터의 라벨만을 그때의 CFL에서 제외한다.

IV. 알고리즘 실현 및 결과

본 알고리즘을 VAX 8700으로 실현하여 그림 2의 CMOS Sequential PLA 회로에 적용하여 보았다. 그

결과와 일부는 (표 1), (표 2)와 같다. 다른 출력에 대한 결과도 비슷한 방법으로 구할수 있다.

이 테스트 시퀀스들은 그림 2의 CMOS Sequential PLA내의 모든 트랜지스터에 대해 s-op 고장을 검출할 수 있으며, 테스트 집합의 인가 방법은 II절에서 논의한 LSSD의 테스트시 동작에 따른다. (표 1), (표 2)에서 트랜지스터 라벨(label) 51,52, ... 84는 각각 1', 2', ... 34'를 의미한다.

***** TEST SEQUENCES *****
OPTIONAL : NORMAL CMOS CIRCUIT

$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	1	0	--	--	--	--	--	--	--
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	0	1	20	21	22	23			78
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	1	0	70						28
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	0	1	20	21	22	23			78
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	1	0	71						28
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	0	1	20	21	22	23			78
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	1	0	73						28
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	0	1	20	21	22	23			78
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	1	0	72						28

(표 1) 그림 2의 C_0 출력에 대한 테스트 시퀀스

***** TEST SEQUENCES *****
OPTIONAL : NORMAL CMOS CIRCUIT

$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	1	0	--	--	--	--	--	--	--
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	0	1	14	15	16				84
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	1	0	65						34
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	0	1	14	15	16				84
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	1	0	66						34
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	0	1	14	15	16				84
$\bar{S}\bar{K}\bar{X}\bar{Y}\bar{Z}$	-->	1	0	64						34

(표 2) 그림 2의 Y_0 출력에 대한 테스트 시퀀스

V. 결 론

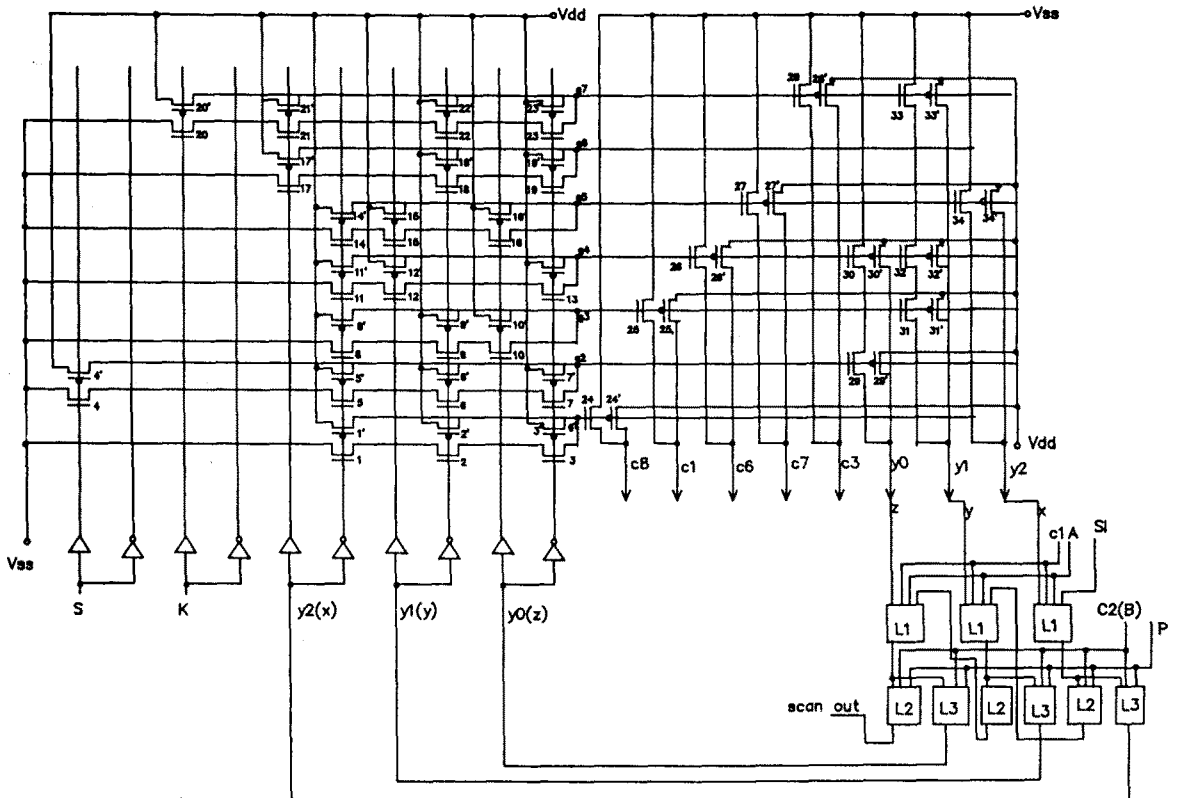
본 논문에서는 테스트가 용이한 CMOS Sequential PLA 설계방식을 제안하였다. 일반적으로 귀환회로로써 사용되는 플립플롭단 대신 SSRL(Stable Shift Register Latch)를 사용함으로써 복잡한 순서회로의 테스트 문제를 간단화 하였다.

또한 CMOS 회로의 특별한 고장형태인 S-op 고장을 연결 그래프를 이용하여 검출하는 효율적인 알고리즘을 제시하였다.

본 연구에서 제시한 알고리즘을 VAX 8700 상에서 PASCAL로 실현하여 CMOS Sequential PLA에 대하여 적용하여 본 결과, 회로내 모든 트랜지스터의 S-op 고장검출이 가능하였다.

참 고 문 헌

1. Neil Weste and Kamran Eshraghian, "Principles of CMOS VLSI Design-A Systems Perspective", Addison-Wesley, 1985.
2. Wadsack, R.L., "Fault Modeling and Logic Simulation of CMOS and MOS Integrated circuits" BSTJ, Vol. 57, pp. 1449-1474, May-June 1978.
3. Y.M. Elziq and R.J. Cloutier, "Functional level Test Generation for Stuck-open Faults in CMOS VLSI", Digest of Papers, International Test Conference, pp. 536-546, 1981.
4. Chiang, Kuang-Wei and Vranesic, Zvonko G., "On Fault Detection in CMOS Logic Networks," IEEE 20th Design Automation Conference, pp. 50-56, 1983.
5. E.B. Eichelberger and T.W. Williams, "A Logic Design Structure for LSI Testability," J. Design Automat. Fault-Tolerant Comput., Vol.2, pp. 165-178, May 1978.
6. S.M. Reddy, M.K. Reddy, J.G. Kuhl, "On Testable Design for CMOS Logic Circuits, The 1983 International Test Conference, pp. 435-445.
7. S. DasGupta, R.G. Walther, T.W. Williams and E.B. Eichelberger "An Enhancement to LSSD and Some Applications of LSSD in Reliability Availability and Serviceability," Proc. International Symposium on fault Tolerant Computing, June 1981, Maine, U.S.A.
8. H.E. Jones and R.F. Schauer, "An Approach to a Testing System for LSI," CAD of digital electronic circuits and systems., pp. 187-204, 1979.
9. 이종철, 신용철, 조상복, 임인철, "CMOS PLA의 Stuck - open 고장에 대한 테스트 생성", 대한전자공학회 하계종합학술대회 논문집, Vol.8, No.1, pp.609-612, 1985.6.



<그림 2> LSSD 부가 CMOS Sequential PLA