

고성능 OP-AMP를 이용한 Switched Capacitor Filter의 설계

○ 김영환*, 박송배*
*한국 과학기술원 전기및 전자공학과

Switched Capacitor Filter Design Using High Performance OP-AMP

Young-Hwan Kim*, Song-Bac Park*

Department of E.E. KAIST

Abstract

The performance of SCF can be improved with the OP-AMP which has the properties of high speed, large slew rate, and lower power dissipation. The OP-AMP used for SCF will be presented. For illustration, using this OP-AMP 5-th order LPF is designed.

1. 서론

MOS 기술을 이용하여 능동 filter를 직접 단일 chip에 제작함에 있어서 다음과 같은 제약점이 있다.

(1) 큰값의 저항을 만드는 데는 큰면적이 소모된다.

(2) 저항값을 정확히 얻을 수가 없으므로 RC 시정수가 정확하지 않다. 따라서 제작후 주파수 특성의 변화가 심하게 된다.

이러한 문제점들은 switched capacitor filter(SCF)에 의해 해결될 수 있는데 이의 기본 원리는 두 node간을 연결하는 저항을 주기적으로 switching되는 capacitor로 얻을 수 있다는 것이다.

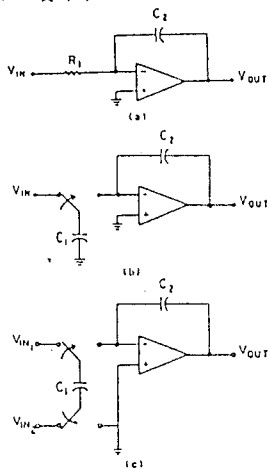


그림 1 SCF의 동작원리

SCF가 MOS 기술에 적합한 이유는

(1) 작은 capacitor를 가지고 큰 저항을 얻을 수 있으며

(2) capacitor의 비율이 높은 정확도를 가지므로 switching 주파수 f_c 를 조정하여 매우 정확한 주파수 응답을 얻을 수 있다는 것이다.

본 논문에서 제시된 SCF는 clock 주파수가 256KHz, 차단 주파수가 3.2KHz stop frequency가 4.0KHz인 5차 저역통과 elliptic filter이며, 이 SCF에 사용되는 OP-AMP의 특성을 개선함으로써 SCF의 performance를 향상시키고자 한다.

2. SCF의 구성 소자

(1) OP-AMP

OP-AMP는 SCF에 있어서 기본이 되는 element이다. SCF에서 요구되는 OP-AMP의 특성은 이득이 높아야 하고 unity gain band width가 clock frequency 보다 높아야 하며 slw rate도 커야한다. 본 SCF에 사용된 OP-AMP는 이러한 조건들을 만족시키며 power 소모도 작게 하기 위해 다음과 같은 새로운 OTA (operational transconductance amplifier)를 사용하여 power 소모, slw rate를 개선시킬 수 있었다.

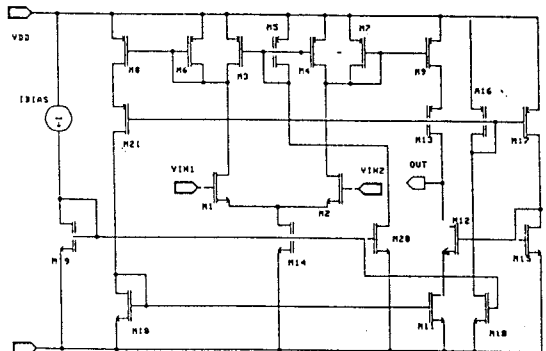


그림 2 OP-AMP 회로도

OP-AMP의 동작은 다음과 같다. M1과 M2는 input differential pair이며 M6, M7은 OPA의 slw rate를 높이기 위한 방법으로 제시된 회로이며 출력단의 slw rate는 I_7 와 $I_7 J_{out}$ 에 의해 결정된다. 즉 입력단에 step 입력이

* 과학기술처 연구비에 의한 다목적 공동설계 연구 (MPC-86) 개발 결과임

인가되면 M7에 흐르는 current는 다음과 같이 된다.

$$I_{7,max} = I_{2,max} + 2I_{70} = (2 + 1/B)I_{70} \quad (1)$$

(I_{70} : M7의 zero bias 전류)

본 회로에서 $B = 1/2$ 이므로

$$I_{7,max} = 4I_{70} \quad (2)$$

가 되며 출력전류는 다음과 같이 된다.

$$I_{out} = CI_7 \quad (3)$$

그러므로 slow rate는 2배가 개선 됨을 알 수 있다. 본 회로의 slow rate는

$$I_{out,max}/C_L = CI_{7,max} = 4I_{70}C \quad (4)$$

가 된다.

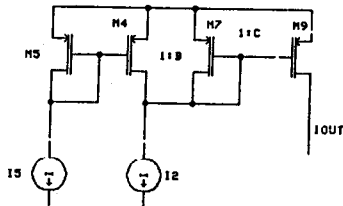


그림 3 Slow rate를 높이기 위한 bias 회로

M8과 M10은 differential signal을 single output signal로 끌어내기 위한 회로이다. M12와 M13에 의해 short channel effect가 감소하게 되며 또한 cascode 형태이므로 출력저항은 증가되며 이러한 출력저항의 증가는 OP-AMP의 gain을 높이게 된다. M9, M14 ~ M21은 bias 회로이다. 이 회로의 전압이득은 전류이득과 출력저항의 곱으로 주어지는데 출력저항은 근사적으로 다음과 같이 된다.

$$r_o = (g_{m12}r_{o12}r_{o11}) / (g_{m13}r_{o13}r_{o9}) \quad (5)$$

그러므로

$$\text{Gain} = A_1 r_o = (g_{m2} / g_{m7}) g_{m9} r_o \quad (6)$$

가 된다. 본 논문에서 얻어진 gain은 70dB 정도가 된다. 주파수 해석에 있어서 dominant pole은 출력저항과 외부에 연결된 capacitor와의 시정수에 의해 결정된다. 즉

$$P_1 = 1 / (r_o C_o) \quad (7)$$

로 되며 no ndominant pole은 internal capacitance에 의해 결정된다. 즉 second pole은 M6 or M7의 $1/g_m$ internal capacitance에 의해 결정된다. 그러므로 OPA가 작은 용량성 부하를 가질때는 2 stage OP-AMP에서 필요로 하는 보상용 capacitor를 필요로 하지 않고 다만 load로서 보상이 가능하다. 그러나 capacitive load가 커질 때에는 buffer를 필요로 한다. OP-AMP Transistor들의 Geometry와 복성은 표-1 과 표-2 에 나타났다.

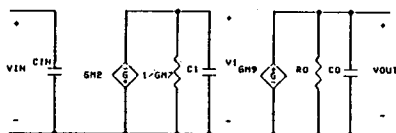


그림 4 소신호 등가회로

(2) CAPACITOR

Capacitor 는 Polysilicon-over-Diffusion capacitor를 사용하였는데 이는 diffusion 된 channel 층과 gate poly 를 양 극판으로 하고 gate oxide 층을 유전체로 하는 구조이다. 이 구조의 capacitor 를 self-aligned silicon-gate process 에 사용하려면 polysilicon 위에 implant를 해야하는 번거로움이 있다. 그러나 각 capacitor 간의 capacitance ratio 는 0.1 ~ 1 % 의 오차를 가짐으로서 매우 정확하게 회로를 만들 수 있다. capacitor 의 값은 다음과같이 된다.

$$C = \epsilon_{ox} / l_{ox} = 0.7 \text{ fF} / \mu\text{m}^2 \quad (8)$$

여기에서 사용된 capacitor는 0.5pF 불 단위 capacitor 로 하였으며 이때의 capacitor 의 면적은 $25\mu\text{m} \times 25\mu\text{m}$ 가 된다.

(3) SWITCH

NMOS TR 을 써서 구성 하였으며 MOS 의 gate 가 high 일때 ON , low 일때는 OFF 가 된다.

3. SCF의 설계

SCF는 cutoff frequency가 3.2KHz, stop frequency가 4.0KHz가 되도록 $C05, \theta = 51^\circ, \rho = 20\%$ 인 수동의 5차 저역통과 clptic filter를 설계한 후에 bilinear Z - 변환으로 SCF를 실현하였다. (Ref.[1][2][5])

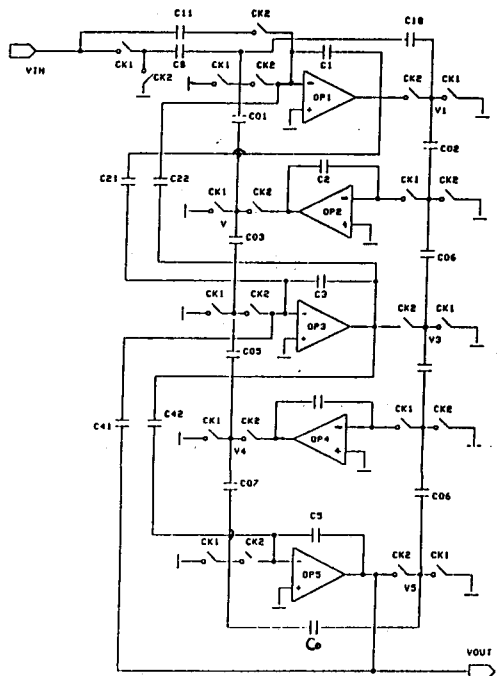


그림 5 SCF 회로

4 Scaling

위에서 설계한 SCF를 그대로 구현시킬 경우 다음과 같은 문제점을 갖는다. 즉 OP-AMP의 유한한 dynamic 특성으로 출력 node 에서의 dynamic 임역이 감소하게된다. 또한 각 C값들의 비가 상당히 크므로 chip 면적이 커지게 된다. 그러므로 capacitor들의 크기를 변화시켜 회로의 dynamic 특성을 개선시키고 chip의 면적을 줄인다.

a). 전압 scaling

filter의 dynamic range는 다음과 같이 주어진다.

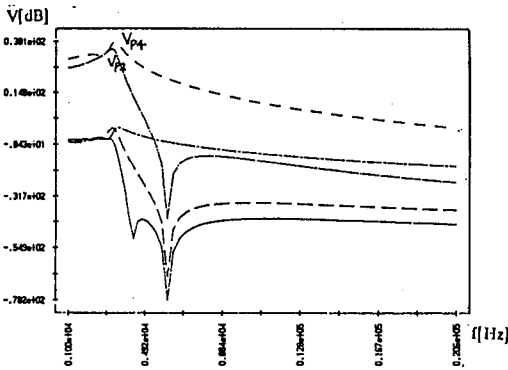
$$\text{dynamic range} = 20 \log(V_{in,max} / V_{in,min}) \quad (9)$$

($V_{in,max}$: 회로의 선형성이 보장되는 최대 입력전압
 $V_{in,min}$: 출력전압이 noise와 구분 될 수 있는 최소 입력전압)

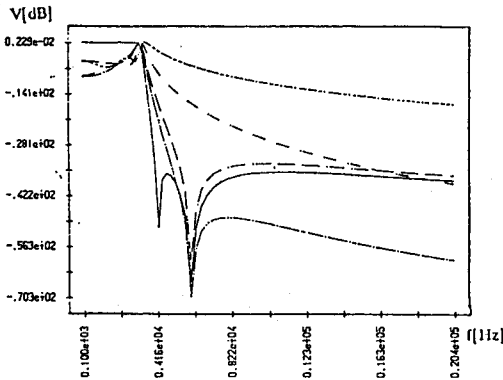
여기서

$$V_{in,max} \leq V_{max} / A_p \quad (10)$$

(V_{max} : 선형성이 보장되는 최대출력전압
 A_p : 통과 대역에서의 이득)



(a) 전압 Scaling을 하지 않았을 경우



(b) 전압 Scaling을 하였을 경우

그림 6, SCF의 출력 전압과 주파수의 특성곡선

그림 6 은 scaling을 하지 않았을 경우의 주파수 특성을 나타내었다. 그림에서 OP-AMP의 전압 특성이 V_{p2} 와 V_{p4} 의 경우 입력 전압에 대한 이득이 각각 40.5와 56이다. 이것은 V_{p5} 의 경우의 0.5 보다 약100배 정도의 차이가 나게 된다. 그러므로 출력전압이 1 V의 swing이 되게하려면 내부 OP-AMP의 출력 전압은 100 V 이상에서도 동작되어야 한다.

그러므로 scaling을 하지않은 회로의 최대 입력전압은

$$V_{in,max} = V_{max} / A_2 = (V_{max} / A_p) (V_{p5} / V_{p2}) \leq V_{max} / A_p \quad (11)$$

가 되므로 dynamic 영역을 넓히기 위해서는 각 node에서의 최대전압을 조정해야한다. scaling은 OP-AMP의 feedback capacitor와 그 node에 연결된 모든 capacitor들에 대하여 scaling 계수를 곱한다. 이때 scaling 계수는

$$k_i = V_i / V_{max} \quad (12)$$

가된다. 이때 scaling에 의해 다른단에는 아무런 영향을 미치지 않는다. 또한 이러한 전압 scaling에 의하여 noise에 대한 performance도 증대된다. (Ref. [2])

b). Area scaling

Area scaling을 하지않을 경우 최소 capacitor의 크기와 최대 capacitor의 크기의 비는 상당히 크기때문에 chip의 면적이 커지게된다. 이러한 문제점을 해결하기 위해 회로를 나누어 C의 값을 조정한다. 회로를 나누는 방법은 모든 C와 OP-AMP를 최소의 기반 SCF로 나누어야 하며 이때 모든 capacitor들은 나누어진 다른 SCF들과 겹쳐지게 해서는 않된다. 이렇게 나누어진 SCF들의 capacitor들에 대하여 scaling 계수를 곱하게된다. 여기에서 scaling 계수는 process가 accuracy를 보장할 수 있는 값을 선택한다.

$$m_i = C_{min} / C_{i,min} \quad (13)$$

(C_{min} : process의 최소 capacitance
 $C_{i,min}$: 각 SCF의 최소 capacitance)

5 Simulation 및 Layout

본 회로의 simulation은 OP-AMP의 경우 SPICE 2g6로 하였으며 SCF 전체 회로의 주파수 특성은 KAIST에서 개발된 SCANAP를 이용하였다. 각 simulation의 결과들은 다음과 같다. (Ref. [7])

bias current	40μA	60μA
DC gain	3070	2731
power 소모 [mW]	2	3
CMRR [dB]	90	80
PSRR [dB]	50	55
swing [V]	3.2 ~ -4.0	3. ~ -3.5
출력저항 [MΩ]	5.57	4
slew rate [V/μs]	15	22
	5.2	7.6
unity gain	15	18
frequency [MHz]	5.5	7
phase margin	50	55
	76	76

표 1. OP-AMP의 특성

W[μm]/L[μm]		W[μm]/L[μm]	
M1 M2	50/3	M13	100/3
M3 M4 M5	30/3	M14 M19	40/3
M6 M7	20/3	M15	20/8
M8 M9 M10	-60/3	M16 M17	14/8
M11 M12 M21		M20	12/4

표 2. OP-AMP내 각 MOS TR들의 Geometry

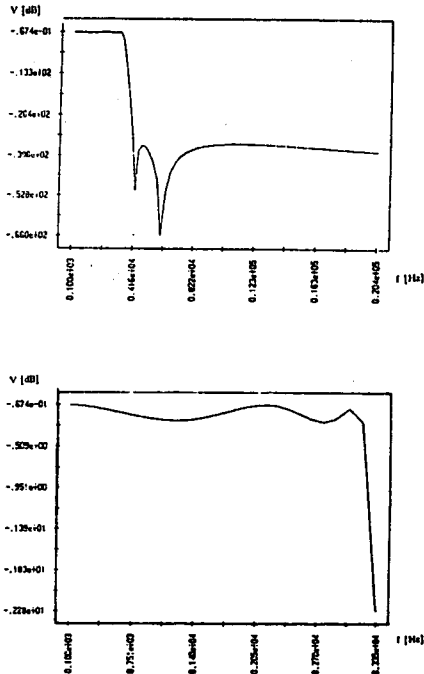


그림 7. SCF의 주파수 특성곡선

본 회로의 설계는 3-um single silicon gate p-well CMOS process 에 의해 이루어졌으며 MOS Transistor의 Model parameter는 표 3 에 주어졌다. Layout은 KAIST에서 개발된 Layout editor 인 Ladis2 를 사용하였다. OP-AMP의 경우 300um×200um 의 면적을 차지하였으며 전체 chip size는 1.2mm×1.2mm가 된다.

```

NMOS
TOX=0.5E-7 VTO=0.68287 KP=0.35057E-4
GAMMA=0.54687 NSUB=0.14892E17 XJ=0.95603E-6
LD=0.57157E-6 LCRIT=0.49441E5 UFXI=0.030657
UO=630.89 PHI=0.70253 VMAX=0.48573E5 NEFF=5
CJ=3.695E-4 NJ=0.314 CJSW=4.174E-10
NJSW=0.441 NFS=2.38E11

PMOS
TOX=0.5E-7 VTO=0.65242 KP=0.21634E-4
GAMMA=0.41669 NSUB=0.95876E15 XJ=0.10602E-6
LD=0.50073E-6 LCRIT=0.44084E5 UFXI=0.32854
UO=227.54 PHI=0.68446 VMAX=0.43194E5 NEFF=5
CJ=1.4352E-4 NJ=0.460644 CJSW=2.4546E-10
NJSW=0.716849 NFS=1.49E11
    
```

표 3. MOS의 MODEL parameter

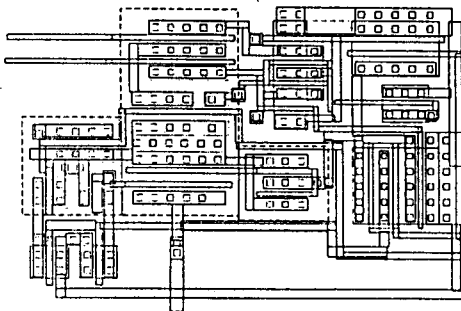


그림 8. OP-AMP Layout

6 결론

본 논문에서는 clock 주파수가 256KHz이고 차단 주파수가 3.2KHz 인 저역 통과 filter의 설계에 관하여 서술하였다. OP-AMP는 주파수 특성과 slew rate 를 높이기 위해 OTA 를 사용하였다. 이러한 구조의 OP-AMP를 사용함으로써 2단 증폭 방식의 OP-AMP를 사용하여 회로를 설계할 때보다 chip size를 감소시킬 수 있으며 이득과 slew rate 가 증가되었다. 또한 SCF의 dynamic 영역을 넓히기 위해 OP-AMP의 출력 전압을 scaling하였고 chip 의 면적을 줄이기 위하여 area scaling을 하였다.

참고 문헌

- [1] Arthur B. Williams, Electronic Filter Design Handbook, Mc Graw-Hall, 1981
- [2] Roubik Gregorian and Gabor C. Temes, Analog MOS Integrated Circuits For Signal Processing, John Willy & Sons, 1986
- [3] Rinaldo Castello and Paul R. Gray, A High-Performance Micropower Switched Capacitor-Filter, IEEE JSSC VOL. SC-20 No.6 pp1122-1132, 1985
- [4] Gabor C. Temes and H. J. Orchard and Masood Jahnbegloo, Switched-Capacitor Filter Design Using the Bilinear z-Transform, IEEE Transaction on CAS Vol. CAS -25 No.12 pp 275-280, 1978
- [5] Ken Martin, Improved Circuits for the Realization of Switched-Capacitor Filters, IEEE Transaction on CAS, Vol CAS-27 No.4 pp 281-288, 1980
- [6] Kuang-Lu Lee and Robert G. Meyer, Low-Distortion Switched-Capacitor Filter Design Techniques, IEEE JSSC, Vol. SC-20 No.6 pp 1103-1113, 1985
- [7] 이기준, 축소 변형 노우드 해석 방식과 회로시뮬레이션에의 응용, KAIST 박사 학위 논문, 1985

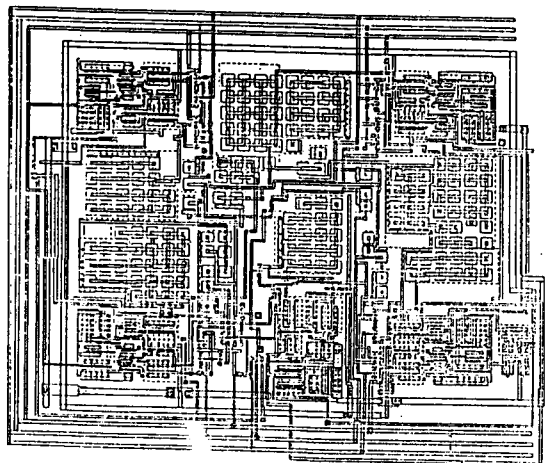


그림 9. 전체 회로의 Layout