

마스크 패턴데이터로부터의 회로 파라미터 추출에 관한 연구

○ 마 재 성 노 승 룡 김 철 주  
 서울시립대학교 공과대학 전자공학과

A Study on Circuit Parameter Extraction  
 from Mask Pattern Data

Jae-Seong Lee, Seung-Ryong Rho, Chul-Ju Kim  
 Dept. of Elect. Eng., Seoul City Univ.

ABSTRACT

In this paper, we propose the algorithm for mask level simulation. The circuit parameters were extracted from the photomask data in format of bitmap. The extracted circuit parameter was transformed into the input file format of SPICE-16. And then the simulation of mask pattern data was carried out the SPICE-16. Thus the error operation of IC due to the mistake of photomask pattern could be prevented.

1. 서 론

집적회로의 설계는 논리설계, 회로설계 및 포토마스크 패턴설계를 거쳐 완성된다. 설계된 회로가 설계의도대로 동작하는가를 확인하기 위하여 논리 또는 회로설계 단계에서 컴퓨터를 이용한 시뮬레이션이 행하여진다. 한편 설계된 회로를 기초로 한 포토마스크 패턴은 대부분 사람의 손에 의하여 설계된다. 집적회로 제조공정에 들어가기에 앞서 포토마스크 패턴에 잘못이 없는가를 확인하는 것은 집적회로 설계에 있어 매우 중요한 일이다.

집적회로 제조공정에서 발생할 수 있는 측면에칭, 포토 마스크간의 비정합, 레지스트의 과소 또는 과잉노출 등에 따른 오동작을 방지하기 위하여 포토마스크 패턴설계자에게 몇가지의 설계규칙이 주어진다(3). 그러나 이들 설계규칙의 점검만으로는 회로의 동작을 파악할 수 없다. 이를 위해 설계된 포토마스크 패턴으로부터 역으로 회로 파라미터를 추출하여 시뮬레이션 하는 알고리즘이 몇가지 제안되

어 있다(1,2). 그러나 이들 알고리즘은 1MIPS 이상의 고속의 대용량 컴퓨터를 사용하는 것을 전제로 할 뿐만 아니라, 설계의도에서 벗어난 기생소자(parasitic device)에 대하여는 고려하지 않고 있다.

본 논문에서는 16-bit 마이크로컴퓨터 PC9801 VM2 상에서 동작하는 포토마스크 패턴설계 프로그램 BITMAP-IV를 이용하여 설계된 bitmap 형식의 포토마스크 패턴데이터로부터 회로 및 소자 파라미터를 추출하는 방법을 제시하였다. 추출된 회로 파라미터는 범용 회로시뮬레이터인 SPICE16(8)으로 시뮬레이션되므로 집적회로의 정상동작 여부를 포토마스크 설계단계에서 시뮬레이션할 수 있다.

2. 회로 파라미터 추출

MOS 집적회로에 있어서 포토마스크 패턴은 MOS 트랜지스터와 R, C 등 수동소자, 배선도형으로 구분된다. 그림1-(a)와 같이 확산층 영역과 교차하는 Poly. Si 층이 자기배열(self alignment)된 증가형 MOSFET의 gate이고, gate에 의해 둘로 나누어 지는 확산층이 drain과 source이다. MOSFET의 drain과 source, gate에 nod

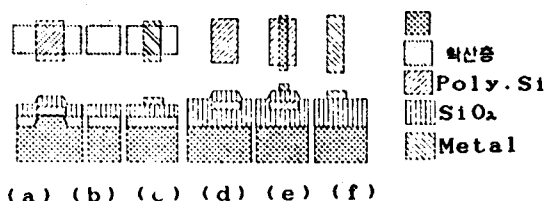


그림1. MOS 마스크 패턴의 분류

e 번호를 부여한다. 그림1-(b),(c),(d),(e)와 같이 확산층과 교차하지 않는 Poly.Si 층, Poly.Si 층과 교차하지 않는 확산층은 저항으로 볼 수 있다. 또한 그림1-(c),(d),(e),(f)에는 금속-확산층, Poly.Si-기판, Poly.Si-금속, 금속-기판간 커패시턴스가 존재하며, 그림1-b)에는 확산층-기판간 접합용량이 존재한다(4). 따라서 확산층이나 Poly.Si에 의한 배선은 그림2와 같은 등가회로모델로 표현할 수 있으므로 Poly.Si, 확산층 배선에도 node 번호를 부여한다. 또한 금속층과 확산층, 금속층과 Poly.Si 층이 교차하는 곳에도 node 번호를 부여한다. 하나의 node가 다른 node와 겹치거나 금속배선을 통해 다른 node에 접속되어 있는 것은 동일한 node이다.

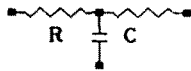


그림2. Poly.Si, 확산층 배선의 등가회로모델

먼저 모든 gate와 저항, 커패시터에 번호를 부여하고 이를 순서대로 배열하여 소자표를 만든다. 다음에 각 트랜지스터의 drain, gate, source와 저항 및 커패시터 양단에 해당하는 node 번호를 소자표에 기입한다. 외부입력단자나 전원전압, 접지 등에 연결되어 있는 곳은 각 단자마다 새로운 node 번호를 부여하고 그 node 번호를 소자표에 기입하여 소자표를 완성한다.

### 3. 소자 파라미터 설정

마스크패턴 데이터를 각 소자의 영역별로 구분하고 소자의 폭과 길이, 면적을 무차원으로 추출한다. 여기에 웨이퍼 프로세스의 최소선폭을 입력하여 이들을 실제의 값으로 변환한다. 다음에 SiO<sub>2</sub> 막두께 등 제조공정 파라미터를 입력하여 소자 파라미터를 계산한다.

#### 3-1. MOSFET 파라미터

패턴 데이터로부터 무차원으로 추출된 MOSFET의 gate의 길이(L), 폭(W)에 웨이퍼 프로세스의 최소선폭을 곱하여 실제의 값으로 변환한다. Drain과 s

ource는 gate의 경계면에 존재하는 것으로 간주한다. 여기에 gate 산화막 두께, 확산층의 가로방향 확산길이, 기판의 불순물 농도 등을 입력하여 MOSFET의 SPICE 파라미터(5)를 계산한다.

#### 3-2. 수동소자

그림2의 등가모델에서 R을 계산하기 위해 Poly.Si 및 확산층의 저항율과 Poly.Si의 두께 및 확산층의 확산길이를 입력한다. 이때 R은 다음 식으로 주어진다.

$$\begin{aligned} \text{Poly.Si} &: \rho L/Wd_p \\ \text{확산층} &: \rho L/WX_j \end{aligned}$$

여기에서  $\rho$ 는 저항율,  $d_p$ 는 Poly.Si 층의 두께,  $X_j$ 는 확산층의 확산길이이다. 또 C를 계산하기 위해 Poly.Si 아래의 산화막 두께, 금속층 아래의 산화막 두께를 입력하면 C는 다음 식으로 계산된다.

$$\begin{aligned} \text{Poly.Si-기판} &: \epsilon_0 \epsilon_{r, \text{SiO}_2} LW/d_p \\ \text{Poly.Si-금속} &: \epsilon_0 \epsilon_{r, \text{SiO}_2} LW/(d_m - d_p) \\ \text{금속-기판} &: \epsilon_0 \epsilon_{r, \text{SiO}_2} LW/d_m \\ \text{금속-확산층} &: \epsilon_0 \epsilon_{r, \text{SiO}_2} LW/(d_m - d_p) \end{aligned}$$

### 4. 프로그램의 구성

프로그램은 그림3과 같이 회로 파라미터 추출단계, 소자 파라미터 계산단계, SPICE 입력파일 작성단계의 3가지로 크게 분류할 수 있다. 회로 파라미터 추출단계에

프로그램의 구성

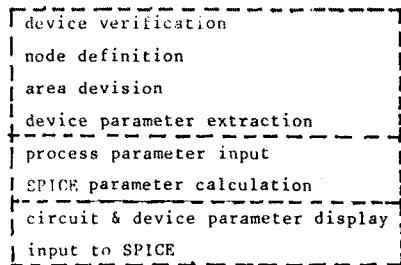


그림3. 프로그램의 흐름도

서는 설계된 마스크패턴 데이터로부터 농도 및 수동소자를 추출하여 상호 연결관계를 파악하고, 각 소자의 특성을 나타내기 위해 소자의 폭과 길이, 면적 등이 무차원으로 추출된다. 소자 파라미터 계산단계에서는 공정 파라미터의 입력에 의해 각 소자의 특성이 실제의 값으로 계산되어 진다. 마지막으로 SPICE 입력파일 작성단계에서는 회로 및 소자 파라미터를 SPICE 입력파일형태로 변환하고 출력 node 및 출력형태를 지정한다.

5. 시뮬레이션 결과 및 검토

시뮬레이션 대상으로 그림6과 같은 포토마스크 패턴을 선정하였다. 그림6의 포토마스크 패턴은 그림4-(a)의 논리회로로 표현되는 positive going edge triggering D-Flip Flop이다(6). 그림4-(b)는 CALS(7)를 이용한 그림4-(a)의 논리 시뮬레이션 결과이다. 그림4-(b)로부터 이 논리회로가 positive edge에서 구동됨을 알 수 있다. 그림5는 이 논리회로를 개별 NMOS 소자로 구성된 것이다.

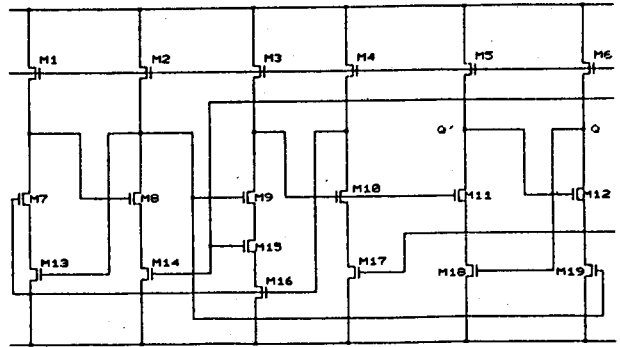


그림5. D-Flip Flop의 MOS 등가회로

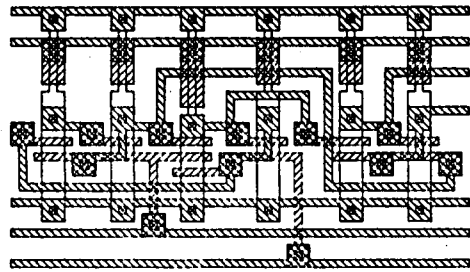
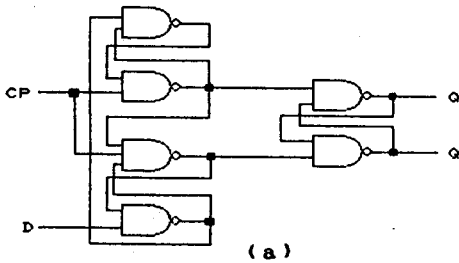
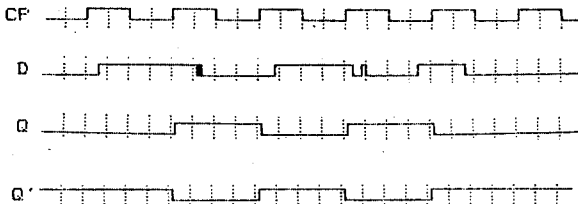


그림6. D-Flip Flop의 포토마스크 패턴



(a)



(b)

그림4. a) Positive edge triggered D-Flip Flop  
b) CALS에 의한 시뮬레이션 결과

그림6의 패턴에 대하여 프로그램을 수행시켜 얻어진 SPICE 입력파일과 그림5에서 얻어지는 입력파일을 비교할 때 본래의 트랜지스터 이외에 많은 저항과 커패시터 등 기생소자가 추가되었다. 소자 파라미터를 계산하기 위해 입력한 공정 파라미터의 값은 표1과 같다. 그림7은

<표 1> 공정 파라미터

parameter	value
	5 micron
Gate 산화막 두께	500 A
Poly.Si 아래의 산화막 두께	2000 A
금속층 아래의 산화막 두께	5000 A
확산층의 가로방향 확산길이	0
기판의 불순물 농도	1E+15
확산 농도	1E+20
확산층 저항률	8E-6
Poly.Si 저항률	3.3E-4
확산 길이	2.0 micron
Poly.Si 두께	2.0 micron

```
*****01-01-B0 ***** SPICE16 10/5/86 *****08:36:13*****
* Positive edge triggering D-Flip Flop with parasitic devices
**** OPERATING POINT INFORMATION TEMPERATURE = 27.000 DEG C
*****
```

\*\*\*\* MOSFETS

MODEL	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12
ID	3.46E-04	1.75E-11	2.56E-11	2.83E-11	1.01E-04	5.05E-04	1.28E-11	5.46E-04	3.96E-12	1.49E-12	1.28E-11	1.01E-04
VGS	10.416	7.000	7.000	7.000	7.783	10.210	1.155	4.310	.895	4.000	1.155	2.079
VDS	3.413	.000	.000	.000	.782	3.207	1.155	.867	4.316	3.845	1.155	1.295
VBS	-1.584	-5.000	-5.000	-5.000	-4.217	-1.799	-3.845	-.690	-.684	.000	-3.845	-2.921

MODEL	M13	M14	M15	M16	M17	M18	M19
ID	3.05E-04	5.46E-04	2.65E-13	-2.86E-17	1.49E-12	1.01E-04	5.05E-04
VGS	3.583	4.995	.000	5.000	.000	1.786	4.996
VDS	1.151	.684	.684	.000	3.845	2.720	1.628
VBS	-.633	-.003	.000	.000	.000	-.601	-.004

그림 7. 시뮬레이션 결과

마스크 패턴으로부터 추출된 입력파일로 시뮬레이션을 행한 결과이다. 이 결과를 그림 5의 회로에 대하여 시뮬레이션 한 결과와 비교하였을 때 각 트랜지스터의 동작점 및 응답속도 등에 약간의 차이를 보였지만, 전체적으로 볼 때 만족할만한 결과를 얻었다.

6. 결론

마스크패턴 데이터로부터 회로 및 소자 파라미터를 추출하여 SPICE16으로 시뮬레이션하는 마스크레벨 시뮬레이터를 제안하였다. 트랜지스터 등 능동소자 뿐만 아니라 배선 등에서 발생하는 저항, 커패시터 등 기생소자도 추출해 냄으로써 마스크 시뮬레이션의 정밀도를 높였다. 따라서 마스크패턴상의 오류로 인한 집적회로의 오동작을 방지할 수 있다.

앞으로의 연구과제로서, 보다 대규모인 패턴데이터를 처리하기 위해 CIF(3) 등 벡터방식의 패턴데이터에 대한 적용 및 추출된 기생소자의 축소에 대한 연구가 필요하다.

\*\*\*참고문헌\*\*\*

- (1) D.D.Hill, "A Graphical Simulator Interface for LSI Design" IEEE Trans. on CAD, Vol.2, pp.57-61, 1983.
- (2) W.Takashi, E.Makoto and N.Miyohara, "A New Automatic Logic Interconnection Verification System for VLSI Design" IEEE Trans. on CAD Vol.2, pp.70-82, 1983.
- (3) C.Mead and L.Conway, "Introduction to VLSI System" Addison Wesley, Chap.2, 1980.
- (4) P.R.Gray and R.G.Meyer, "Analysis and Design of Analog Integrated Circuit" Wiley, pp.145-150, 1984.
- (5) L.W.Nagel, "SPICE-2: A Computer Program to Simulate Semiconductor Circuit" ERL Memo. No. ERL-M 520, Univ. of Calif. Berkley, May, 1975.
- (6) M.M.Mano, "Digital Design" Prentice Hall, Inc., pp. 214-216, 1984.
- (7) 이재성, 김정희, 김철주, "8-비트 마이크로 컴퓨터를 이용한 논리회로 시뮬레이터에 관한 연구" 대한전자공학회 반도체 및 CAD 연구회 합동 학술발표회 논문집 제 4 권 1 호 pp.35-37, 1985.
- (8) 한기주, 노승용, 한일송, "회로 시뮬레이터 SPICE-16 의 구현에 관한 연구" 대한전자공학회 추계학술대회 논문집 제 9 권 2 호, pp. 821-823, 1986.