

CMOS을 이용한 연산증폭기의 회로 해석 및 설계

○ 강희조\*, 이주환\*, 김길상\*, 홍성찬\*, 어현\*, 최승철\*

송실대학교 전자·반도체 대학원, 한국전기통신공사 사업지원본부

A STUDY ON THE ANALYSIS AND DESIGN OF OPERATION AMPLIATION BY USING CMOS

Heau Jo KANG, Ju hawn LEE, Kil Sang KIM, Sung Chan HONG, Hyun YO, Seung Chul CHOI

Soong Sil UNIV. ELETRONICS.SEMICONDUCTOR DEP,RESERCH CENTER OF K.T.A.

ABSTRACT : CMOS operational amplifier is most useful building bloch in analog circuit.

This paper represents the analysis and design method of CMOS OP AMP to use general purpose such as the A/D and D/A converter, PCM encoder and decoder etc.

The required specifications is obtained by changing W/L ration of CMOS devices.

The design procedure must be iterative in as much as it is almost impossible to relate all specifications simultaneously.

This is performed with IBM-PC.XT by using SPICE(SIMULATION PROGRAM WITH INTEGRATED CIRCUIT EMPHASIS)program.

I. 서론

80년대의 반도체 제조 기술의 비약적인 발달로 인해 CMOS 연산 증폭기 설계에 대해 많은 관심을 갖게 되었다. 이 증폭기는 SC FILTER(Switched Capacitor FILTER)나 D/A 및 A/D 변환기(CONVERTER)의 어력 ANALOG 회로의 필수 요소이다. 이들 회로들은 주로 BIPOLAR TRANSISTER 돌로 구성 되었으며, 마이크로프로세서나 기억 소자등 DIGITAL 회로는 MOSFET 회로로 구성 되어 있다. 그러나 집적도를 높이기 위해 한 CHIP내에 ANALOG 회로에 DIGITAL 회로를 동시에 CMOS 회로로 구현 하려는 노력이 기울여져 왔다. 본 논문의 연구에서는 CMOS 연산 증폭기의 기본회로와 이들 회로를 이용한 연산 증폭기의 회로를 COMPUTER SIMULATION PROGRAM 인 SPICE를 통해서 이 CMOS OP AMP를 SIMULATION 하였으며 CMOS OP AMP의 일반적인 용도의 SPECIFICATIONS 에 충족하도록 DESIGN 하였다.

II. 연산 증폭기의 기본 회로

1. SOURCE 결합 회로.

정전류 Iss로 바이어스된 NMOS 소스 결합 회로는 그림.1과 같다. 두 MOSFET 는 대칭 구조이고 출력 저항과 BODY EFFECT를 무시하면 두 소자의 DRAIN 전류식은 다음과 같다.

$$I_{d1} = U_n \frac{Cox W}{2L} (V_{gs1} - V_t)^2 \quad (1)$$

$$I_{d2} = U_n \frac{Cox W}{2L} (V_{gs2} - V_t)^2 \quad (2)$$

여기서,

- Un : 전자의 이동도.
- Cox: 단위 빈적당 GATE 산화층의 커패시턴스.
- W : GATE CHANNEL WIDTH.
- L : GATE CHANNEL LENGTH.
- Vgs: GATE AND SOURCE VOLTAGE.
- Vt : THRESHOLD VOLTAGE.

이다.

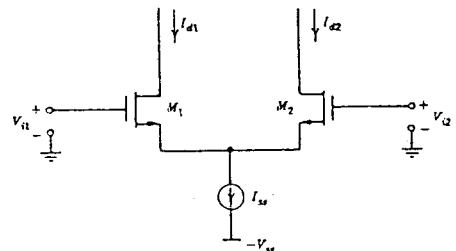


그림.1. NMOS 소오스 결합회로

Fig.1 SOURCE-COUPLED PAIR OF N-CHANNEL DEVICES.

이들 두식으로부터 두 전류의 차 ΔId(I<sub>d1</sub>-I<sub>d2</sub>)는 다음식과 같다.

$$\Delta I_d = U_n \frac{Cox W}{2L} (\Delta V_i) \left[ \left\{ \frac{2 I_{ss}}{U_n (Cox W/2L)} - (\Delta V_i)^2 \right\}^{1/2} \right] \quad (3)$$

여기서  $I_d = (I_{d1} + I_{d2})/2$  (4)  
 $\Delta I_d = I_{d1} - I_{d2}$  (5)  
 $\Delta V_i \leq (I_{ss}/Un(Cox W/2L))^{**1/2}$ . (6)

두 MOS 포화 영역에서 동작되기 위한 조건이다. 이 식으로부터 그림 2와 같은 자동 증폭단의 DC 전달특성곡선을 얻을 수 있다.

$\Delta I_d = I_{d1} - I_{d2}$

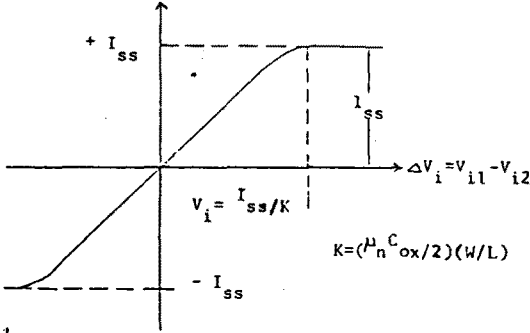


그림.2 자동 증폭단의 DC 전달 특성 곡선.  
 Fig.2 DC TRANSFER CHARACTERISTICS OF MOS DIFFERENTIAL PAIR.

전달 특성 곡선에서 선형 영역의 범위는 바이어스 전류  $I_{ss}$ 와 MOSFET의 W/L에 의해 결정된다. 소스 결합 자동 증폭기에서 상호 컨덕턴스  $G_m$

$G_m = (d \Delta I_d / d \Delta V_i) \Delta V_i = 0$ . (7)

$$\frac{d \Delta I_d}{d \Delta V_i} = \left( \mu_n \frac{C_{ox} W}{2L} \right) \sqrt{\left( \frac{2I_{ss}}{\mu_n (C_{ox} W/2L)} \right) - (\Delta V_i)^2} - \frac{\left( \mu_n \frac{C_{ox} W}{2L} \right) (\Delta V_i)^2}{\sqrt{\left( \frac{2I_{ss}}{\mu_n (C_{ox} W/2L)} \right) - (\Delta V_i)^2}}$$
 (8)

$G_m = \sqrt{I_{ss}(Un Cox W/ L)} = g_{m1} = g_{m2}$  (9)

MOS FET가 포화영역에서 동작할때, 자동 증폭단의 상호 컨덕턴스( $G_m$ )는 증폭단 1개의 상호 컨덕턴스( $g_{m1}$ ), 와 같다.

2. MOS FET로 구성된 정전류원

간단한 MOS FET 정전류원의 회로와 I - V 특성곡선은 그림.3과 같다. 이 회로는 M1, M2가 포화영역에서 동작되며, 두 소자의 전기적 파라메타는 같고,  $V_{gs1} = V_{gs2}$  이면 출력 전류  $I_{out}$ 은 다음식이 된다.

$I_{out} = I_{ref} [(W/L)_2 / (W/L)_1]$  (10)

출력 전류는 두 소자의 W/L비에 의해 결정된다.

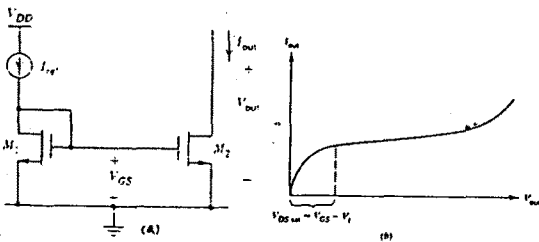


그림.3(a) 간단한 MOS 정전류원 회로.  
 FIG.3(a) SIMPLE CURRENT SOURCE.  
 그림.3(b) I-V 특성곡선.  
 FIG.3(b) I-V CHARACTERISTICS.

소신호 출력 저항은 식 (11)과 같이 정의된다. 출력 저항  $r_o$ 를 크게하기 위해서는 채널 길이를 증가 시켜야 한다.

$r_o = [(ID / Leff) + (dX/d Vds)]^{-1}$  (11)

$V_{Thev} = r_o * ID * \left( \frac{1}{Leff} + \frac{dX/d}{d Vds} \right)^{-1} = V_A = \frac{1}{\lambda}$  (12)

3. CASCODE CURRENT SOURCES

출력 저항과 유효 개방 회로 전압을 증가시키기 위해 그림.4와 같은 CASCODE 전류원이 사용되며, LOE 저항의 증가로 증폭단의 전압 이득을 크게 할수있다. 소신호 출력 저항은 식 (13)과 같으며 유효 출력 저항과 유효 개방전압은  $(1 + g_{m2} r_o)$  만큼 증가한다.

$R_o = r_{o2}(1 + g_{m2} r_{o1})$  (13)

이 회로의 단점은 전류원과 CASCODE 소자가 stack 되어 있어 두 소자가 포화 영역에서 동작될때 출력단의 전압 swing 범위가 단순 전류원의 경우 보다 작다.

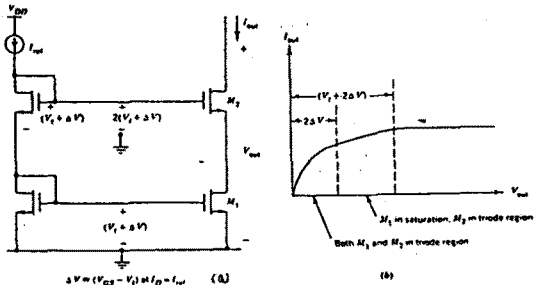


그림.4.(a) CASCODE 전류원.  
 FIG.4.(a) CASCODE CURRENT SOURCE.  
 그림.4.(b) I - V 특성곡선.  
 FIG.4.(b) I - V CHARACTERISTICS.

4. WILSON 전류원.

그림.5는 또 다른 고임피던스 전류원이며, M3를 통한 부궤환에 의해 출력 저항을 CASCODE 전류원과 같이 크게 얻을 수 있다. M3의 드레인 전압은 M2의 드레인 전압 보다  $V_t$ 만큼 커서 출력저항으로 인한 드레인 전류의 MISMATCH가 생긴다. 따라서 그림6과 같이 M4를 삽입시켜 드레인 전압을 같게 한다.

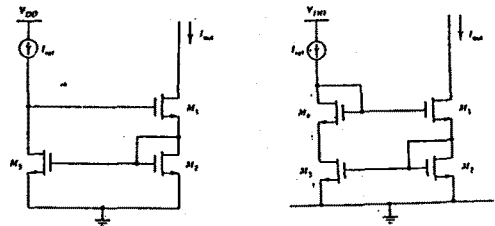


그림.5 WILSON 전류원.  
 FIG.5 WILSON CURRENT SOURCE.

그림.6 개선된 WILSON 회로.  
 FIG.6 IMPROVED WILSON CURRENT SOURCE WITH ADDITIONAL DEVICES SUCH THAT THE DRAIN VOLTAGES OF M2 AND M3 ARE EQUAL.

WILSON 전류원의 소신호 등가회로는 그림.7과 같다. 시험전류  $I_x$ 는  $g_{m2}$ 를 통하여 흐르므로  $V_{gs3}$ 는 다음식과 같다.

$V_{gs3} = I_x / g_{m2}$

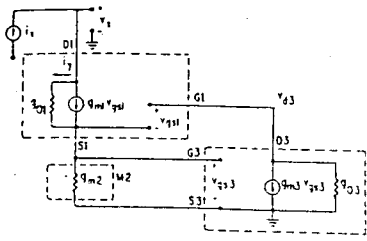


그림.7 WILSON 소신호 등가회로.  
Fig.7 SMALL-SIGNAL EQUIVALENT CIRCUIT FOR WILSON CURRENT SOURCE.

$$V_{ds3} = -[(I_x / g_{m2}) * (g_{m3} / g_{o3})] \quad (14)$$

$$V_{gs3} = -I_x \left( \frac{1}{g_{m2}} + \frac{g_{m3}}{g_{m2}} + \frac{1}{g_{o2}} \right) \quad (15)$$

g<sub>o1</sub>에 흐르는 전류 I<sub>y</sub>와 출력 전압은 다음 식이 된다.

$$I_y = I_x + I_x g_{m1} [1 / g_{m2} + (g_{m3} / g_{m2}) * (1 / g_{o2})] \quad (16)$$

$$V_o = (I_y / g_{o1}) + (I_y / g_{m2}) \quad (18)$$

출력 저항은 다음 식이 된다.

$$R_o = \frac{V_o}{I_x} = \frac{1}{g_{m2}} + \frac{1}{g_{o1}} \left[ 1 + \left( \frac{g_{m1}}{g_{m2}} \right) \left( 1 + \frac{g_{m3}}{g_{o3}} \right) \right] \quad (19)$$

만일 g<sub>m1</sub> = g<sub>m2</sub> = g<sub>m3</sub> 이고 g<sub>m3</sub> / g<sub>o3</sub> >> 1 이면 아래 식으로 된다.  
출력저항은 g<sub>m2</sub> / g<sub>o3</sub> 에 비례하여 증가된다.

$$R_o = (1 / g_{o1}) * [g_{m3} / g_{o3}] \quad (20)$$

MOS 전류원을 설계 하는데 있어서 가장 중요한 문제점은 두 소자의 미스 매칭이다. 미스매치로 인하여 자동증폭기의 offset 전압은 증가 되고 A/D 변환기의 정확도는 떨어진다. 그림.8 에서 소자 W/L 비와 V<sub>t</sub> 만큼 미스매치 되었다고 가정하여 전류의 미스매칭 관계식을 구할 수 있다.

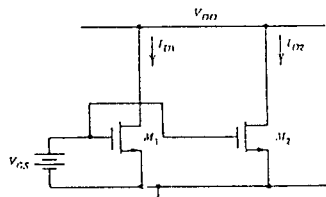


그림.8 MOS 전류원의 매칭.  
Fig.8 Matched pair of MOS current sources.

여기서 평균과 차의 값을 정의 하면

$$\Delta = \left( \frac{W}{L} \right)_1 - \left( \frac{W}{L} \right)_2 \quad (21)$$

$$V_t = \frac{V_{t1} + V_{t2}}{2} \quad (22)$$

$$\Delta V_t = V_{t1} - V_{t2} \quad (23)$$

이다.

Δ I<sub>d</sub> / I<sub>d</sub>를 구하면 다음식과 같다.

$$\frac{\Delta I_d}{I_d} = \left( \frac{\Delta(W/L)}{W/L} \right) - 2 \cdot \frac{\Delta V_t}{(V_{gs} - V_t)} \quad (24)$$

이 식에서 전류 미스매치의 요인은 기하학적인 요인(W/L)과 문턱전압(V<sub>t</sub>)이다.

III. CMOS 인산 증폭기의 설계의 예.

CMOS 공정을 이용한 인산 증폭기호로 구성은 그림.9 와 같으며, 2단 증폭 구조로 되어 있다. MOS FET M1, M2, M3, M4 및 M5는 자동증폭단을 구성하며 M6 과 M7 및 M12에 바이어스 전압을 걸어주기 위한 회로이다. 자동 증폭단의 회로에서 M1 과 M2는 입력 트랜지스터이고, NMOS 로 구성되어 있다. P-well CMOS 공정을 이용할 경우, NMOS는 well속에 있으므로 입력 트랜지스터를 발도 well속에 만들어서 body효과를 제거 시킨다. M3 와 M4는 current mirror를 구성하며 능동 부하로 동작하고 M5는 전류원으로 동작 제거비(CMRR)를 증가 시키기 위하여 사용된다. M8, M9 및 M10 드레인과 게이트를 묶어서 전압 분배기로 이용된다. 이 트랜지스터는 등가적으로 1/g<sub>m</sub>과 같은 역할을 하므로 이 회로는 전압 분배기로 동작한다.

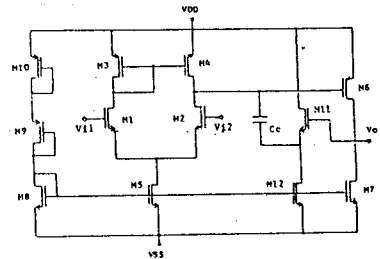


그림 9 CMOS 인산 증폭기(완충기 보상)  
Fig.9 CMOS OP AMP(buffered compensation)

주파수 보상은 pole-splitting 커패시터 C<sub>c</sub>에 의해서 수행된다. 둘째 단의 상호 컨덕턴스가 작기때문에 큰 용량 부하를 걸었을때 위상 여유가 줄어들어서 안정도가 떨어진다. 안정도를 높이기 위하여 보상 커패시터에 완충기로서 M11과 M12(source-follower)를 연결하여 우측 영점을 제거한다. 그리고 또 다른 방법으로 그림.10과 같이 저항을 연결하여 주파수 보상을 하는 방법이 있다. 여기서 M11과 M12는 transmission gate이며 저항의 역할을 한다.

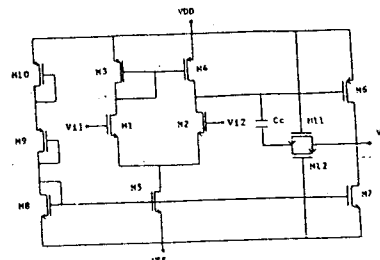


그림.10 CMOS 인산 증폭기(RC 보상)  
Fig.10 CMOS OP AMP(RC compensation)

본 논문에서는 그림.9,10에서 얻어진 결과들은 computer로 simulation해 봄으로써 우리가 사용 하려고 하는 어떤 종류 어떤 특성의 CMOS OP Amp라도 필요에 따라 설계 제작할 수 있다는 것을 보여주는 것이다.

IV. SPICE Simulation 및 결과

1.SPICE

CMOS OP Amp설계의 flow chart 그림.11와 같고 SPICE구조를 살펴보면 그림.12와 같다.

본 논문에서 사용하는 SPICE는 SPICE 2G.1의 Version 을 사용 했으며Channel 길이를 .5um로 했으며 level 2 을 사용했다.

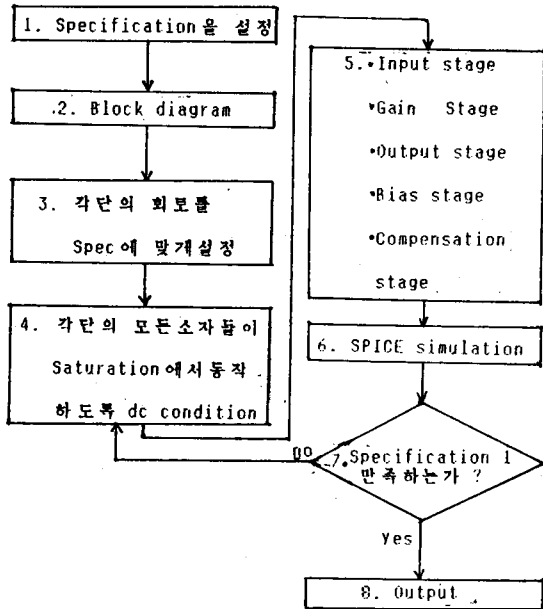


그림.11 CMOS OP Amp의 설계 flow chart.

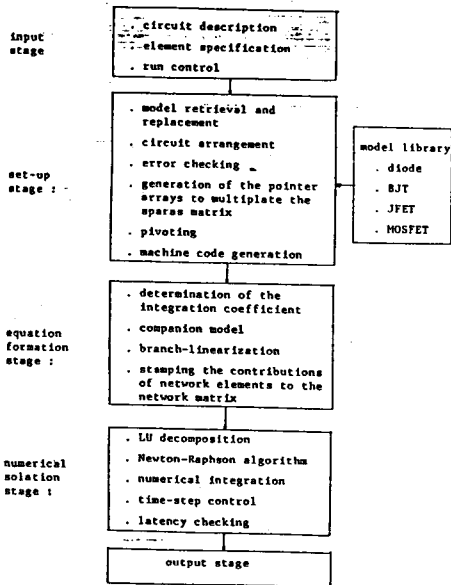


그림.12 SPICE의 계산 흐름도.

설계된 연산증폭기의 트랜지스터 크기는 표 1과 같고, 이 증폭기의 사양은 표 2와 같다

V. 결 론

본 논문에서는 CMOS 연산 증폭기의 개괄적인 설명과 computer simulation에 의한 CMOS OP Amp의 해석 및 설계를 시도 했으며 SPICE program에 의한 computer simulation을 통해서 본 논문에서는 필수 있는 대로 채널길이와 채널폭을 줄였으며 드레인 전압과 소오스 전압도 최대한으로 줄이려고 노력하였으며 보다 높은 집적화를 시키려고 시도 하였다. 앞으로 더욱더 집적화율 높이며 성능면에서도 우수한 SLOW RATE와 GAIN BANDWIDTH에 대한 심층 연구 또한 발전이 있어야 할 것이다.

Table1. Transistor Size of CMOS OP AMP

Tr.	Type	L(um)	W(um)	AD(pm)	AS(pm)
M1	N MOS	3u	24u	72p	72p
M2	N MOS	3u	24u	72p	72p
M3	P MOS	3u	16u	48p	48p
M4	P MOS	3u	16u	48p	48p
M5	N MOS	3u	10u	30p	30p
M6	P MOS	3u	40u	120p	120p
M7	N MOS	3u	18u	48p	48p
M8	N MOS	3u	16u	48p	48p
M9	P MOS	3u	12u	36p	36p
M10	P MOS	3u	8u	24p	24p
M11	N MOS	3u	20u	60p	60p
M12	N MOS	3u	4u	12p	12p

(Buffered Compensation)

M11	N MOS	3u	4u	12p	12p
M12	P MOS	3u	18u	48p	48p

(RC Compensation)

Table2. Specification of CMOS OP AMP

Parameter	Value
Power Supply	Vdd = 5V
	Vss = -5V
	Vbb = -10V
Power Dissipation	0.35mW이내
Open-Loop	85 ~ 90 dB
Low-frequency Gain	
Unity Gain Bandwidth	1.5 MHz
Output Swing	±4.0 ~ 4.5V
CMRR	95 dB

VI. 참 고 문 헌

- [1] P.R. Gray and R.G. Meyer Analysis and Design of Analog Integrated Circuits, Wiley, New York, 1984
- [2] A.B. Grebene, Bipolar and MOS Analog Integrated Circuit Design, Wiley, N.Y., 1984
- [3] P.R. Gray, Basic MOS Operational Amplifier Design. An Overview, IEEE Press, 1980
- [4] D.F. Shout, Handbook of Operational Amplifier Circuit Design, Mc Graw-Hill, 1976
- [5] N.W. and K.E., Principles of CMOS VLSI Design, 1985
- [6] W.N. Carr, MOS/LSI Design and Application Mc Graw-Hill, 1972