

다층 배선 구조에서 Etchback 방식에 의한
층간 절연막의 평탄화

안용철, 박문진, 최수한
삼성 반도체 통신(주)

The planarization of interdielectric film by etchback
process in multilevel metallization

Yongchul Ahn, Moonjin Park, Soohan Choi
Samsung Semiconductor & Telecommunication Co., Ltd

Abstract

Planarization in multilevel metallization is very important to smooth out topographic undulations by conductors, dielectrics, contacts, and vias. One of methods for planarizing interdielectrics, such as the etchback process of the double layer composed of the photoresist on the interdielectric low temperature oxide was introduced. The step heights of interdielectrics before and after etchback process was measured by Scanning Electron Microscope, and the degree of planarization was analyzed, comparing the differences of the step heights. In this experiment, the degree of planarization was controlled up to about 0.9.

1. 서론

VLSI 급 소자로 집적될수록 집적적으로 cell 크기는 작아지고 집적도의 증가에 따라 배선의 길이는 증가하고 선폭은 감소하므로써 배선의 저항이 상당히 커져서 소자의 특성 저하, 특히 속도가 늦어지는 문제점들이 발생되고 있다. 이러한 배선의 저항 증가로 인한 소자의 특성 저하를 해결하기 위해 많은 선진 반도체 회사에서 다층 배선 공정 기술이 개발되어 왔다. [1-5]

그러나 다층 배선 공정의 신뢰성 관점에 비추어 공정 개발상에 많은 어려움을 겪어왔다. 따라서 다층 배선 공정을 성공적으로 수행하기 위해서는 첫째, 1st metal 에 사용될 hillock 억제용 막의 증착 기술 개발과 최소 pitch 크기에 따른 금속의 예칭 공정 개발이 선행되어야 하고 둘째, cell 구조가 복잡해질수록 단차의 기록에 의해 초래되는 배선 사이의 via-contacts 안에 배선의 stepcoverage 불량과 사진 공정에서 반사 영향에 따르는 손상을 해결하기 위한 배선들 사이의 층간 절연막의 평탄화 공정이 개발되어야 한다.

평탄화 공정은 여러가지 방법으로 수행할 수 있는데 그 방법들을 나열해 보면 다음과 같다. [5-8]

- (1) PR (photoresist) 와 절연막의 1:1 selective etching 공정에 의한 평탄화 연구.
- (2) Lift-off 기술에 의한 평탄화 연구.
- (3) Spin-on-glass 막 또는 polyimide 에 의한 평탄화

연구.

(4) Bias sputtering 에 의한 평탄화 연구.

이밖에도 여러가지 평탄화 공정을 개발할수 있는 방법이 있다. [9-10]

본 논문에서는 다층 배선 공정 개발을 위한, 주요 요소 기술의 하나인 배선들 사이의 층간 절연막의 평탄화 공정에 관하여 연구되었다. 평탄화 실험은 PR 과 절연막의 1:1 selective etching 조건 설정과 이 조건을 이용하여 단차에서 etchback 공정에 의한 평탄화 정도의 평가로 구분하여 진행되었다.

2. 실험 방법

2.1 시편 제작

1:1 selective etching 조건 설정을 위한 시편 제작 순서는 Figure 1a 에서 보여 주는 바와 같다. P 형 실리콘 웨이퍼 위에 LTO(Low Temperature Oxide) 막을 1000 nm 정도 증착한 다음, S1400-27 PR 을 1150 nm 정도 도포하였다. 그런 후, 간격 2600 nm, 폭 2000 nm 단차를 형성한 다음 120°C, 30 분 동안 베이킹을 하였다. 단차내에서 평탄화 정도 평가를 위한 시편 제작 과정은 다음과 같다. P 형 실리콘 웨이퍼 위에 실리콘 산화막 100 nm 정도를 성장시킨 후, 600 nm 정도의 다결정 실리콘을 증착하였다. 그런 후, 간격 2600 nm, 폭 2000 nm 를 갖는 단차를 형성한 다음 LTO 800 nm 정도를 증착하고, S1400-27 PR 을 1150 nm 두께로 도포하였다. 다음에 120°C, 30 분 동안 베이킹을 실시 하였다. 이에 대한 제작 순서 및 그 수직 구조의 번동을 Figure 1b 에서 보여주고 있다.

2.2 실험 장치

본 실험에 사용된 예칭 장비는 AME-8110 건식 예칭 장비이다. 이 장비는 hexagonal geometry 로 구성되어 있고, 이에 관한 구조를 Figure 2 에서 보여주고 있다. Hexode 시스템에서 반응 챔버의 측면은 anode 가 되고, cathode 에 대한 전극의 면적비는 2 보다도 크다. AME-8110 은 반응성 이온 예칭 방식을 사용하고 있으며, 주 예칭 가스는 CHF₃, O₂ 이다. Loading 되는 전체 웨이퍼 수는 18 장 이다.

2.3 Selective etching

PR 과 LTO 막의 1:1 selective etching 조건 설정은

AME-8110 에서 CHF₃, O₂ 가스비 (전체 가스 유량 : 100 sccm) 와 압력 변화에 따라 에칭 전, 후의 두께 차이로 부터 PR 과 LTO 막 의 에칭 속도가 계산되었고 LTO 의 에칭 속도와 PR 의 에칭 속도의 비, 즉 선택비를 산출하였다. CHF₃/O₂ 가스비는 각각 7/3, 6/4, 5/5, 4/6 과 3/7 로 설정되었고, 압력은 20, 30, 40, 50, 60 과 70 mTorr 에 대해서 에칭 속도 및 선택비의 변화가 관찰되었다.

2.4 평탄화 정도 평가

단차내에서 층간 절연막의 평탄화를 위한 에칭 공정은 PR 을 에칭하는 Etch I 단계와 selective etching 실험 에서 구한 PR 과 LTO 막 의 1:1 selective etching 조건으로 PR/LTO 를 에칭하는 Etch II 단계로 구분되어 진행되었다. Etch I 시간은 시편의 LTO 단차 위 PR 까지 endpoint 를 잡아 에칭을 하면서 조절되었고, Etch II 시간은 각각 6.5 분, 12.5 분, 19.0 분 으로 설정 되었다. 사용된 Etch I, II 조건은 Table 1 에서 보여 주고 있다. 단차내에서 층간 절연막의 평탄화 정도는 다음과 같이 정의되었고, 이에 의해 평탄화 상태를 평가 하였다.

평탄화 정도

$$: \theta = 1 - t_2/t_1$$

위 식에서 t₁ 과 t₂ 는 Figure 3 에서 각각 표시되어 있으며 다음과 같이 정의 된다.

- t₁ : etchback 전 LTO 막의 단차 높이
- t₂ : etchback 후 LTO 막의 단차 높이

Etchback 전, 후의 LTO 막의 단차 높이는 주사 전 현미경 (SEM) 으로 측정되었다.

3. 결과 및 고찰

3.1 Selective etching

전체 가스 유량이 100 sccm 으로 고정되었을때, CHF₃/O₂ 가스비를 각각 7/3, 6/4, 5/5, 4/6 과 3/7 로 변화함에 따라 PR 과 LTO 막의 에칭 속도 및 선택비 변화를 Figure 4a 에 나타내고 있다. Figure 4a 로 부터 PR 과 LTO 막의 에칭 속도 차이가 +/- 1 nm 범위 안에 있는 CHF₃, O₂ 가스 유량은 각각 CHF₃:61 - 63 sccm, O₂:37 - 39 sccm 의 범위내에서 분포되어 있고 이때 선택비는 0.94 -1.06 범위 내에 분포되어 있다 PR 과 LTO 막의 선택비가 1 에 근사한 CHF₃, O₂ 가스 유량이 각각 63, 37 sccm 인 경우, 압력 변화에 따른 PR 과 LTO 막의 에칭 속도 및 선택비 변화는 Figure 4b 에 나타난 바와 같다. Figure 4b 로 부터 압력이 증가함에 따라 LTO 막의 에칭 속도는 거의 일정하고 PR 의 에칭 속도는 서서히 증가하나, PR 과 LTO 막의 선택비에는 큰 차이가 발생하지 않았다. Figure 4a,b 로 부터 PR 과 LTO 막의 에칭 속도가 거의 1:1이 되는 최적 에칭 조건은 CHF₃, O₂ 가스 유량이 각각 63, 37 sccm, 압력 및 RF power 는 각각 40mTorr, 1300 W 로 설정되었다.

3.2 평탄화 정도의 평가

Figure 5a 는 etchback 전 시편의 수직 구조를 보여 주고 있다. Figure 5a 로 부터 etchback 전 LTO 막의

단차 높이 (t₁) 는 700 nm 이었다. Figure 5b 는 Etch I 조건으로 15.5 분 동안 에칭한 후의 결과를 보여 주고 있다. Figure 5b 로 부터 PR 은 표면에서 부터 800 nm 정도 에칭되었고, 이때 PR 의 에칭 속도는 약 51.6 nm/min 으로 계산되었다. 이 PR 의 에칭 속도를 검정하기 위해, 다결정 실리콘 단차 위 LTO 표면 위에 약 100 nm 정도 남아있는 PR 을 에칭하는 시간을 산출한 다면, Etch I 시간은 17.4 분 이었다. Etch I 시간이 17.4 분 이고 Etch II 시간이 각각 6.5 분, 12.5 분 19.0 분 일때, 평탄화 정도 결과 및 수직 구조를 각각 Table 2 와 Figure 6a,b,c 에서 보여주고 있다. Table 2 와 Figure 6a,b,c 로 부터 Etch II 시간이 6.5 분 12.5 분, 19.0 분에 따라 etchback 후 LTO 막의 단차 높이 (t₂) 는 각각 400, 200, 66.7 nm 이었고, 앞에서 t₁ 이 700 nm 로 측정되었으므로, 평탄화 정도는 각각 0.43, 0.71, 0.90 으로 계산되었다. 평탄화 정도는 Etch II 시간이 증가할수록 향상되었다. 그러나 Figure 5a 에서 보인, 다결정 실리콘 단차와 단차 사이에서의 LTO 막의 두께는 다결정 실리콘 단차와 거의 비슷 하므로 다결정 실리콘 단차 바로 위까지 etchback 되어오면, 다결정 실리콘 단차와 단차 사이에서의 LTO 막의 에칭 속도가 단차 바로 위 에서의 LTO 막의 에칭 속도 보다도 빠르게 기인하여 Figure 6c 에서와 같이 단차의 구석 부근에서 각이 지게 된다. 따라서 단차와 단차 사이에서의 LTO 막의 두께가 단차의 높이 보다도 100 - 200 nm 정도로 높다면, 단차의 구석 부근에서 각이 지지 않고 평탄화 정도가 거의 1에 가까워지게 될 것이다.

본 실험에서는 Etch I, II 시간이 각각 17.4 분, 19.0 분 일 때, 평탄화 정도가 0.9로 우수하였다.

4. 결론

이상에서 본 바와 같이 PR 과 LTO 막의 1:1 selective etching 조건 설정 및 이 조건을 이용하여 단차내에서 층간 절연막의 평탄화 정도가 평가되었다. 특히, 단차내에서는 전체 공정 시간을 감안하여 etchback 공정은 2 단계 에칭 조건으로 실행되었다. 간단히 결과를 요약 하면 다음과 같다.

첫째, PR 과 LTO 막의 1:1 selective etching 조건으로 CHF₃ 와 O₂ 가스 유량은 각각 63 sccm, 37 sccm 압력 및 RF power 는 각각 40 mTorr, 1300 W 로 설정되었다.

둘째, 간격이 2600 nm 이고 단차 높이가 600 nm 인 패턴에서 LTO 막을 800 nm 증착한 다음, PR을 1150 nm 도포하고 120°C, 30 분 동안 bake 한 경우, Etch I, II 조건으로 각각 17.4 분, 19.0 분 동안 반응성 이온 에칭 하였을 때, 평탄화 정도는 0.9 로 거의 1에 가까웠다.

Reference

1. R.J. Smith et. al., A double layer metal CMOS III technology, IEDM 1984, p.56-57
2. Thomas Harrington et. al., A manufacture 1.2 um double poly, double metal CMOS process for a one

-mega bit DRAM, IEDM 1984, p.71-74

3. T. Moriya et al., A planar metallization process IEDM 1983, p.550-553

4. P. B. Ghale, Multilevel interconnection technology IEDM 1984, p.126-127

5. A. N. Saxena and D. Pramanik, Planarization techniques for multilevel metallization, Solid Stat Tech. Oct. 1986, p.95-100

6. L. B. Rothman, Properties of thin polyimide films J. Electrochem. Soc. 1982, p.2216-2220

7. A. D. Butherus et al., O₂ plasma-converted spin-on-glass for planarization, J. Vac. Sci 1985, p.1352-1356

8. K. Kamoshida et al., The flowage bias sputter method for planarized aluminum interconnection in VLSI, IEDM 1986, p.70-73

9. David B. Tuckerman and Andrew H. Weisberg, Laser planarization, Solid State Tech. April 1986, p.129-134

10. T. Mogami et al., SiO₂ planarization by two-step rf bias-sputtering, J. Vac. Sci 1985, p.857-861

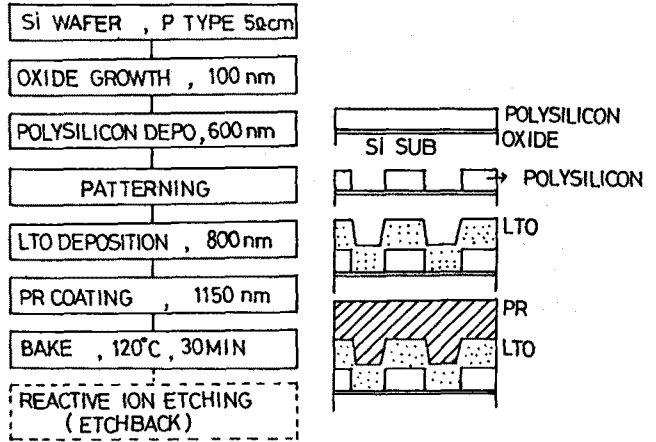


Figure 1b. The process sequence for planarization test on topography

RIE (Cylindrical or Hexagonal Geometry)

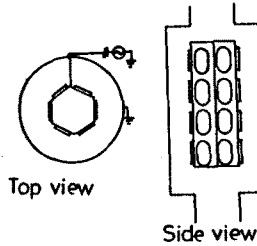


Figure 2. Cylindrical or Hexagonal Geometry for Reactive Ion Etching.

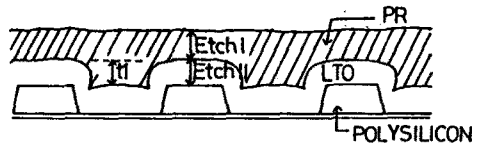
Table 1. Two-step etch condition for planarization.

	CHF ₃	O ₂	pressure	RF power
Etch I	30 sccm	70 sccm	40 mTORR	1300 W
Etch II	63 sccm	37 sccm	40 mTORR	1300 W

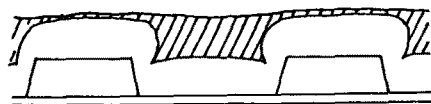
Table 2. The degree of planarization as a function of Etch II time

Etch I Etch II	Etch II time	t ₁	t ₂	1-t ₂ /t ₁
17.4 min	6.5 min	700 nm	400 nm	0.43
17.4 min	12.5 min	700 nm	200 nm	0.71
17.4 min	19.0 min	700 nm	66.7 nm	0.90

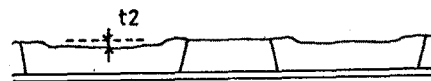
1. STAGE I



2. STAGE II



3. STAGE III



THE DEGREE OF PLANARIZATION

$$\theta = 1 - t_2 / t_1$$

Figure 3. The process sequence for planarization on topography, by Reactive Ion Etching.

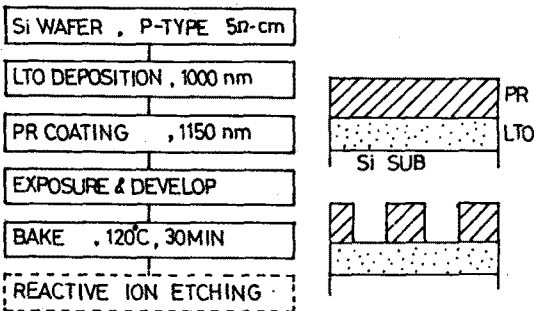


Figure 1a. The process sequence for 1:1 selective etching test on PR/LTO film.

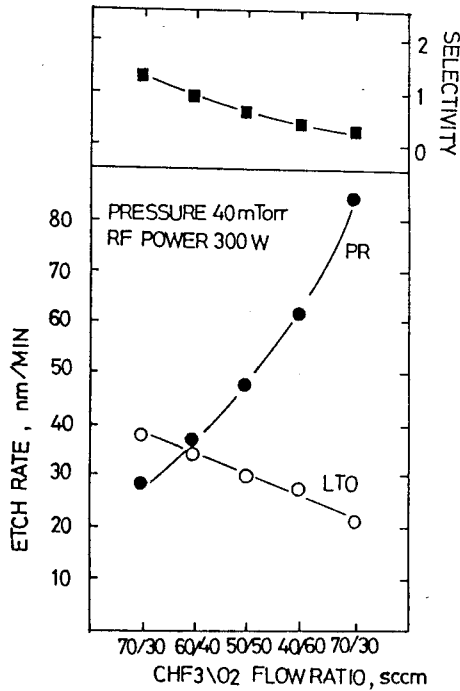


Figure 4a. The etch rate and the selectivity of PR/LTO film as a function of CHF₃/O₂ flow.

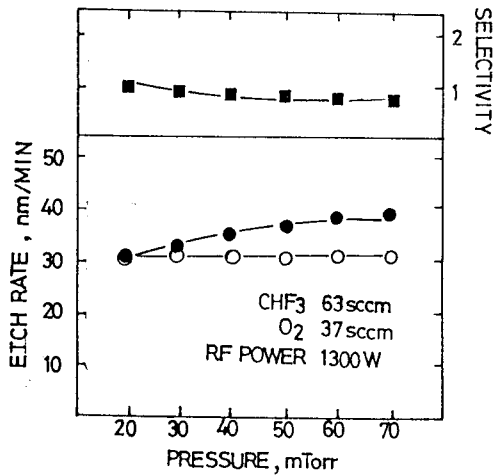


Figure 4b. The etch rate and the selectivity of PR/LTO film as a function of gas pressure.

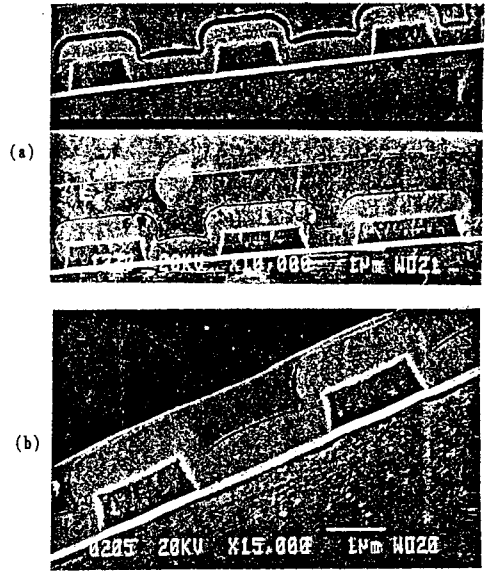


Figure 5. The vertical structure before etchback, and after partial etchback.
 (a) before etchback (I1 = 700nm)
 (b) after partial etchback. (Etch I = 15.5 min)

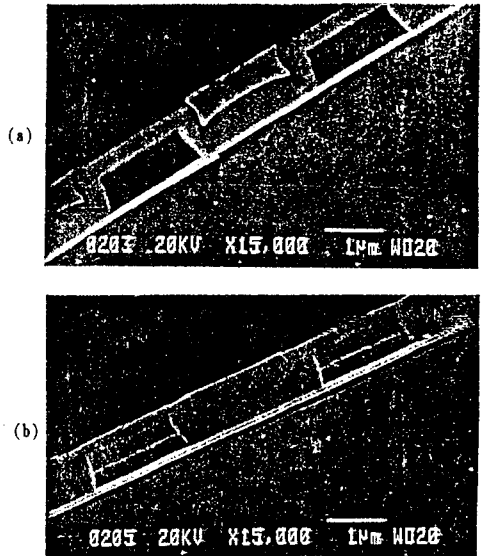


Figure 6. The vertical structure after etchback, Etch I time is 17.4 min.
 (a) Etch II = 6.5 min
 t2 = 400 nm
 = 0.43
 (b) Etch II = 12.5 min
 t2 = 200 nm
 = 0.71
 (c) Etch II = 19.0 min
 t2 = 66.7 nm
 = 0.90

