

2 μ m CMOS P-WELL DOUBLE METAL TECHNOLOGY

○ 신 철 호 안 경 호 정 은 승 진 주 현
삼성반도체통신(주) 연구소

2 μ m CMOS P-WELL DOUBLE METAL TECHNOLOGY

*C.H. SHIN K.H. AHN B.S. JUNG J.H. JIN
R & D CENTRE , SAMSUNG Semiconductor &
Telecommunication Co. Ltd.

ABSTRACT

A 2 μ m CMOS P-well double metal technology has been developed.

Phosphorus deep implantation and drive-in diffusion steps were utilized to prevent the low voltage bulk punch through in the short channel, 1.6(μ m) Leff, PMOS device. Double metal process with the rules of 5(μ m) 1st metal pitch and 7(μ m) 2nd metal pitch was successfully implemented by using VLT0, low temperature oxide, as an intermetal dielectric.

1. 서 론

CMOS의 공정기술은 1970년대 초부터 metal gate를 이용하여 생산에 직접적으로 적용되기 시작 하였다. 그러나, metal gate 공정보다 집적도가 높으며, 고온에서도 공정이 용이하고, design rule의 측면에서도 유리한 silicon gate CMOS공정기술이 1970년대 후반부터 생산에 적용되기 시작 하였다. 이 silicon gate CMOS의 기술은 design rule을 점차 줄여가면서 현재까지 발전해왔다. 특히, N-well을 이용한 2 μ m CMOS silicon gate인 double level metal process가 발표되었는데(1), 이 방향으로의 진전은 silicon gate CMOS공정에 interconnection flexibility를 double metal공정과 결합하여 개선한 것이다. 현재는 sub-micron design rule의 CMOS기술이 여러 측면에서 이론히 연구되고 있다.(2,3,4,5)

당사에서는 1984년에 개발한 3 μ m design rule의 single metal공정을 이용하여 1,000 gate array 수준까지의 제품생산에 사용하고 있다.

현재는 2 μ m CMOS double metal공정이 세계시장의 주류를 이루고 있으며, gate array의 경우 20,000 gate까지는 제품생산이 가능하다.

본 논문의 공정개발 작업은 design rule의 확장, 2 μ m design rule을 설명할 수 있는 test pattern 설계 및 제작, process 개발, wafer test와 분석, vehicle device 투입, 신뢰도 test의 순서로 진행 되었다. 이상과 같은 순서로 공정을 set-up하여 fab.out된 wafer에서 2 μ m design rule에 따라 설정한 process 와 device parameter를 얻게 되었다.

2. 주요 Design Rule 및 Test Pattern 설계

본 논문의 공정개발에 적용된 주요 design rule은 표 <1>과 같다.

표<1> 주요 Design Rule.

Item	Design Rule	Unit
PN(Active) pitch	4.5	μ m
PMOS poly gate	2.0	μ m
NMOS poly gate	2.0	μ m
Contact 1 size	2 x 2	μ m ²
Metal 1 pitch	5.0	μ m
Via contact size	2.5 x 2.5	μ m ²
Metal 2 pitch	7.0	μ m

Test pattern은 공정 parameter 측정 항목, device parameter 측정 항목, design rule checking 항목, 회로부분, latch up 측정 항목, 신뢰도 평가 항목 등으로 나누어 설계했다. 그리고, 수직 SEM 사진을 쉽게 촬영할 수 있는 SEM pattern을 삽입하였다.

3. 공정의 설계 및 주요특징

공정의 순서는 크게 6부분으로 나눌수 있다. 각각은 well 영역의 형성, isolation, punch through 방지 step, gate 산화 및 threshold voltage 조정, source / drain 형성, contact 과 double metal step 등이다.

표 (2)

** CSPII.DM의 PROCESS PARAMETER TARGET **

PARAMETER	MIN.	TYP.	MAX.	UNIT
NMOS VT (L = 2 μ m)	0.7	0.8	0.9	(V)
NMOS Poly Field VT		> 15		(V)
PMOS VT (L = 2 μ m)	- 0.7	- 0.8	- 0.9	(V)
PMOS Poly Field VT		>-15		(V)
N-Channel Drain Breakdown Voltage		> 14		(V)
P-Channel Drain Breakdown Voltage		>-14		(V)
N+ Sheet Resist.	20	30	40	(Ω / \square)
P+ Sheet Resist.	40	60	80	(Ω / \square)
N Poly Sheet Resist.	20	25	30	(Ω / \square)
P Poly Sheet Resist.	20	25	30	(Ω / \square)
N- Sub. Resistivity		4-6		(Ω .cm)
P- Sheet Resist.	1.4	1.8	2.2	(K Ω / \square)
P- Well Depth	4.0	4.5	5.0	(μ m)
N+ Junction Depth	0.25	0.30	0.35	(μ m)
P+ Junction Depth	0.40	0.45	0.50	(μ m)
Gate Oxide Thickness	350	380	410	(Å)
Poly-Si Thickness	4300	4500	4700	(Å)
Field Oxide Thickness	6300	7000	7700	(Å)
PSG Thickness	6500	7000	7500	(Å)
Metal 1 Thickness		5000		(Å)
Metal 2 Thickness		1		(μ m)

사용한 wafer는 비저항값이 4 - 6 Ω .cm 인 N-type wafer를 사용하였다. 공정 parameter target값은 표<2>에 기술 하였고, 공정요약은 표<3>에 표시 하였다. 최종 공정진행 후의 수직단면도는 그림<1>에 나타내었다.

공정설계에 사용된 process simulator는 SUPREM II 이다. Well은 N-type wafer에 P-well을 형성하고, isolation은 field implantation 과 local oxidation을 사용 하였다. P-channel의 경우 punch-through를 방지하기 위하여 phosphorus를 implantation함으로써 drain breakdown voltage를 -15(V) 이상으로 높일 수 있었다.

Contact형성은 metal step coverage를 향상시키기 위해서 wet etch를 일부 진행한 후 dry etch를 하였다.

표 (3)

** 2 μ m CMOS P-WELL DOUBLE METAL PROCESS SUMMARY **

PROCBSS STEP
Initial Oxidation
P-Well 형성
Active Define
NMOS Field Imp.
PMOS Field Imp.
Ph. Deep Imp.
Local Oxidation
Gate Oxidation
P-ch Threshold Control Imp.
Poly Depo & Gate Define
N+ S/D 형성
P+ S/D 형성
Metal I Interlayer Oxide
Contact Define(Wet + Dry)
Metal I Depo & Define
Metal II Interlayer Define
2nd Contact Define(Wet + Dry)
Metal II Depo & Define
Passivation
PAD Open

Metal 1 은 Cu를 함유한 aluminum으로 그 두께를 5,000 Å 으로 사용 하였고, Metal 2 는 silicon을 포함한 aluminum을 1 μ m의 두께로 deposition하였다. 그리고, Metal 1 과 Metal 2 의 interlayer는 VLT0를 사용하였다.

4. 분석 및 토론

그림<1>은 본 공정의 수직단면도 이다. 여기서 Metal 1 과 Metal 2 의 interconnection 상태는 그림<2>와 같다. 공정 과정에서 step coverage(%)는 $(A+B) \times 100 / 2C$ 로 정의된다. 그림<3> 그림<4> 그림<5>는 그림<2>와 같은 구조의 SEM 수직 사진인데, 각각의 step coverage는 64%, 63%, 71.5%이다. 일반적으로 step coverage는 50%이상이면 양호하다고 판단한다. 따라서, 본 공정의 double metal interconnection은 양호한 step coverage를 보여 준다고 판단할 수 있다.

Double metal에서 Metal 1 의 hillock density를 낮추기 위해서 Cu를 함유한 aluminum을 사용하였다. Cu성분은 metal etching후에 dust가 남기때문에 Cu 함유량에 대한 etching test를 했고, hillock성장을 최대한 억제시키면서 Cu dust가 문제되지 않는 etching 조건을 찾았다. Hillock density가 높으면 metal의 단락과 같은 현상으로 신뢰도에 나쁜 영향을 미치게 된다. 본 공정으로 생산된 wafer에 1,000시간 신뢰도 용 stress를 가한 후에도 metal층에 문제가 없기때문에, 신뢰도 특성은 양호하다고 생각된다.

본 공정의 공정변수 target값은 표<2>에 나타내었다. 이러한 공정변수값을 얻기 위해서 SUPREM II의 simulation결과를 토대로 공정조건을 split하여 run을 진행 하였다. P-channel의 경우, channel 밑의 punch-through를 막기위해서 phosphorus를 implant 하였고, PMOS threshold voltage조정을 위해서는 boron을 implantation 하였다. Source/drain간의 breakdown 전압을 목표치 이상으로 유지하고 threshold전압을 -0.8 V 를 얻기 위해서 phosphorus와 boron의 implant 조건을 잘 조정 하였다. N-channel의 경우에는 P-well implantation 과 boron implantation으로 breakdown전압 과 threshold전압을 얻었다. 그림<6>은 본 공정으로

생산한 wafer의 PMOS(W/L = 20/2) Tr.의 I_d-V_d곡선이고, 그림<7>은 NMOS(W/L = 20/2) Tr.의 I_d-V_d곡선이다.

본 공정의 design rule은 2 μ m인데 이는 transistor의 최소 channel length를 규정해 준다. 즉, 가장 중요한 요소가 최소크기의 transistor(2 μ m)에서 나타나는 short channel 효과에 대한 우려이다. 그림<8>은 channel length크기에 대한 threshold전압의 변화를 그린 것이다. 이 그래프에서 보듯이 2 μ m 근처에서 short channel 효과는 거의 나타나지 않는다. 그림<9>는 channel length에 대한 drain breakdown전압의 변화를 나타낸 것이다. 여기서도 2 μ m channel length를 가진 transistor의 drain breakdown voltage 값이 문제가 되지 않는다. Device parameter는 SPICE를 이용하여 추출하였다. 표<4>에서 보면 gate 와 source / drain overlap capacitance의 측정치가 있다. 여기서 NMOS의 overlap length를 계산할 수 있는데 약 0.27 μ m 정도였고, PMOS의 overlap length는 0.4 μ m였다. 이 값들과 conductance를 이용하여 추출한 ΔL 을 비교하여 보면 거의

표 (4)

** 2 μ m CMOS P-WELL DOUBLE METAL PROCESS의 DEVICE PARAMETER(Measured Value) **

PARAMETER	UNIT	NMOS	PMOS
Threshold Voltage	V	0.78	- 0.83
Zero Bias Mobility	cm ² /V.S	572	185
Drain Breakdown Voltage	V	≥16.0	≥-17
Body Effect(γ) W/L = 100/100	V ^{1/2}	0.80	0.63
Body Effect(γ) W/L = 20/2	V ^{1/2}	0.75	0.34
Junction Capacitance	fF/ μ m ²	0.36	0.16
Gate 와 S/D Overlap Capacitance	fF/ μ m	0.24	0.36
Poly Gate Field Tr. Vtg.	V	18.7	-26.7
Junction Leakage Current (Area)	nA/cm ²	0.93	1.67
Junction Leakage Current (Peri.)	nA/cm	5	6.5
S/D Diffusion Resistance	Ω /□	35	64
Poly Resistance	Ω /□	23	21
P-Well Resistance	K Ω /□	1.88	

차이가 없다. Junction leakage current의 typical good value 는 일반적으로 $1nA/cm^2$ 로 알려져 있다. 이 기준으로 본다면 우리가 측정 한 값들도 모두 양호 하다고 할 수 있다. 본 공정에 의해서 fab. out된 wafer의 전기적 측정에서 얻은 device parameter(표<4>)들은 처음 공정을 구상할때 설정한 공정 parameter(표<2>)와 일치함을 보인다.

그림<10>은 본 공정을 이용하여 생산된 6.000 gate array device 사진이다.

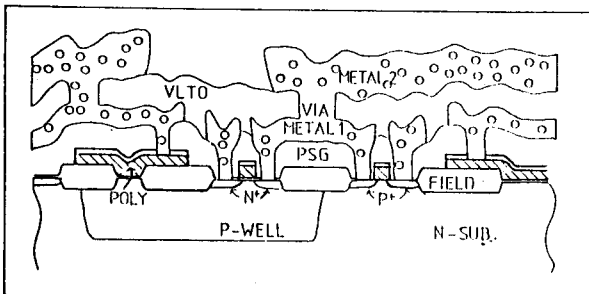
본 공정은 특히 MOS Logic 제품의 제작에 이용이 될 것이며, design rule을 더욱 축소 한 차후 공정개발에 도움이 될 것이다.

5. 결 론

2 μm design rule의 silicon gate P-well double metal CMOS공정을 개발하였다. 이 공정은 standard cell, gate array 및 custom제품등 MOS logic제품에 널리 이용될 것이다.

감사의 글

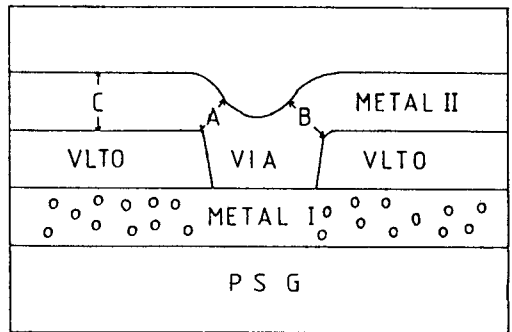
본 공정개발을 위해 여러가지 조언과 충고의 말씀을 해 주신 최석기 박사님 과 신운승 박사님께 감사 를 드립니다. 또, wafer생산과 측정등 여러가지들 도와주신 삼성반도체통신(주)의 여러분들께도 감사드립니다.



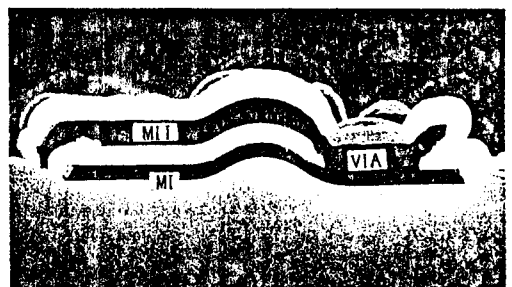
< 그림 1 > CMOS Double Metal 공정의 단면도

참고 문헌

- (1) J.P.Victory, J.C.Vesly, " A TWO MICRON DOUBLE LEVEL METAL CMOS TECHNOLOGY ", Proceed. CICC, pp.85-89, 1982
- (2) Tadanory Yamaguchi et.als., " Process and Device Performance of Sub-micrometer - Channel CMOS Devices Using Deep Trench Isolation and Self - Aligned TiSi₂ Technologies", IEEE Trans. ED, Vol. ED-32, No.2, p.203, Feb. 1985.
- (3) Hiroshi Momose et.als., " 1.0 μm N-Well CMOS/Bipolar Technology", IEEE Trans. ED, Vol. ED-32, No.2, p.217, Feb. 1985.
- (4) Russel A. Martin, J.Y.T. Chen, " Optimized Retrograde N-Well for 1 μm CMOS Technology", IEEE J. Solid State Circuits, Vol. 21, pp. 286-292, 1986.
- (5) Edward T. Lewis, " Design and Performance of 1.25 μm CMOS for Digital Applications", Proceed. IBBB, Vol. 73, No.3, p.419, Mar. 1984.



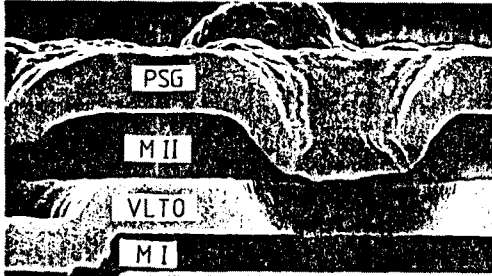
< 그림 2 > Metal 1 - Metal 2 Contact 의 단면도



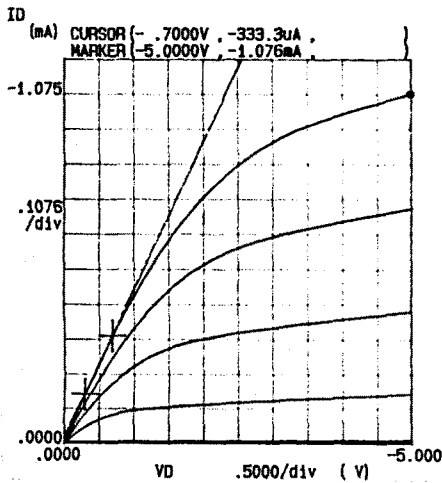
< 그림 3 > SEM 사진 : Metal 1 - Metal 2 Interconnection I



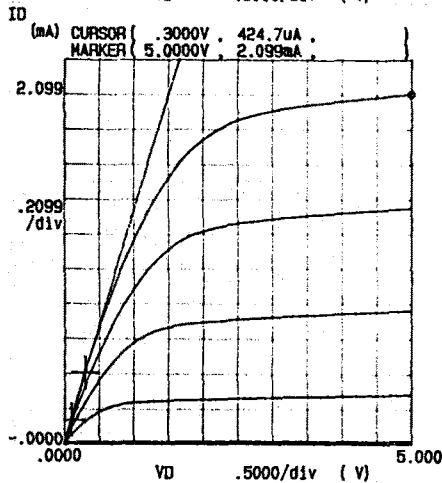
< 그림 4 > SEM 사진 : Metal 1 - Metal 2 Inter-connection II



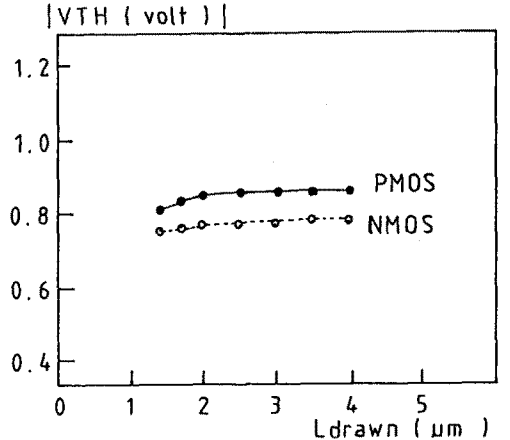
< 그림 5 > SEM 사진 : Metal 1 - Metal 2 Inter-connection III



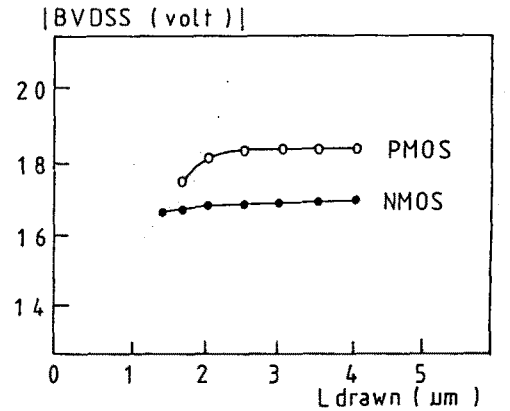
< 그림 6 > $I_d - V_d$ Characteristic of PMOS Tr. (W/L = 20/2)



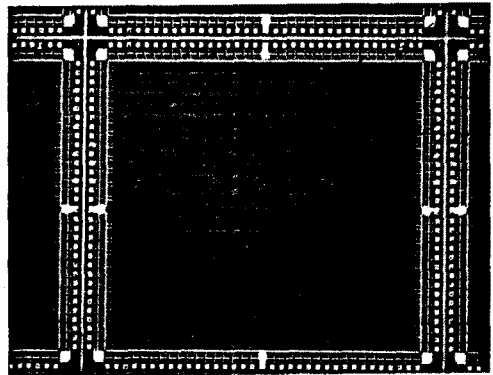
< 그림 7 > $I_d - V_d$ Characteristic of NMOS Tr. (W/L = 20/2)



< 그림 8 > Threshold Voltage versus Drawn Poly Gate Length (PMOS & NMOS)



< 그림 9 > Drain Breakdown Voltage versus Drawn Poly Gate Length (PMOS & NMOS)



< 그림 10 > Photograph of 6000 Gate Array