

REOXIDATION법을 이용한
Si WAFER의 HOLE TRAP의 제거

홍순관, 주병권, 김철주
서울시립대학교 전자공학과 반도체실험실

Elimination of Hole Traps on Si Wafer
using Reoxidation method

Soon-Kwan Hong, Byeong-Kwon Ju, Chul-Ju Kim
Dept. of Electronics, Seoul City Univ.

Abstract

Thermal reoxidation was carried out to eliminate hole traps at the surface of Si wafer. As the result, the good surface state of wafer was obtained and hole traps were eliminated at the inversion layer. For the evaluation of reoxidation effects, MOS diode was fabricated and its C-V curve was plotted.

V_T 가 어느 정도인지 알 수 없게된다. 집적도가 높아질수록 매우 얇은 산화막이 사용되므로 트랜지스터의 성능은 높은 수준으로 유지하기 위해서 Si wafer의 표면을 일단 산화시켜 그 산화막을 제거하여 결정학적으로 완전한 표면을 얻은 다음 gate절연막을 형성하는 방법이 중요하다.

일반적으로 Si wafer를 산화시킬 경우에 성장된 산화막 두께의 45% 정도가 원래의 Si를 잠식한 부분이 되므로 reoxidation을 반복할수록 Si 표면에 부착되어 있는 불순물을 제거할 수 있으며 bulk 안쪽의 좀더 완전한 결정성을 가진 부분을 표면으로 이용할 수 있다.

본 논문에서는 공기중에 방치되었던 Si wafer를 이용하여 reoxidation을 실행함으로써 그 효과가 좀더 크게 나타나도록 하여 전기적인 특성을 평가하였다.

1. 서론

최근에 IC의 집적도가 높아감에 따라서 대단히 양호한 단결정이 요구되고 있으며 그에 따라 Si 결정의 품질향상이 빠르게 진행되고 있다. 그러므로 집적화로 소자의 결함문제는 더욱 중시되고 있으며 특히 열유기 결함의 문제는 크게 주목되고 있다. Si 소자는 열처리 과정에 필요로 하며 이는 소자의 형성에 불가결한 과정이나 동시에 결정결함을 유기한다.

Si wafer의 표면에 결정격자의 주기성으로 부터 벗어난 결정결함이 존재할 경우 또는 Si-SiO₂ 경계면에 hole trap이 존재하면 carrier들이 그것에 의하여 산란되므로 이동도는 작아지며 drift 속도는 늦어진다.¹⁾

이 때문에 MOS TR을 동작 시킬때 channel의 hole이동도를 작게하여 channel의 컨덕턴스가 줄어들게 된다. 또한 문턱전압 V_T 를 높게할 뿐 아니라

2. 실험과정

그림 1은 실험의 순서를 나타낸다. 본 실험에 사용된 시료는 N-type(111)의 경면연마된 저항율이 1-2Ωcm인 3inch wafer이며 30x30mm로 잘라서 사용하였다. 전기로를 사용하여 실험에 필요한 열 산화를 행하였으며 이때에 산소의 flow rate는 1.5ℓ/min이었다. 먼저 900°C에서 30분간 시료를 산화시켜 200Å의 산화막을 성장시키고 conc-HF를 이용하여 산화막을 etchnig한 후 DI water로 세척하였고, 이러한 과정을 반복하면서 reoxidation의 횟수가 각각 다른 시료를 얻었다.

그 다음으로 MOS diode를 구성하기 위하여 300Å(900°C, 60분)의 산화막을 입히고 그 위에

지름이 0.6mm인 원형의 Al전극을 만든다. back side는 화학연마를 한후 전면에 Al을 증착하여 GND 전극으로 사용하였다. 제작된 MOS diode의 C-V특성을 측정하여 reoxidation의 효과를 평가하였다.

일반적으로 P-type의 반전영역에는 electron trap이 존재하며 그 크기는 N-type에서의 hole trap보다 작다.

그러므로 본 실험에서는 reoxidation의 효과를 보다 잘 알 수 있는 N-type의 Si wafer를 이용하여 실험을 하였다.

3. 결과 및 검토

그림 2는 reoxidation을 1회 행한 시료의 C-V특성이다. 이때 oxide layer의 두께는 300Å이며 인가된 주파수는 1KHz이다. C-V curve의 반전영역에서 보이는 hysteresis loop는 Si-SiO₂ 경계면에 hole trap이 존재하고 있음을 나타낸다. 즉 hole trap에 의해 움직이지 못하는 hole이 발생하고 따라서 결정결함등에서 유기되는 trap이 없을 때 보다 낮은 전도성을 갖게되므로 capacitance값이 더 감소하여 이러한 hysteresis 현상이 나타나는 것으로 생각한다.

그림 3은 reoxidation을 2회 하였을때 얻어진 C-V특성이다. reoxidation의 반복으로 인하여 결함이 없는 bulk가 wafer의 표면으로 되어서 hole trap의 영향이 그림 2에 비하여 줄어들었음을 알 수 있다.

그림 4는 reoxidation을 3회 하였을때의 C-V특성이다. 이 C-V특성의 반전영역에서는 hole trap에 의한 hysteresis loop는 관찰되지 않는다. 이는 reoxidation의 효과가 충분히 나타나서 hole trap이 제거되었기 때문이다. 또 그림 2-그림 4의 플롯밴드 전압 근처에서 보이는 shift현상은 N_A⁺ 등의 오염때문이며 reoxidation을 반복 할수록 이러한 오염도 감소되어 shift의 폭이 감소되었다. 그러나 실험장비의 청결도, 산소gas의 순도, Al증착시의 청결등 오염될 수 있는 원인들이 실험과정의 곳곳에 존재하므로 이러한 C-V특성의 shift는 완전히 제거될 수 없다.

4. 결론

소자의 전기적인 특성에 영향을 미치는 N-type의 Si wafer에서의 hole trap을 제거하기 위하여 열산화를 시킨후 성장된 산화막을 제거하고 다시 산화시키는 reoxidation법을 이용하였다. Hole trap은 1회의 reoxidation만으로는 제거되지 않았으며 3회를 하였을때 비로소 없어졌다. 이는 reoxidation의 결과로 결정학적으로 우수한 bulk부분이 wafer의 표면으로 되어서 hole trap이 제거된 것으로 해석된다.

한편 N_A⁺ 등의 오염으로 인한 C-V curve의 shift는 reoxidation을 거듭함에 따라 감소되기는 하였으나 완전히 제거되지는 않았다.

참 고 문 헌

- 1) Ben G. Streetman, "Solid state electronic devices " page 104-105
- 2) 이 중덕 " 실리콘 집적회로 공정기술 " page 6

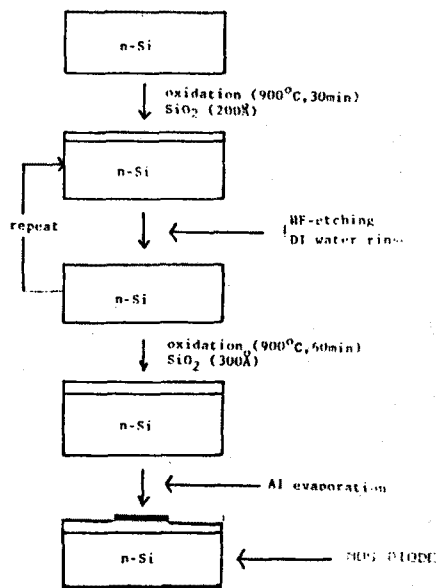


그림 1. 실험의 순서도

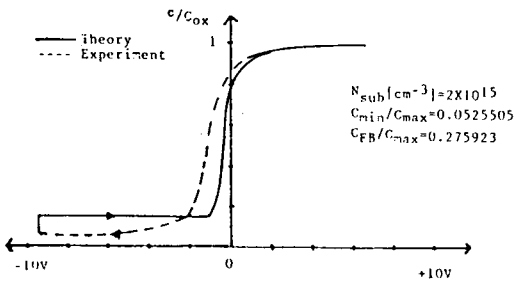


그림 2. Reoxidation을 1회 하였을 때의 C-V 특성

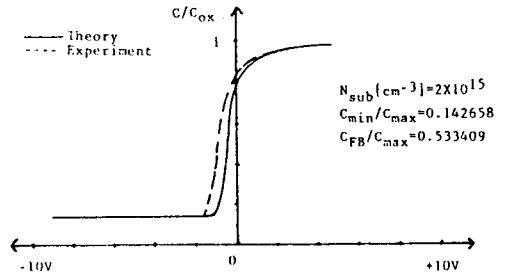


그림 4. Reoxidation을 3회 하였을 때의 C-V 특성

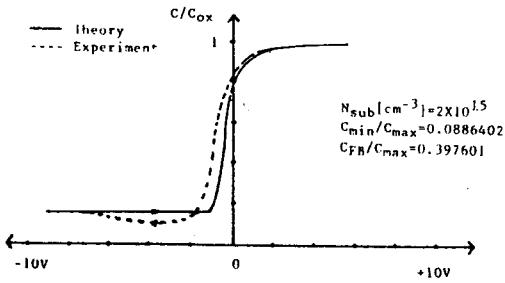


그림 3. Reoxidation을 2회 하였을 때의 C-V 특성