

Mega Bit DRAM Capacitor 를 위한 무결합 박막 SiO₂

○ 여인석^x 문규환^x 김병석^x 최민성^x 이귀로^{xx}

^x 삼성 반도체 연구소 ^{xx} 한국 과학 기술원

Defect Free Thin SiO₂ Thermally Grown On Silicon
For Mega Bit DRAM Capacitor

I.S.Yeo G.H.Yoon B.S.Kim M.S.Choi K.R.Lee

GSS Laboratory KAIST

ABSTRACT

The thermal oxidation recipe has been optimized for very thin (12 nm) capacitor oxide for Mega bit DRAM. The time dependent dielectric breakdown characteristics show that the breakdown voltage and time to breakdown are very high and uniform, indicating that our oxide is defect free and suitable for DRAM capacitor dielectric. To our knowledge this is the best oxide quality obtained up to now around 10 nm.

1. 서 론

집적 회로의 집적도가 높아지면서 DRAM storage cell 면적이 줄게 되므로 정전 용량(capacitance)이 줄어드는 것을 보상하기 위하여 산화막(SiO₂)의 두께가 줄어들게 된다. 현재 1M DRAM 급에서 평면형 storage cell에 사용되는 박막 SiO₂의 두께는 약 10 nm, 4M DRAM급에서 trench storage cell이나 직층형 storage(triple poly structure)등 3차원 구조를 사용하지 않고 평면형 storage cell을 사용하면 6nm 이하의 박막 SiO₂를 필요하게 된다. 또 EPROM 및 EEPROM과 같이 읽은 산화막을 통한 tunneling current를 이용하는 소자에서는 programming시에는 전압을 낮추기 위해 더욱 얇은 산화막을 필요로 한다. 이와 같은 추세로 볼때 앞으로는 산화막의 두께가 줄어들리라는 것은 자명하다. [1]

따라서 이러한 박막 SiO₂의 신뢰성과 이를 이용한 MOS(Metal Oxide Semiconductor)소자의 신뢰성이 매우 중요하므로 최근 수년간 많은 연구가 이뤄져 왔다. 산화막의 신뢰성을 평가하는 방법으로는 여러 가지가 있고 그중에서 가장 많이 이용되고 있는 방법

으로 순간적 파괴전압(time zero breakdown voltage)을 재는 방법이 사용되어 왔으나 약 20 nm이하에서는 이 방법에 의하여 산화막의 질을 알아 내기가 힘들며 TDDB(time dependent dielectric breakdown)에 의해 산화막의 질에 대한 평가가 가능하다고 보고 되어 왔다. [2,3,4] TDDB에 의한 산화막의 breakdown은 electron trapping [5], hole trapping [6]등의 복합적 원인에 의한 것으로 생각되어지고 있다. TDDB는 일반적으로 정상적인 소자 동작 조건보다 높은 stress 조건에서 가속 시험(accelerated test)되고 있는데 이러한 조건에서 얻은 관계식을 써서 정상적인 소자 동작 조건까지 extrapolate시켜 oxide의 수명 및 integrity를 판단하게 된다. TDDB를 측정하기 위한 방법으로는 constant voltage stressing법, constant current stressing법등의 DC stressing이 있고 또 실제 소자가 사용되는 것과 같이 ramp up / down을 반복하여 측정하는 dynamic stressing법이 있다. DC stressing법은 실제 소자가 사용되는 조건과는 다르나 DC stressing법과 dynamic stressing법 사이에는 좋은 연관 관계가 있고 DC oxide stressing이

dynamic stressing보다 stress 효과가 높으므로 보통 DC stress를 가한다. [4]

본 논문에서는 25 nm SiO₂와 11.8 nm SiO₂에 대하여 TDDB를 행하여 각 oxide에 대한 CFR(Cumulative Failure Rate)를 구하여 defect mode에 대하여 설명하였고 failure mechanism에 대해 기술 하였다.

2. Sample 준비 및 측정 방법

본 연구에 사용된 wafer는 p-type (100) 5 inch wafer로 비저항은 15-25 ohm cm였다.

gate oxide는 25 nm oxide 경우 900 C에서 pyrogenic oxidation을 하였고 11.8 nm oxide 경우는 1000 C dilute O₂에 TCA를 첨가하여 oxidation을 진행 한후 ellipsometer로 두께를 측정 하였다. poly는 300 nm 두께이고 pnc13를 사용하여 phosphorus를 doping하였다. 여기에 25 nm oxide 경우 14 E-4 cm² 면적의 gate를, 11.8 nm oxide 경우는 9 E-4 cm² 면적의 gate를 형성 하였다. 또 MOS capacitor를 제작 하기 위하여 BF₂를 이온 주입 하여 P+ 영역을 형성 하였다.

본 논문에서는 TDDB 측정 방법 중에서 constant current stressing에 의한 TDDB를 행하였다. 산화막 양단에 전압을 가하면

$$J_g = 10^6 E^2 \exp(-230/E) \text{ A/cm}^2 \quad (1)$$

의 Fowler Nordheim current가 흐르게 된다. 여기서 E는 전장의 세기로 단위는 MV/cm이다. 이 tunneling electron은 산화막내에서 impact 이온화에 의하여 전자-정공 쌍을 생성하며 이 이온화율은

$$\alpha(E) = C \exp(-80/E) \quad (2)$$

로 나타난다. 이 전자와 정공은 산화막내에서 trap 되어 전장의 붕괴를 빠르게 되고 어떤 임계치에 도달 하게 되면 산화막의 breakdown이 일어나게 된다. [6] 이러한 trapping 효율은 산화막의 질 η 에 의해 결정 되므로

$$\text{Derit} = \eta \cdot J_g(E) \cdot \alpha(E) \cdot t_{BD} (T_{ox} - T_p) \quad (3)$$

의 관계가 성립하게 된다. 여기서 t_{BD}는 time to breakdown, T_{ox}-T_p는 impact 이온화를 일으키는 거리이다. 따라서 파괴 되는 시간은

$$t_{BD} \propto (\eta \cdot J_g \cdot \alpha)^{-1} \\ \propto \frac{1}{E} \exp(310/E) \\ \propto J_g^{-1.5}$$

파괴 되는데 필요한 전하량은

$$Q_{BD} = J_g \cdot t_{BD}$$

$$\propto \exp(80/E)$$

$$\propto J_g^{-n+1}$$

의 관계가 있다. (3) (4) 및 (5) 식에서 t_{BD} 는 E 에 민감하게 변화 하지만 J_g 에는 덜 민감하므로 constant current stressing이 t_{BD} 를 예측하기 쉽고 Q_{BD} 를 (5) 식에 적용을 사용 함이 없이 바로 구 할 수 있는 장점이 있다.

3. 측정 결과 및 토론

두 산화막에 따른 breakdown field histogram 은 그림 1과 같다. 그림 2는 constant current stressing을 할 때 시간에 대해 gate에 걸리는 전압을 나타낸 그림이다. 여기서 V_i 는 초기에 걸리는 전압, V_{BD} 는 breakdown 직전의 전압, t_{BD} 는 breakdown 직전의 시간, V_a 는 breakdown 직후의 전압을 나타낸 것이다. 여기서 V_a 가 완전히 0 V 로 떨어지지 않는 것은 oxide 는 breakdown 되었지만 기판의 저항 성분이 남아 있기 때문이라 생각된다. 이는 poly와 poly사이의 interlayer ONO 구조에 대해 같은 방법으로 TDDB 하하였을 때 breakdown 후 전압이 완전히 0 V 로 떨어지는 것으로 확인할 수 있었다. 그림 3 은 TDDB 의 결과로 Weibull plot 로 나타낸 것이다. Weibull distribution은 두 변수 m (shape parameter) 과 t_0^m (scale parameter) 에 의해 결정되는 distribution으로 CFR (cumulative failure rate) 에 대해 다음의 관계를 갖는다.

$$F(t) = 1 - \exp\left(-\left(\frac{t}{t_0}\right)^m\right) \quad (6)$$

여기에서 $m < 1$ 이면 failure rate 가 시간에 따라 감소함을 의미하고 $m > 1$ 이면 failure rate 가 시간에 따라 증가함을 의미한다. (7) 다시 말하면 $m > 1$ 인 Weibull distribution 은 Log-Normal distribution 을 갖게 되리라 추측된다. 그림 3 을 보면 25 nm 산화막의 경우 $m \approx 0.6$ 인데 이것은 B mode defect 에 의한 것으로 추측된다. (3) 11.8 nm 산화막의 경우 Log-Normal distribution으로 나타낸 그림 4를 보면 매우 가파른 완전한 직선 관계를 보이고 있음을 알 수 있다. 이는 CFR 이 t_{BD} 에 대해 아주 밀집된 정규분포를 이룸을 의미하고 t_{BD} 가 매우 균일하며 oxide의 defect 가 거의 없는 것을 나타낸다. (C mode) 일반적으로 TDDB 특성은 gate oxide 두께가 같을 경우 면적에 큰 영향을 받는다. 즉 gate oxide 면적이 작을 수록 결함이 존재할 확률이 적어져 'intrinsic' breakdown (C mode breakdown)을 나타내고 면적이 넓을수록 결함이 존재할 확률이 커져 'defect-induced' breakdown을 나타내 면적이 작을수록 capacitor의 수명이 길다고 알려져 있다. (9) 그림 4의 데이터의 경우 test chip에서 capacitor 면적은 $9E-4 \text{ cm}^2$ 이며 측정 데이터 수는 약 1,000 point로서 약 1 cm^2 의 면적에서 defect 가 하나도 없다는 것을 의미한다. 10nm 정도의 산화막에 대해서는 oxygen micro precipitate나 metallic contamination에 기인하는 B mode defect의 조절이 중요하다 할 수 있는데 (1) 그림 3 및 4 를 보면 11.8nm의 경우 B mode defect 가 거의 없음을 확인할 수 있다. 이는 면적 차이 ($1.4E-4 \text{ cm}^2$ 및 $9E-4 \text{ cm}^2$) 에 기인한다기보다는 산화막 두께 차이 및 산화 공정 조건 차이에 기인한다. 본 연구에서는 TCA 를 의간 첨가한 dilute oxidation을 하여 defect free 한 10nm 정도 두께의 박막 산화막을 형성 시킬 수 있었다. 그림 5는 그림 3에서 50% fail 되는 점에 대한 t_{BD} (MTF) 를 current density 에 대해 그린 것이다. 11.8nm 산화막이 25nm 산화막의 경우보다 같은 current density 일때 t_{BD} 가 작은데 이는 일반적으로 알려진 경향과는 반대로서, 이러한 차이가 산화 공정 조건 차이에 기인한 TCA 의 영향인지는 더 연구할 필요가 있다.

그림 6은 11.8nm 산화막에서 50 μA current injection 시 방향을 바꾸었을때의 차이를 나타낸다. gate region 으로 current injection 했을 경우보다 pregion 으로 current injection 할때 t_{BD} 가 작은데 이는 poly-oxide interface가 oxide-silicon interface보다 나쁜데 기인한다고 보고되어 있다. (4)

4. 결론

Dilute O2에 약간의 TCA를 첨가시켜 12nm 정도의 열적 산화막을 길러서 매우 균일하고도 높은 파괴 전압 및 파괴 시간을 얻었다. Test chip의 측정 결과에 의하면 약 1 cm^2 의 면적에 defect 가 하나도 없는 것으로 나타났으며 이는 우리가 알기로는 아직까지 발표된 것중 가장 좋은 특성이다.

----- 참고 문헌 -----

- [1] Chenming Hu "Thin Oxide Reliability" p.368 IEDM (1986)
- [2] Kikuo Yamabe and Kenji Taniguchi "Time Dependent Dielectric Breakdown of Thin Thermally grown SiO2 films" p.423 IEEE ED-32 No.2 Feb. (1985)
- [3] Kwy Ro Lee "Reliability Issues in VLSI" P.227 전기재료·반도체 및 CAD 학술대회 논문집 (1987)
- [4] Y.Fong, I.C.Chen, S.Holland et al. "Dynamic Stressing of Thin Oxide" P.664 IEDM (1986)
- [5] W.K.Meyer and D.L.Crook "Model for Oxide Wearout due to Charge Trap" p.413 Int. Rel. Phys. Symp (1983)
- [6] I.C.Chen, S.Holland, and C.Hu "Electrical Breakdown of Thin Gate and Tunneling Oxide" p.413 IEEE ED-32(2) (1985)
- [7] Beadle, Tsai, Plummer "Quick Reference Manual" 15-12
- [8] Hideshi Abe, Fumio Kiyosumi et al. "Analysis of Defects in Thin SiO2 Thermally grown on Si substrate" p.372 IEDM (1985)
- [9] Takahisa Kusaka, Yuzuri Ohji, Kichiro Mukai "Time Dependent Dielectric Breakdown of Ultra thin Silicon Oxide" p.61 IEEE EDL-8 No.2 Feb (1987)

본 논문은 국책사업인 4Mbit DRAM project의 일환으로 이루어진 것이다.

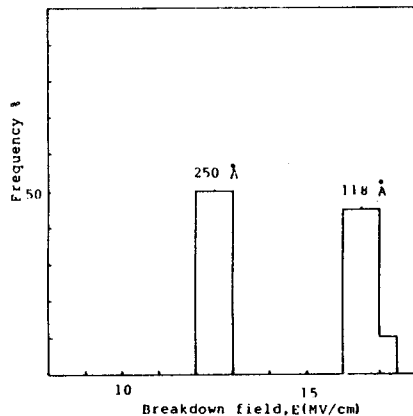


Fig 1. Breakdown field distribution

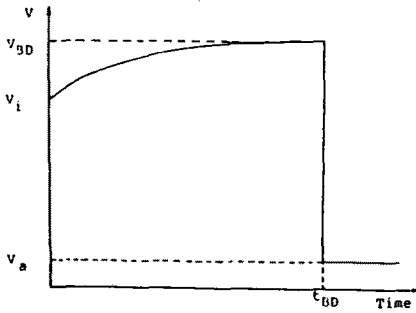


Fig 2. Typical curve of voltage vs. time

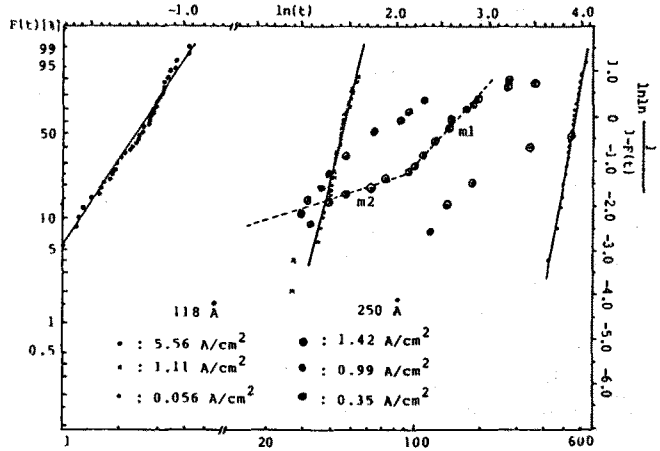


Fig 3. Weibull distribution at different current density

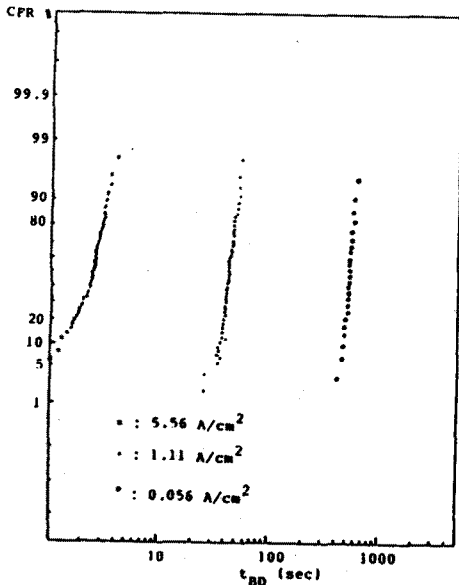


Fig 4. Log-normal distribution (118 Å)

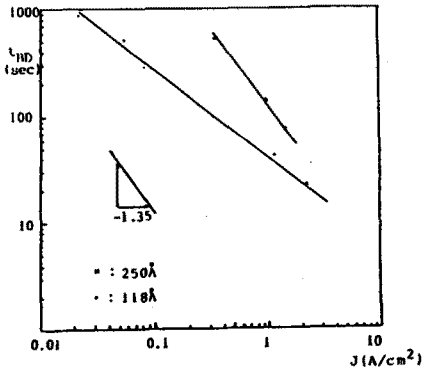


Fig 5. Current density vs. time to breakdown

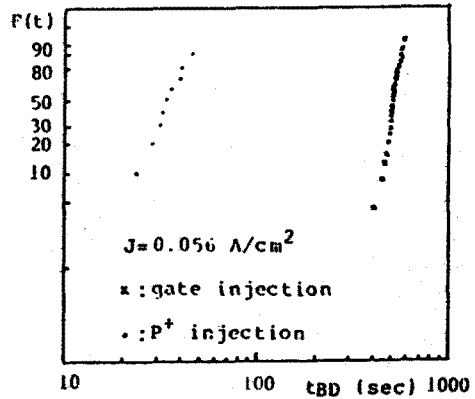


Fig 6. Cumulative failure rate with different current injection mode