

MAS (Metal-Al<sub>2</sub>O<sub>3</sub>-Si) 구조에 있어서  
전기적 특성에 관한 연구

오 박 성 희, 이 동 엽, 장 지 근, 이 영 희  
단국대학교 전자공학과

A Study for Electrical Characteristics of MAS  
(Metal-Al<sub>2</sub>O<sub>3</sub>-Si) Structure

Sung-Hee Park, Dong-Yeob Lee, Ji-Keun Chang, Young-Hee Lee  
Dept. of Electronics Engineering, DanKook University

Abstract

With the fabrication of Al-Al<sub>2</sub>O<sub>3</sub>-n(p) type Si devices, the analysis and measurement of various characteristics, this study presented the electric physical property theory for the charge distribution of MAS device Al<sub>2</sub>O<sub>3</sub> films, and inquired out the devices available. In order to study them, Al-(450A)Al<sub>2</sub>O<sub>3</sub>-n(p) type Si was the main objects in the study. They were examined through carrier injection, C-V curves of devices on time,  $\Delta V_{FB}$ -t curves, I-V curves and Al<sub>2</sub>O<sub>3</sub> film's breakdown characteristics.

I. 서론

1960년대 후반부터 시작된 MOS 구조의 집중적인 연구로 오늘날 MOS Device가 실용화되는 기초를 이룩하였다. 그러나, 우수한 Gate 절연막의 구비조건으로는 균일하고, 결합밀도가 낮은 비정질 구조로서 높은 절연내력과 낮은 포획확률 및 소자의 전기적 특성을 보다 효율적으로 제어할 수 있어야 한다. 이로인해 silicon 소자에 광범위하게 쓰이는 산화막이 박막화됨에 따라 기술적 및 신뢰도에 관한 문제가 제기 되었다. 실제로 박막 산화막을 성장시키면 결합밀도가 높아 양질의 박막을 얻는 것이 무척 어려운 실정이다. 이외에도 고진계에 의한 불안정성[1], hot carrier의 영향[2][3] 등이 박막 산화막의 단점으로 지적되고 있다. 이로인해 질화막을 사용한 MNS FET가 보고 되었으나 PECVD에 의해 제작된 질화막[2]은 강한 oxidation resistance를 나타내는 등[3] 많은 장점이 있으나, 과잉 carrier에 의해 질화막내에 trap center가 형성되고 threshold 전압의 불안정성을 초래하는 단점을 지니므로 사용영역이 극히 제한된다. 이에 따라 1967년부터 연구되기 시작한 Al<sub>2</sub>O<sub>3</sub> 박막은 높은 유전상수, 알칼리 이온과 습기오염에 대한 유효장벽 형성, 낮은 방사감도의 특징이 있어서 Al<sub>2</sub>O<sub>3</sub> 박막의 활용을 위해, 이 박막 특성의 정화한 이해와 Al<sub>2</sub>O<sub>3</sub> 박막의 여러 특성을 이용하여 반도체 소자에의 활용방안이 연구되고 있으나 최근까지도 Al<sub>2</sub>O<sub>3</sub> 박막의 전기적, 물리적 특성이 명확히 규명 되어있지 못한 실정이다. 그러므로, 본

연구에서는 Al<sub>2</sub>O<sub>3</sub> 박막의 여러 전기적인 특성을 실험적으로 고찰하고 이를 토대로 소자응용 방안을 모색하였다.

II. 소자의 제작 및 측정

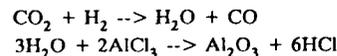
1. 소자의 규격

제작된 소자의 규격은 다음과 같다.

- Material : Si
- Orientation : (100)
- Resistivity : 4 ~ 6 ( $\Omega \cdot \text{cm}$ )
- Type : n, p-type

2. Al<sub>2</sub>O<sub>3</sub> 박막 제작

Al<sub>2</sub>O<sub>3</sub> 박막의 증착 과정에 대한 기본반응은 아래와 같다.



위와 같은 반응을 이용하여 H<sub>2</sub> gas는 1.2 l/min, AlCl<sub>3</sub> gas는 0.5 l/min, CO<sub>2</sub> gas는 0.164 l/min로 유입시키고, AlCl<sub>3</sub> gas를 108°C, 2.3 torr의 기압으로 고정하여 증착한 결과 80 A/min의 증착속도를 보였다. 이 속도를 유지하여 450A, 540A, 900A의 Al<sub>2</sub>O<sub>3</sub> 박막을 형성시켰다.

3. 전극 증착

전극재료는 Al을 사용하였으며 두께는 1 $\mu\text{m}$ 로 하고 전극의 크기는 직경 500 $\mu\text{m}$  ~ 1000 $\mu\text{m}$ 로 하였다. 또한, 누설 전류를 줄이기 위해 guard ring을 설치하였다. 제작된 소자의 구조가 그림 (1)에 나타나있다.

4. 측정

본 측정에서는 DC stress를 제작된 시료에 인가해 주면서 일정간격 마다 고주파 C-V 측정을 그림 (2)와 같은 실험장치를 사용하여 측정하였다. 또한, DC stress를 가하기 전과 후의 Al<sub>2</sub>O<sub>3</sub> 박막에 대한 전기전도 및 I-V 특성 변화를 고찰하기 위해 I-V 측정을 그림 (3)과 같은 장치를 이용하였다.

III. 측정 및 결과 고찰

1. 소자의 C-V 특성

산화막 내의 트랩된 전하는 C-V 곡선의 shift 현상으로부터 관측할 수 있고, 산화막 내에 단위면적당 트랩된 전하량에 따라 flat-band shift의 상태가 달라진다고 볼 수 있다. 그러므로 본 연구에서 소자를 25(V)의 bias 전압을 인가하여 C-V 특성을 측정한 결과가 그림 (4)에 나타나 있다. n-type Si를 사용해 제작한 소자에서는 stress 시간이 길어짐에 따라 곡선은 우측으로 이동되고, 한편 flat-band voltage 값이 stress 시간의 증가에 따라 감소되어 포화되는 양상을 보이고 있다. 이러한 현상은 Al<sub>2</sub>O<sub>3</sub> 박막내의 (-) 전하량의 증가에 따르는 것으로 볼 수 있으며, 이들 (-) 전하량들에 의해 전자들의 주입을 감소시켜 부가적인 공간 전하층이 감소되기 때문으로 볼 수 있다. 역시 p-type Si의 소자에서도 같은 양상을 보이고 있음을 알 수 있다. 그러나, 10 sec 이상에서는 n-type Si 소자와 달리 약간의 stretch out 현상과 hysteresis 현상을 보이는데 이는 Si 표면결합의 불균형 상태와 계면 상태들로, C-V 측정 중의 인가된 bias에 따라 charging과 discharging 됨으로써 계면상태가 donor-like와 acceptor-like로 되기 때문이다.

2. Flat-Band Voltage Shift ( $\Delta V_{FB}$ )와 주입시간

전하 carrier의 주입시간에 대한  $\Delta V_{FB}$ 의 관계는 그림 (5), (6)과 같다. 그림 (5)의 특성으로부터 15(V) ~ 22.5(V)의 인가전압 범위에서는 기울기가 거의 같고 25(V) 이상에서는 곡선의 기울기가 인가전압 증가에 따라 증가하고 있음을 알 수 있다. 또한, 그림 (6)에서  $\Delta V_{FB}$ 가 처음에는 약간 증가한 후, 감소하는 것은 Si<sub>2</sub>O<sub>3</sub>로 부터 Al<sub>2</sub>O<sub>3</sub> 박막으로 hole의 주입이 일어나고 있음을 시사한다.

3. 인가전압과 초기전류

Al<sub>2</sub>O<sub>3</sub> 박막 내에 전압을 인가할 때 전류상태는 트랩전하, 계면전계, 온도에 의한 영향[7]으로 복잡한 양상을 띄고 있다. 그러나, 간단하게 근사화된 상태로 주입과정을 고찰하기 위해 제작된 capacitor 소자를 충전되지 않은 실온상태에서 측정하였고, 그 결과는 그림 (7)과 같다. 이 결과로부터 9 ~ 11 (MV/cm) 범위에서 SiO<sub>2</sub> 박막과 차이를 보이는 것은 Si에서 SiO<sub>2</sub>와 Al<sub>2</sub>O<sub>3</sub> 박막의 터널링, 트랩효과가 차이가 있음을 알 수 있다.

4. Al<sub>2</sub>O<sub>3</sub> 박막의 절연파괴 현상

제작된 소자의 절연파괴 특성이 그림 (8)에 나타나 있다. 본 연구에서는 절연파괴 현상을 실험하기 위해 일정한 bias를 가한 상태에서 절연파괴되는 시간을 측정하였다. 이때의 실험결과가 그림 (9)에 나타나 있다. 시간을 무한대로 증가시킬 경우의 어려운 문제로 인하여 t=10<sup>3</sup> sec 일 때를 파괴 상태로 보았다. 이 때 (-) bias와 (+) bias 인 경우의 절연파괴 강도 차이는 1(MV/cm) 정도가 되었다.

IV. 결 론

MAS 소자를 대상으로 구하고자 하는 특성의 실험 및 측정을 통해 물성적 이론을 제시하였다. 본 연구의 대상이던 MAS 소자를 제작하기 위해 n, p-type silicon wafer에 450A, 540A, 900A 의 두께로 Al<sub>2</sub>O<sub>3</sub> 박막을 CVD 방법으로 증착한 후 전극을 형성해 MAS 구조의 capacitor를 제작하였고 다음과 같은 결론을 얻을 수 있었다.

- 1) 본 연구에서 제작한 Al<sub>2</sub>O<sub>3</sub> 박막은 carrier 주입시간에 대한  $\Delta V_{FB}$ 의 범위가 크다.
- 2) 낮은 방사감도를 갖는 특성으로 비휘발성 메모리 소자로 활용할 수 있다.
- 3) Al<sub>2</sub>O<sub>3</sub> 박막의 절연파괴 현상은 인가 bias 극성에 따라 상이하다.
- 4) 절연파괴 현상은 박막 bulk 내의 전하 트랩핑으로 인한 전계상태 변화에 따른다.

참 고 문 헌

1. N.T. Duffy, A.G. Revesz, "Interface Properties of Si-SiO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> Structures," J. Electrochem. Soc., pp.372-377, Mar. 1970
2. T.H. Ning, C.M. Osburn, and H.N. Yu, "Threshold Instability in IGFET's Due to Emission of Leakage Electrons from Si Substrate into Si Dioxide," Appl. Phys. Lett., Vol.29, No.3, pp.198-, 1976
3. Kiyoto Iida and Tohru Tsujide, "Physical and Chemical Properties of Aluminum Oxide Film Deposited by AlCl<sub>3</sub>-CO<sub>2</sub>-H<sub>2</sub> System," Jap. J. Appl. Phys., Vol.11, No.6, pp.840-, Jun. 1972
4. Karl H. Zaininger, Alberts. Waxman, "Radiation Resistance of Al<sub>2</sub>O<sub>3</sub> MOS Devices," IEEE Trans. Elect. Dev., ED-16, No.4, pp.333-, Mar. 1969
5. R.H. Walden, "A Method for the Determination of High Field Condition Laws in Insulating Films," J. Appl. Phys., Vol.43, No.3, Mar. 1972
6. M.T. Duffy, J.E. Carnes, and D. Richman, "Dielectric and Interface Properties of Pyrolytic Aluminum Oxide Films on Si Substrates," Met. Trans., Vol.2, pp.667-, Mar. 1971
7. E.H. Nicollian, J.R. Brews, "MOS Physics and Technology," Wiley-Int. Publication, pp.423-580, 1982

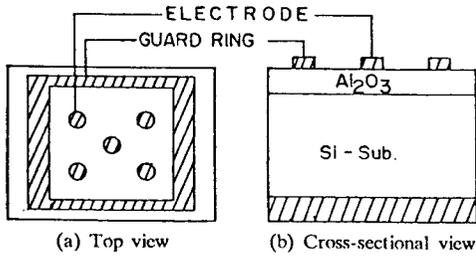


그림 1. 시료의 구조

Fig. 1 Structure of the sample

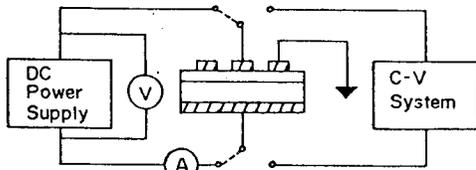


그림 2. DC stress와 C-V 측정 장치도

Fig. 2 DC stress and C-V measurement diagram

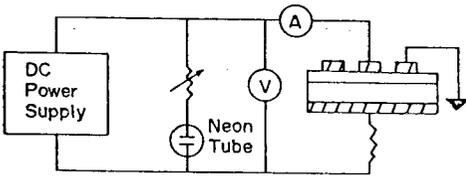
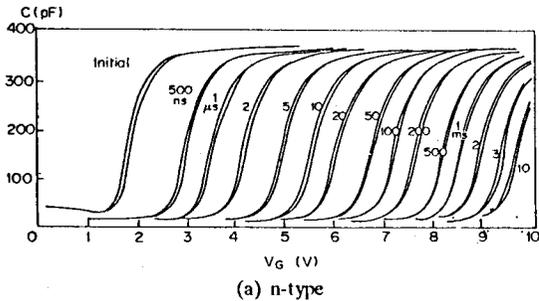
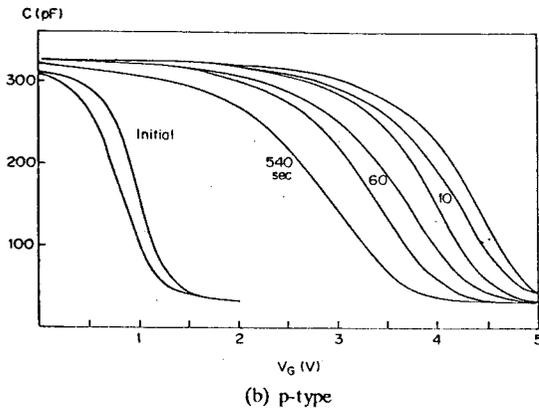


그림 3. I-V 측정 장치도

Fig. 3 I-V measurement diagram



(a) n-type



(b) p-type

그림 4. MAS 소자에 25(V)를 인가한 경우 시간에 대한 C-V 곡선 (소자면적 :  $2 \times 10^{-3} \text{cm}^2$ )  
Fig. 4 C-V curve for time varying of MAS device under 25(V) (Area :  $2 \times 10^{-3} \text{cm}^2$ )

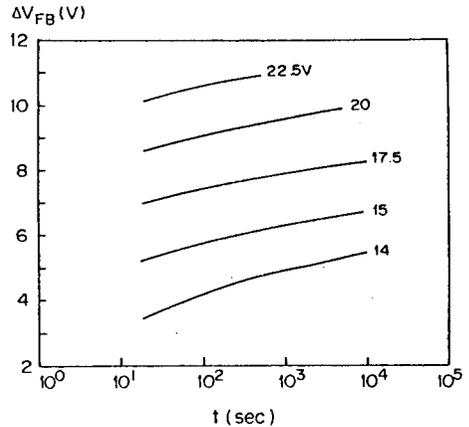
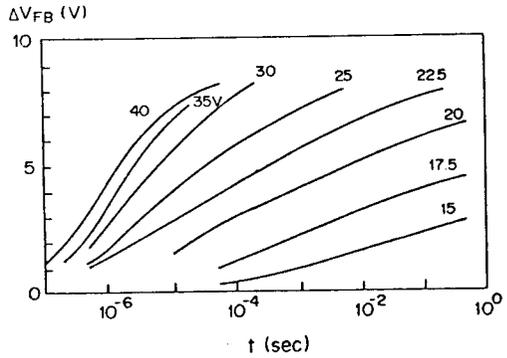
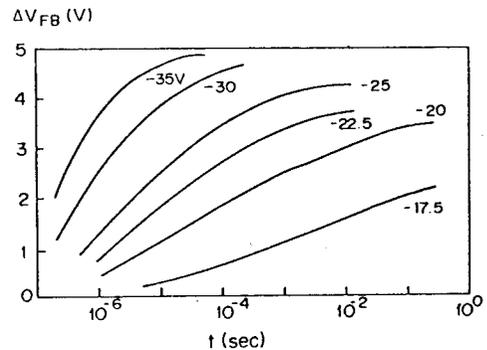


그림 5. (+) 전압을 인가한 MAS 소자 (n-type)의 시간에 대한  $\Delta V_{FB}$ 의 변화

Fig. 5  $\Delta V_{FB}$  vs. time of MAS device (n-type) with applied voltage



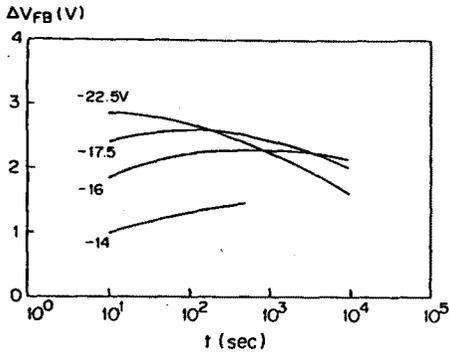


그림 6. (-) 전압을 인가한 MAS 소자 (p-type)의 시간에 대한  $\Delta V_{FB}$ 의 변화

Fig.6  $\Delta V_{FB}$  vs. time of MAS device (p-type) with applied voltage

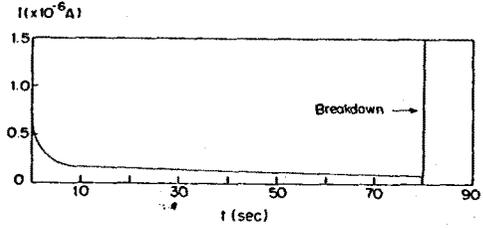


그림 8. MAS 소자 (n-type)에 인가한 24.5(V)에 대한 시간카 전류관계

Fig.8 Current vs. time for 24.5(V) on MAS device (n-type)

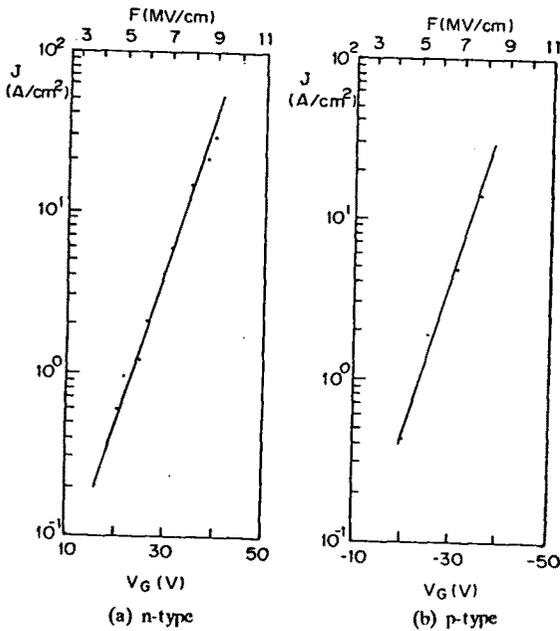


그림 7. 인가된 전압에 대한 MAS 소자의 초기 전류밀도 (소자면적 :  $2.0 \times 10^{-3} \text{cm}^2$ )

Fig.7 Initial current density vs. applied voltage on MAS device (Area :  $2.0 \times 10^{-3} \text{cm}^2$ )

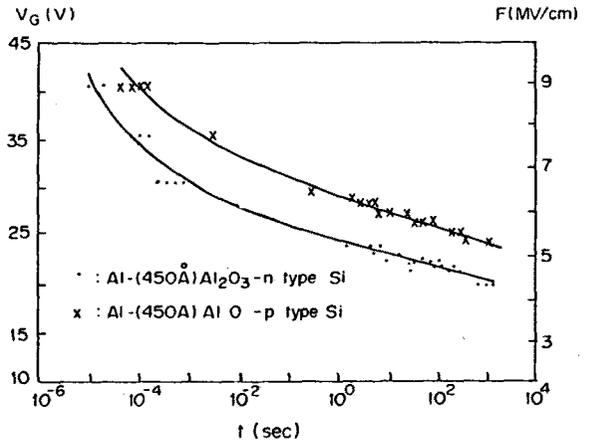


그림 9. 각 소자에 인가된 전계에 대한 절연파괴 시간관계

Fig.9 Applied field vs. time to breakdown