

Submicron MOSTransistor 에서 Hot-Carrier 에 의한 열화현상의 연구

○ 최 병 진, 강 광 남
한국 과학기술원

Hot-Carrier Induced Degradation in Submicron MOS Transistor

Byung-Jin Choi[○], Kwang-Nham Kang
KAIST, Optical Electronics Laboratory

Abstract

The hot-carrier induced degradation in very short-channel MOSFET was studied systematically. Under the traditional DC stress conditions, the threshold voltage shift (ΔV_t) and the transconductance degradation ($\Delta G_m / (G_m - \Delta G_m)$) were confirmed to depend exponentially on the stress time and the dependency between the two parameters was proved to be linear. And the degradation due to the DC stress across gate and drain was studied. As the AC dynamic process is more realistic in actual device operation, the effects of dynamic stresses were studied.

I. 서론

VLSI 의 집적도를 높이기 위해 MOSFET 의 채널 길이가 감소에 따라 발생하는 높은 채널 전기장으로 인한 문턱전압 (V_t) 과 transconductance (G_m) 의 노쇠 등 hot-carrier-induced degradation 은 고 집적화 소자의 실용화를 위해 해결되어야 할 중요한 사항이다. 이에 대한 물리적 현상에 대해서는 아직 까지도 상당한 불일치가 있지만, 특별해서 다음의 두 가지 유형으로 분류된다. 첫째는 드레인 부근에서 게이트 산화층 내로 주입된 뜨거운 전자에 기인한다는 주장이고 [1]. 둘째는 이 뜨거운 운반자에 의해 Si-SiO₂ 경계면에 생성된 계면상태 (interface state) 에 기인한다는 주장이다. [2] 특히 계면 상태는 Si-SiO₂ 계면에서의 quasi-Fermi level 에 대한 상대적인 위치에 따라 비역지든가 혹은 채워지게 되어 채널의 전도 현상에 중요한 역할을 한다. 계면상태의 발생에 대한 연구는 주로 charge-pumping technique 과 subthreshold 드레인 전류- 게이트 전압의 특성을 사용해서 수행되며 [3], 저주파 noise 를 이용한 계면상태의 연구도 수행되고 있다. [4] 주어진 드레인 전압에 대해서 게이트 전압이

문턱전압 보다 2V 정도 높을 때 최대 기판 전류가 발생하는 때 이때 노쇠화가 최대가 된다고 믿어져 왔으나 [5]. 실제적으로 내에서 소자는 dynamic 조건에서 작동하기 때문에 최근에는 교류 스트레스 후의 뜨거운 운반자 주입에 의한 소자의 노쇠 현상이 연구되고 있다. [6] Dynamic stress 동안의 노쇠현상은 직류에서와는 달리, 스위칭과도 동간의 게이트 전압- 드레인 전압의 관계, ramping rate, 과도 전류의 방향 등의 조건에 따라 그 노쇠화의 정도가 달라지게 되며 inverter 등의 NMOS driver 에서 최악 조건 혹은 소자의 수명을 결정하는 데 있어서 이런 요인들을 신중히 검토해서 포함시켜야 한다.

II. 전통적인 DC Hot-Carrier Stress 에 의한 노쇠현상

MOSFET 소자의 노쇠화 정도는 일반적으로 문턱 전압의 변화 V_t 와 transconductance 노쇠 $\Delta G_m / (G_m - \Delta G_m)$ 등에 의해 표현된다. 이들 노쇠 현상은 게이트 산화층 내로 주입된 뜨거운 운반자에 의해 생성되는 산화층 전하 [5] 와 계면상태의 변화 [7] 등에 의해 기술될 수 있다. 뜨거운 운반자는 드레인 끝 부분의 고전기장영역 내에서의 충돌이온화에 의해 발생하며 이 충돌이온화 현상의 결과로 발생한 홀이 기판 전류 (substrate current) 를 발생시키기 때문에 hot-carrier induced degradation 은 기판전류의 변화를 주기도 한다. [5] 소자의 수명 T 를 어떤 특정한 ΔV_t 과 $\Delta G_m / (G_m - \Delta G_m)$ 노쇠화가 발생할 때 까지 걸리는 시간 t 으로 정의하면 경험적으로 다음과 같은 식을 얻는다. [8]

$$I = A I_{sub}^{-\ell} \quad (1)$$

여기서 A 와 ℓ 은 상수, I_{sub} 는 기판전류를 각각 나타낸다. A 는 소자의 구조에 의존하고, ℓ 은 소자의 구조나 채널길이 혹은 바이어스 스트레스 조건 등에 무관하며 실험적으로 2.5 부근의 값을 갖는다. 최대 적용 가능 전압은, $V_g = V_d$ 의 스트레스 조건

아래에서 10년의 수명이 보장되는 드레인전압으로 보통 정의된다.[9] $V_g < V_d$ 의 조건에서는 기판전류 및 V_t 와 G_m 의 변화가 커지며, 실제적인 동작조건에 적합한 스트레스 조건은 통상 $V_g = V_d$ 로 한다.[9] 이들 노쇠화의 변화는 다음과 같은 실험식으로 표시된다.[8]

$$\Delta V_t \text{ (or } \Delta G_m / (G_{m0} - \Delta G_m)) = A \cdot t^n$$

그림1, 그림2, 그림3 은 스트레스 시간에 따른 ΔV_t 와 $\Delta G_m / (G_{m0} - \Delta G_m)$ 의 값의 변화와 그들의 상호관계를 나타낸다. 이 실험 결과로부터 ΔV_t 와 $\Delta G_m / (G_{m0} - \Delta G_m)$ 은 각각 시간에 대해 지수적인 관계를 가짐이 확인되었다.

III. 게이트-드레인간의 정전류 스트레스에 의한 노쇠현상

문턱전압의 변화는 게이트 산화층에서 뜨거운 전자 의 포획에 기인하며, transconductance 의 노쇠 현상은 뜨거운 전자에 의한 계면상태의 발생에 기인 한다고 믿어진다. 얇은 산화층 내의 전자 포획 현상은, 정전류 스트레스 혹은 광전류-전압 방법으로 자세히 연구 되어 왔다. 그림 4는 전통적인 DC 스트레스 방법(chap.II)과 게이트와 드레인 간에 정전류 스트레스를 가하는 경우의 실험적 구성도이다. 정전류 스트레스(그림 4, b) 동안 전자는 Fowler-Nordheim tunneling 에 의해 드레인 영역으로 부터 산화층으로 주입되고, 게이트 산화층 내의 높은 전기장 (≥ 8 MV/cm)에 의해 충돌이온화에 기인한 전자와 홀 쌍을 발생시킨다.[5] 즉 산화층 속으로 주입된 전자가 산화층 속에 음전하와 양전하 모두를 생성시킨다. 이런현상은 다음과 같은 현상학적인 모델로 잘 설명된다.[9]

$$\Delta V_t = \Delta V_t^- + \Delta V_t^+ \\ = -(t_{ox}^2 q \alpha / 2 \epsilon_{ox} \epsilon_0 \sigma^{-1}) [1 - \exp(-Jt \sigma^{-1} / q)] \\ + (q N_t t_{ox} / 2 \epsilon_{ox} \epsilon_0) [1 - \exp(-Jt \sigma^{-1} / q)] \quad (2)$$

(2)식에서 첫째항은 홀포획에 의한 음의 방향으로의 문턱전압 변위를 나타내고, 둘째항은 전자 포획에 의한 양의 방향으로의 문턱전압 변위를 나타낸다. 여기서 t_{ox} 는 산화층의 두께, α 는 충돌이온화 계수, ϵ_{ox} 는 SiO_2 의 상대 유전율, ϵ_0 는 자유공간에서의 유전율, σ^{-1} 는 충돌이온화에 의해 생성되는 홀과 전자의 재결합 단면적, J 는 전자의 전류밀도, q 는 전자의 전기량을 각각 나타낸다.

그림 5는 게이트-드레인 간의 정전류 10mA 를 가했을 때의 V_t 와 G_m 의 시간에 대한 변화를 나타낸다.[9]

IV. 스위칭과도 (Switching Transient) 동안의 노쇠현상

실제 회로 내에서 소자의 동작은 dynamic stress 를 받게 되므로 스위칭과도 동안의 소자의 노쇠현상이 더

중요한 과정이다. Inverter 를 포함한 대부분 의 회로 내의 소자의 경우 normal bias 하에서는 고전적인 hot-carrier stress 에서처럼 과도한 스트레스를 받지 않는다. 교류 스트레스에서는, 드레인-소오스 바이어스가 크고 입력 게이트 바이어스가 문턱전압보다 클 때의 스위칭과도 동안에 노쇠화가 진행되어 기판전류가 발생한다. 따라서 입, 출력 신호간의 delay time 에 의해, 노쇠화를 나타내는 기판전류의 크기가 결정된다. NMOS inverter 에서, 전형적으로 상승하는 입력

$$V_i(t) = at + V_t \quad (3)$$

에 대해 출력은 다음과 같이 나타낸다.

$$V_o(t) = V_{dd} - G_m R_f [V_i(t) - V_t] f(t/\tau) \quad (4)$$

여기서 $a = 0.8 (V_H - V_L) / (\text{input transition time})$ 은 input slew rate $\tau_0 = R_f C_f$ 은 pull up 시간 상수, V_t 는 문턱전압, G_m 은 포획영역에서의 driver 소자의 transconductance, $f(x) = 1 - (1 - \exp(-x)) / x$ 는 normalized function 을 각각 나타낸다. 과도 전달 특성은 $\text{gain}(G_m R_f)$ 에 의존하고 또 pull up constant ($\tau_0 = R_f C_f$) 와 특정한 게이트 전압에 도달하는 데 소요되는 시간 ($t = (V_i - V_t) / a$) 에 의존한다. 그림 6에, 드레인에 정전압을 인가하고 게이트에 톱니파형의 펄스를 가한후의 노쇠현상의 실험적 결과를 나타내었다.

V. 결론

1. 고전적인 hot-carrier stress 에 의한 문턱전압위 변화와 transconductance 의 노쇠화의 연구에서 이들의 시간에 대한 변화는 지수적이 확인되었고 이들 상호 연관성이 연구 되었다.
2. 소오스와 기판을 floating 상태로 하면서 게이트와 드레인 간에 정전류 스트레스를 가한후의 노쇠현상 연구에서 문턱 전압의 음과 양의 방향으로의 변화는 각각 충돌이온화에 의한 홀과 전자의 포획에 의한 노쇠화의 결과라는 모델이 실증되었다.
3. 실제 동작조건인 스위칭과도 동안의 기판전류의 크기는 드레인 전압이 큰 상태에서 게이트 전압이 변화하는 동안 극대가 된다. 이 경우에는 직류 스트레스와는 달리 입출력간의 delay time 과 ramping, falling rate 등이 고려되어야 한다. 이때는 과도 전류가 드레인으로 부터 게이트로 흐를때 노쇠화가 극대가 된다.

참고문헌

1. K.L. Chen, S.A. Saller et al., IEEE Trans. Electron Devices, Vol. ED-32, pp. 386, 1985.
2. Robert K. Reich et al., IEEE Trans. Electron Device Vol. #DL-7, No.4, 1986.
3. J. Stephen Brugler and Paul G.A. Jespers,

- IEEE Trans. Electron Devices, Vol. ED-16, No.3, pp. 297, 1969.
- 4. Zhi-Hao Fang, IEEE Trans. Electron Devices, Vol. ED-33, No. 4, pp. 516, 1986.
- 5. K.K. Ng, IEEE Trans. Electron Devices, Vol. ED-30, pp. 871, 1983.
- 6. Kueing -Long Chen et al., IEEE Trans. Electron Device Vol. ED-33, No. 3, pp. 423, 1986.
- 7. E. Takeda and T. Hagiwara, J. Appl. Phys., Vol. 55, pp. 3180, 1984.
- 8. E. Takeda et al., IEEE Electron Device Lett., Vol. EDL-4, pp. 111, 1983.
- 9. A. Bhattacharyya et al., IEEE Trans. Electron Devices Vol. ED-33, No. 9, pp. 1329, 1986.
- 10. F.C. Hsu and K.Y. Chiu, IEEE Electron Device Lett., Vol. EDL-5, pp. 148, 1984.

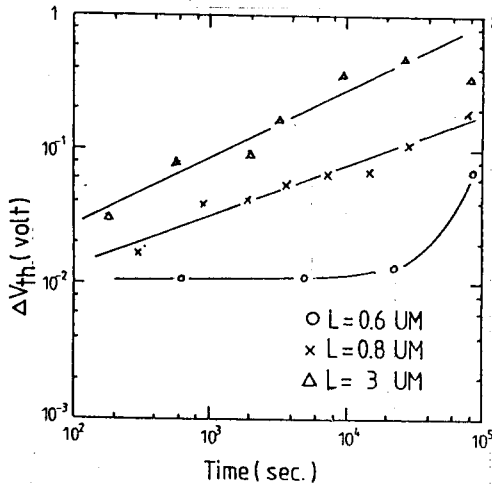


그림 1. 아래와 같은 조건으로 소자에 stress 를 가했을 때 시간의 변화에 따른 $V_d=50\text{ mV}$ 에서의 threshold voltage shift ΔV_{th} 의 변화

Channel 길이(L (μm))	드레인전압 (V)	게이트전압
0.6	3.8	3.5
0.8	4.4	4
3	8	5

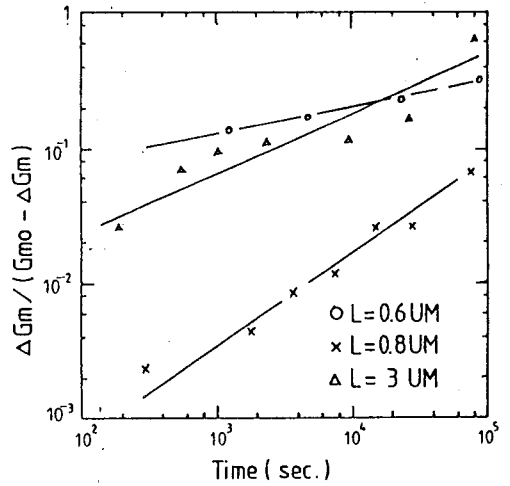


그림 2. 앞에서와 같은 조건에서의 스트레스 시간에 대한 transconductance degradation의 변화

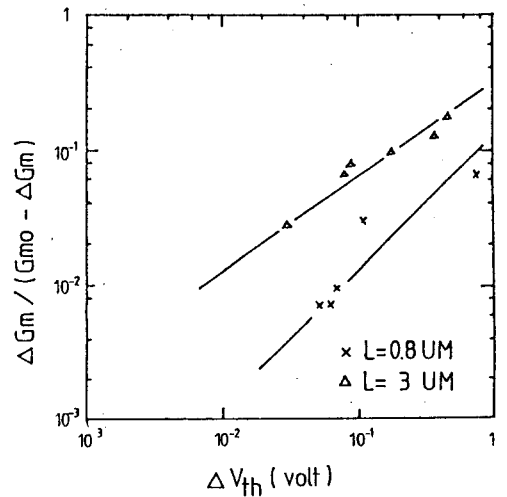


그림 3. 앞에서와 같은 스트레스 조건에서의 ΔV_{th} 와 ΔG_m 의 상관 관계

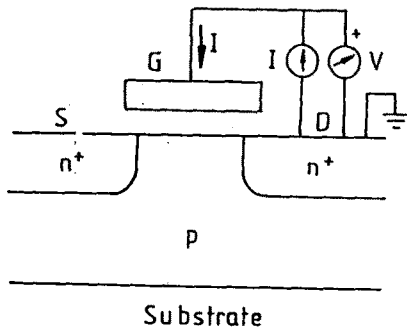
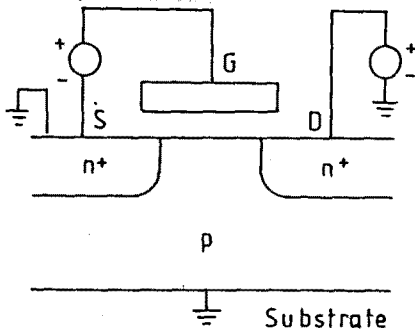


그림 4. 고전적인 hot-electron stress(a) 와 게이트 와 드레인 간의 정전류 스트레스(b) 에 대한 MOS 트랜지스터의 단면도

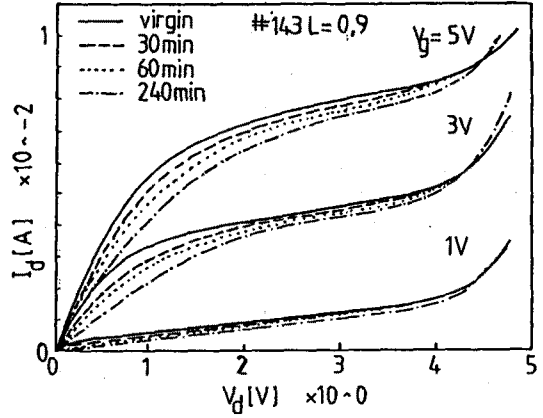


그림 6. $L=0.9\mu\text{m}$ 인 쇼타에드레인 전압 4.4V , 게이트 전압은 톱니형펄스(50%) 모양으로 진폭 4.4V ($0\text{V} - 4.4\text{V}$), 주파수 1KHz 의 스트레스를 30분간(---), 60분간(....), 240분간(-.-.-)가한 후의 $V_d - I_d$ 곡선의 노쇠현상. 이때의 ΔV_t 는 각각 47mV , 220mV , 510mV 이고, $V_d=0.01\text{V}$ 에서의 $\Delta G_m / (G_{m0} - \Delta G_m)$ 은 각각 0.24 , 0.10 , 0.05 만큼 노쇠되었다.

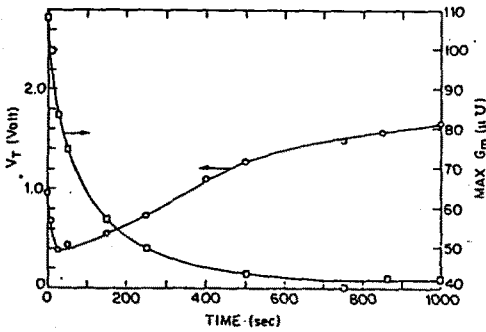


그림 5. The shift in threshold voltage (V_t) and maximum transconductance (G_m) versus stress time for a constant current stress of 10 nA [9].