

저온 CVD PN-InP MISFETs

○ 정 운 하

포항공과대학 전기전자공학과

Low-temperature CVD PN-InP MISFETs

Yoon-Ha Jeong

Pohang Institute of Science & Technology
Department of Electrical & Electronic Engineering

Abstract

Low temperature phosphorus-nitride CVD was newly developed for a high quality gate insulator on InP substrate. This film showed the Poole-Frenkel type conduction in high electric field with resistivity higher than 1×10^{14} ohm-cm near the electric field of 1×10^7 volt/cm. The C-V hysteresis width was very small as 0.17 volt. The density of interface trap states was $2 \times 10^{11-2-1}$ cm⁻² eV below the conduction band edge of InP substrate. Effective electron mobility was about 1200-1500 cm²/Vsec and showed the instability of PN-InP MISFETs drain current reduced less than 10 percent for the period 0.5-10³ sec.

I. 서론

InP계 화합물 반도체가 고속 FET (field effect transistor) 재료로서의 매력적인 성질은 고 전자이동도, 고 전계하에서 큰 피크 속도 및 포화속도를 가져, 고 집적, short 채널소자에 적합하고, GaAs와 비교하여 이온화계수가 작고, 열 전도율이 크므로 power용 소자에 응용이 기대된다. 또한 계면의 전기적 성질로는 MIS (metal-insulator-semiconductor)를 제작한 경우 GaAs와 달리, 표면 반전층 및 축적층을 형성할 수 있어 MISFET를 실현시킬 수 있다는 장점과 InP계의

공소자와의 결합에 의한 공간차집적회로(OBIC)가 가능하다. 이와같은 특징과 장점이 InP계 MISFET연구의 구동력이 되어있고, 우수한 MISFET 특성을 얻기위해 양호한 MIS 계면을 형성시킬 필요가 있다. 이 때문에 절연막/InP MIS 계면 특성에 관해 계면준위 밀도의 저감화라고 하는 관점에서 연구가 주로 행하여져, 각종의 절연막^{1-7, 12-13)} 형성에 관한 정력적인 연구가 보고되어 있다.

종래의 GaAs, InP 등의 III-V족화합물 반도체의 표면 및 계면준위의 성질과 원인에 관해서는 이중원자의 표면에서의 흡착에 의한 구성원소의 증발에 따른⁸⁻⁹⁾ 결합준위 가 원인이라고 하는 Spicer 등의 모델과, 표면원자의 불규칙성에 의한 파동함수의 극제가¹⁰⁻¹¹⁾ 원인이라고 하는 Hasegawa 등의 모델이 제창되어 있으나 반드시 명확하지는 않다. 따라서 본 연구에서는 P(인)의 과포화 상태에서 P-N (phosphorus-nitride)막을 형성하고, PCl₃의 열분해에 의한 자연산화막 제거라는 새로운 방법을 도입하여 양호한 계면상태에서 MIS구조를 제작하여 그 특성을 조사하여 계면준위의 원인을 규명함과 동시에 MISFET를 제작하여 그 특성을 조사하였다.

II. 실험 및 결과

질화린(PN)막의 퇴적에는 원료로서 PCl₃, NH₃를 이용하여 PCl₃는 H₂를 bubbling시켜 석영관 중에 도입했다. PN막 성장에는 석영관직경 및 형상이 다

본 2개의 시스템(시스템A:내경 28mm, 시스템B:내경 42mm)을 사용했다.

n형기판위에 PN막을 퇴적시켜 제작한 MIS 다이오드의 용량-전압 특성을 Fig.1 에 나타내었다. 퇴적에는 시스템 A를 이용하여 기판온도 450°C, 퇴적시간 160분, PCl_3 및 NH_3 유량은 각각 5 sccm, 30 sccm, 희석 H_2 총유량 120 sccm 의 조건에서 행하였다. 또, 퇴적 직전에 InP 표면에 존재하는 자연산화막을 제거하기 위한 in-situ 에칭 방법으로 PCl_3/H_2 의 몰 분율M.F.(molar fraction)과 in-situ 에칭 시간의존성을 조사해 그 최적 조건을 구했다. 이 에칭 프로세스에는 시스템 B를 이용하였다. 그 최적조건에서 구한 대표적인 예가 Fig.1 에 나타나 있으며, C-V곡선 상의 히스테리시스 및 주파수 분산이 각각 1 MHz 에서 0.17 V, 측정축에 10 kHz-1 MHz 범위에서 3.3 %의 대단히 적은 값을 나타내며, 지금까지 보고된 절연막 형성법 중에서 가장 우수한 값이라 할 수 있다.

Fig.2는 1 MHz 의 전압 - 용량 (C-V) 특성 곡선에서 Terman 법에 의해 구하여진 계면준위밀도의 에너지 분포이다. 측정의 소인조건을 변화 시키므로서 계산된 계면준위 밀도에 차이가 생기거나, 시정수가 큰 트랩의 영향이 완전히 무시될 수는 없으나, 계면 준위 밀도의 최소치가 모두 $10^{11-2} cm^{-2} eV^{-1}$ 의 값이 얻어지고 있다. -4 V 에서 +1 V 의 소인에서는 계면 준위 밀도의 최소치가 $2 \times 10^{11-2} cm^{-2} eV^{-1}$ 이다.

특히 주목할 사항은 in-situ 에칭효과에 의해 III-V 족화합물의 표면에 존재하는 자연 산화막이 제거됨과 동시에 V 쪽인 인(P)의 과잉상태에서 계면을 형성하므로 전도대 부근의 계면준위 밀도가 감소되고, 또한 에너지 갭 중앙 부근에서도 P의 과잉 효과가 강하게 나타나 P-antisite defect 설을 지지하는 최초의 실험적 결과라는 점이다.

이상의 결과에서 in-situ 에칭에 의한 자연산화막의 제거 후 P-rich의 분위기에서 InP MIS 계면을 형성한 경우, 낮은 계면준위 밀도, 작은 히스테리시스 등으로 부터 양호한 MISFET가 기대된다.

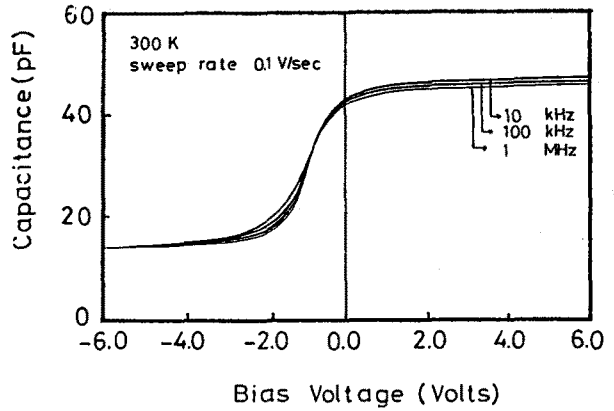


Fig.1 질화린(PN)막을 이용한 InP-MIS 구조의 히스테리시스 및 주파수 특성

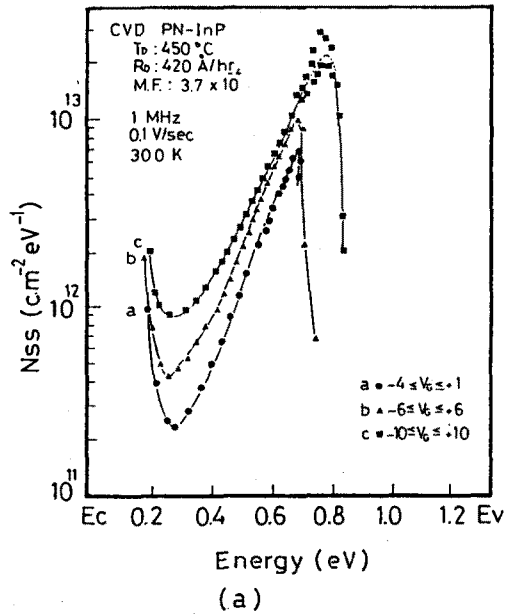


Fig.2 PN막의 형성 방법에 따른 PN-MIS 다이오드의 계면준위 밀도의 분포.

Fig.3은 저온 CVD PN-InP MISFET의 제작 공정 과정을 간단히 요약한 것이다. MISFET를 제작하기 위하여, 사용한 기판은 면방위(100) Fe-doped 반절연성(S.I) 기판($>10^6 \text{ ohm-cm}$) 및 Zn-doped p형 기판($2-3 \times 10^{16} \text{ cm}^{-3}$)이다.

(1)이온 주입 공정: 기판은 유기 표면 처리 후 Br-메탄올 용액에서 에칭 한후, 주입 에너지 100 keV, dose량 $5 \times 10^{13} \text{ cm}^{-2}$, 실온 조건에서, Si이온 주입을 행한다.

(2)활성화 공정:활성화 어닐링은 MISFET제작시, 중요한 프로세스의 하나이며, P의 증기압이 높고, 어닐링 중에 반도체에 열 손상이 생길 가능성이 있다.보호막으로 PECVD에 의한 PSG막을 이용했다.

(3)메사 에칭:게이트 영역의 이온주입층은 HCl : H₂O₂ : H₂O=4:1:6 에 의해 에칭된다.이 에칭액은(100)InP에 대하여 이방성을 가지므로,소-스 드레인 영역이 메사형으로 된다.

(4)질화린 막의 성장:InP MISFET 제작공정 중에서,가장 중요한 프로세스이며, 이 게이트 절연막 형성기술이 핵심 기술이다. 이 PN 막의 성장법은 앞서 서술되었다.

(5)PN막의 창문 열기 : PN이 화학적으로 대단히 안정하기 때문에 반응성 이온에칭(RIE)에 의해 소-스 및 드레인 영역의 contact hole를 형성했다. RIE의 조건은 CF₄, O₂를 이용하여, 입력 전력 300 W, 압력 10 Pa, 30 sec 에서 행하였다.

(6)ohmic 접촉 : 소-스 및 드레인의 ohmic 접촉을 위해 AuGe합금을 1000 Å 진공증착한다.합금화 어닐링은 350°C, 5분간 Ar분위기 중에서 행한다.

(7)전극형성 : Al 불 저항가열법을 이용하여 진공증착하고, 전극을 형성했다.

제작된 소자는 게이트 안쪽 반경이 100 μm, 바깥쪽 반경 200 μm 의 링게이트형이다.

Fig.4(a),(b)는 S.I기판과 p형 기판을 사용하여 제작한 PN-InP MISFET의 커-브 트래이스 특성이다.특성 곡선에서 S.I 기판을 사용한 경우가 실효 이동도가 큰 것을 알 수 있다.

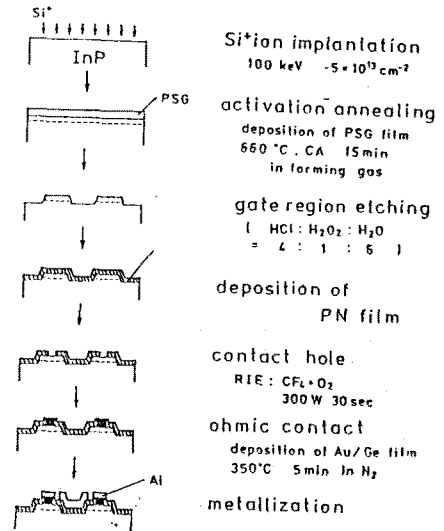


Fig.3 PN-InP MISFET의 제조공정과정

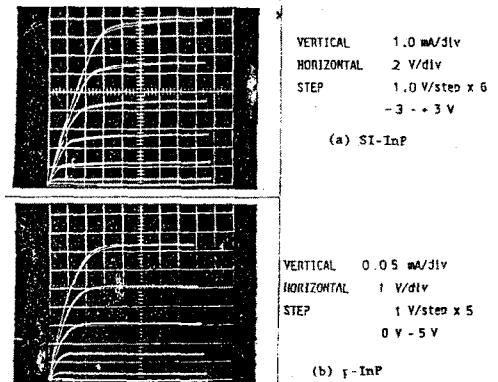


Fig.4 PN-InP MISFET의 커-브 트래이스 특성

(a)S.I기판 (b)p형기판

Fig.5는 PN막을 이용한 InP MISFET의 전류 드리프트 특성이다. 이용된 기판은 S.I기판이고, 퇴적온도는 450 C이다. 드레인전압 0.1V의 선형영역에서의 측정에는 드리프트가 존재하고, 전압 인가 후, 1000 sec 정도에서 8-10 % 정도의 감소가 보였으나, 드레인전압 2 V 에서는 거의 드리프트가 보이지 않는 것을 알 수 있다. 또한 다른 퇴적조건에서 제작한 소자에도 드리프트가 보이지 않아 재현성도 향상시킬 수 있음을 알 수 있다. 그러나 unetched 소자의 경우는 드리프트도 크고, 실효 이동도도 작은 것을 알 수 있었다.

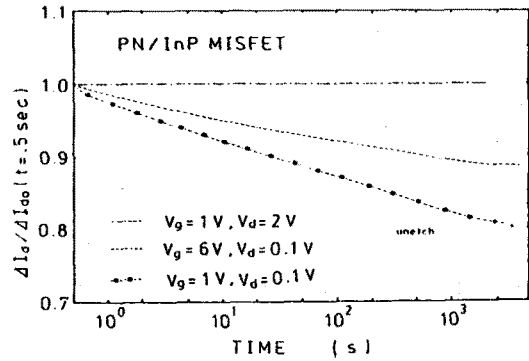


Fig.5 저온 CVD PN-InP MISFET의 드리프트 특성

III. 결론

비교적 낮은 400-450°C 부근에서 PN 막을 CVD방법으로 형성하여 산소를 포함하지 않은 상태에서, 양호한 게이트 절연막을 형성시킬 수 있었다. 계면 형성과정에서 인(P)의 과잉 상태를 유지시킬 수 있고, 그 효과가 실험적으로 강하게 나타나 P-antisite 를 유발하는 결과가 입증되었다.

PN-InPMIS 소자의 히스테리시스 폭은 0.17 V, 계면준위 밀도의 최소치는 전도대에서 0.3 eV의 밀에 $2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$, 주파수 분산은 10 kHz-1MHz 범위에서 3.3% 정도이다.

PN-InP MISFET 를 형성 한 경우, 사용된 기판은 S.I기판이 p형 기판보다 실효 이동도가 크고 퇴적온도 450°C 의 경우, MISFET 의 실효 이동도는 전형적으로 $1200 \text{ cm}^2/\text{V}\cdot\text{sec}$ 정도로, 선형영역에서 드리프트가 약 8-10 % 로 그쳐, 드리프트 특성의 개선이 보였다.

참 고 문 헌

1. M.Matsui, Y.Hirayama, F.Arai, and T.Sugano, IBER Electron Devices Letters, EDL-4, 308(1983)
 2. Y.Hirota and T.Kobayashi, J. Appl. Phys. 53, 5037(1982)

3. Y.Hirayama, F.Arai, and T.Sugano, Thin Solid Films, 103, 71(1983)
 4. Y.Hirayama, H.M.Park, F.Arai, and T.Sugano Appl. Phys. Lett. 40, 712(1982)
 5. Y.H.Jeong, S.Takagi, F.Arai, and T.Sugano, 47th Autumn Meeting of Japan Soc. Appl. Phys. 47, 639(1986)
 6. S.Takagi, Y.H.Jeong, F.Arai, and T.Sugano, 45th, Autumn Meeting of Japan Soc. Appl. Phys. 45, 571(1984)
 7. Y.H.Jeong, S.takagi, F.Arai and T.Sugano, to be published in J. Appl. Phys. (1987)
 8. W.E.Spicer, I.Lindau, P.Skeath, and C.W.Su. J. Vac. Sci. Technol. 17, 1019(1980)
 9. R.Schacter, M.Viscogliosi, J.A.Baumann, L.A. Bunz, P.M.Racah, and W.E.Spicer, Appl. Phys. Lett 47. 272(1985)
 10. T.Sawada, S.Itagaki, H.Hasegawa, and H.Ohno IBER BD-31, 1038(1984)
 11. H.Hasegawa and Ohno, J. Vac. Sci. Technol. 84, 1130(1986)
 12. Y.Furukawa Jpn. J. Appl. Phys. 23, 1157(1984)
 13. K.P.Pande and D.Gutierrez, Appl. Phys. Lett. 46, 416(1985)