

대형 프로그래머블 컨트롤러의 개발 : Part I (H/W)

권 옥현, 김 중일, 최 한홍, 김 덕우
추 영열, 정 범진, 이 기원, 홍 진우*

서울 대학교 공과대학 제어계측 공학과
* 삼성 반도체 통신(주)

Development of Large Scale Programmable Controller
: Part I (H/W)

Wook Hyun Kwon, Jong Il Kim, Han Hong Choi, Duk Woo Kim
Yung Yul Chu, Bum Jin Chung, Gi Won Lee, and Jin Woo Hong*

Dep. of Control and Instrumentation Engr.
Seoul National University.

* Samsung Semiconductor & Telecommunications

ABSTRACT

A large scale programmable controller is developed which adopts a multiprocessor structure. The developed programmable controller consists of the programmer, the system controller, and the input-output unit. The structure and characteristics of the system controller will be described.

The PC has a special hardware scheme to solve the Boolean logic instructions of the sequence control programs. The multiprocessor structure and the special hardware enables the real time operation and the high speed scanning which is prerequisite to the large scale programmable controller even for many I/O points.

1. 서론

프로그래머블 컨트롤러(이하 PC라 약함)는 처음에는 간단한 시퀀스 제어용 기기로 사용되었으나 마이크로프로세서의 출현으로 인하여 좀 더 범용화, 다기능화되었고 산업의 고도화에 따라 PC에 요구되는 기능도 점점 복잡, 다양하게 되었다. 주로 입출력 접점의 수에 따라 소형에서 초대형으로 나뉘는 PC는 적용되는 시스템의 특성상 실시간 동작 기능이 필수적으로 요구된다. 특히 다양화, 고기능화된 대형 PC의 경우 시스템 하드웨어에 특별한 구조가 도입되지 않으면 이러한 실시간 동작 기능을 제공하기가 곤란해진다. 또한 일반적으로 스캐닝 시간으로 표시되는 PC의 동작 속도는 보통 수십 ms인데 대형 PC인 경우 제어 프로그램의 크기에 따라 이보다 늘어날 수 있다. 따라서 빠른 스캐닝 시간을 얻기 위한 구조에 대한 연구를 필요로 하며, 대형 PC에서 주로 사용되는 방법으로는 다중 프로세서

구조[3][5][7][12]와 복수할 H/W를 사용하는 방법 등이 있다 [8][9][10]. 이 외에도 국내에서 진행된 연구의 결과로서 다중 프로세서 구조에 의한 PC의 성능을 해석한 연구 결과[5]와 이 경우의 소프트웨어 구조와 성능 해석[6] 및 실제 하드웨어에 근거한 소프트웨어 수행 데이터를 다중 프로세서 구조에 적용하여 시뮬레이션을 수행한 결과[7] 등이 보고되고 있으며, 이 밖에도 여러 개의 소형 PC를 병렬로 연결하여 입출력 접점수를 증가시키는 방법[13] 등이 있다.

본 논문에서는 입출력 접점 최대 2048점을 제어할 수 있도록 설계, 제작된 대형 PC의 하드웨어 구조에 대하여 기술한다. 개발된 PC는 다중 프로세서 구조와 논리 제어 프로그램을 풀기 위한 복수 하드웨어를 동시에 가지고 있다.

전체 시스템의 구성은 PC의 주 장치 부분인 시스템 컨트롤러, 사용자와의 대화 기능과 화일 기능등을 담당하는 프로그래머, 그리고 송신과 입출력을 처리하는 입출력부로 나눌 수가 있다. 본 논문에서는 PC의 대형화와 고기능화에 따른 연산 시간 및 수행속도를 증대 시키기 위한 시스템 컨트롤러의 구조적인 측면을 중심으로 하여 서술하고, 프로그래머와 입출력부는 본 논문에서는 그 내용을 약술하였다.

2 장에서는 프로그래머, 시스템 컨트롤러 및 입출력부로 구성되는 전체 시스템의 개요를

설명하고, 3 장에서는 시스템 콘트롤러의 구조를 서술 하였다.

2. 전체 구조

PC의 대형화 추세는 PC의 형태에 있어서의 변화를 가져 왔다. 특히 과거의 공정에 직접 삽입되는 구조에서 변화하여, 전용의 콘트롤 룸에 주 장치가 위치하고, 통신회선을 통하여 실제 공정에 삽입되어 있는 입출력 장치들을 연결하는 형태가 일반화 되고 있다. 이러한 변화는 오퍼레이터와 PC 간의 접촉을 용이하게 함으로써, PC가 오퍼레이터와의 대화 기능을 다양하게 구현 하도록 구성 되어야 할 필요성을 요구하고 있다. 이러한 기능을 구현 하기 위하여 PC는 일반적인 범용의 컴퓨터와 유사한 하드웨어 및 소프트웨어 구조를 가지게 되며, 따라서 PC의 고유 기능의 수행 속도 감소를 초래하게 된다[4]. 따라서 대용량의 PC를 구현 하려면, 다양한 기능의 구현과 아울러, 이의 구현에 따른 부담을 흡수할 수 있는 구조에 관한 연구도 요구된다. 즉 특수한 기능을 가진 전용의 하드웨어를 사용하거나, 병렬 구조등의 새로운 구조를 채택하여 시스템의 성능을 향상 시키는 방법등을 고려할 수 있다.

본 논문에서는 시스템의 부울 연산 속도를 향상 시키기 위한 특수한 기능의 하드웨어인 HLS를 설계 하였다. 이는 주 프로세서에 부착된 보조용 프로세서의 구조를 가지고 있다. 또한 주 CPU의 작업중에서 입출력 작업을 분담하여 CPU와 병렬로 수행 할수 있는 병렬 구조의 개념을 적용하였다. 본 시스템은 이와 같은 기본적인 구조를 토대로 하여 설계되었으며, 크게 프로그래머와 주 장치인 시스템 콘트롤러 및 입출력부로 나눌 수가 있다. 다음의 그림 1은 본 논문에서 다루게 될 PC의 전체 구성도이며, 그림 2는 주 장치 부분에 해당하는 시스템 콘트롤러의 외관 사진이다.

프로그래머는 기본적으로는 시스템의 주장치에 연결되어, 시스템의 관리, 응용 프로그램의 전달, 동작 상태의 감시등의 기능을 수행한다. 이밖에도

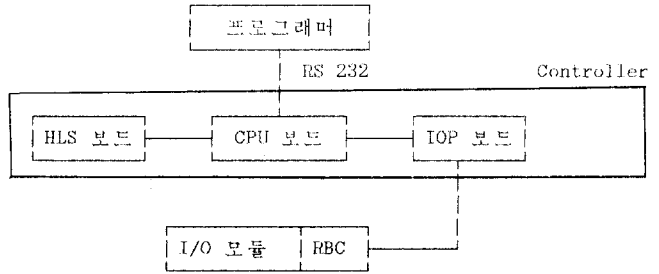


그림 1. 본 시스템의 전체 구성도

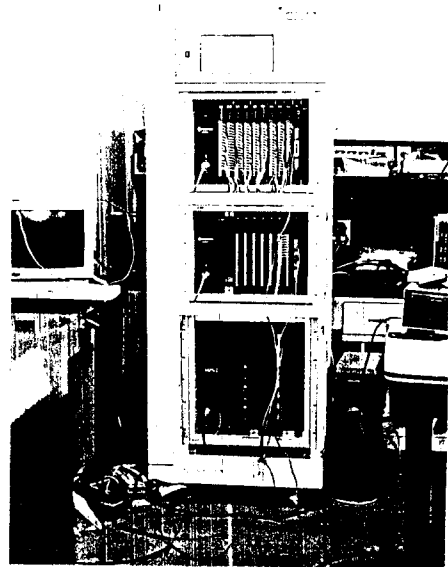


그림 2. PC의 외관도.

시스템 응용 소프트웨어의 생성, 관리, 저장, 처리등의 파일 관리(file management) 기능과, Ladder diagram의 작성, 편집, 컴파일 및 디버깅등의 utility등을 추가로 제공한다. 본 시스템은 CP/M 68K를 운영 체제로 하는 전용의 프로그래머를 개발하여 사용 하였고, IBM-PC 기종도 사용할 수 있도록 하였다[11].

시스템 콘트롤러는 시스템의 모든 동작을 관리, 제어하고 주어진 ladder diagram을 실행하여 PC의 고유 기능인 공정 제어 기능을 수행하는 주 장치이다. 시스템 콘트롤러는 다음과 같은 세 부분으로 구성 된다. 즉 시스템 콘트롤러의 동작 수행을 결정하고 제어하는 CPU부, ladder diagram의 푸는 속도를 향상 시키기 위한 전용의 하드웨어 구조인 HLS 부, 및 공정과의 입출력을 담당 하는

IOP등으로 구성 된다.

CPU부는 일반적인 일반적인 마이크로프로세서에 의해 구성되는 범용의 마이크로 컴퓨터의 구조와 실시간 운용에 필요한 일부 기능들을 포함하고 있다. HLS부는 CPU 부의 보조용 프로세서의 기능을 가지고 CPU의 Ladder diagram의 수행을 보조한다. IOP부는 CPU부와 병렬로 입출력을 수행하는 구조를 가진다.

입출력 부는 시스템 콘트롤러의 IOP와 실제 공정간의 입출력을 직접 담당하는 부분으로서, 스위치, 센서, 솔레노이드등의 기본적인 입출력 장치로 부터 데이터를 수집하는 RBC가 통신회선을 통하여 시스템 콘트롤러의 IOP에 전달 하거나 IOP로 부터 출력을 받아서 각 출력 장치들에 출력 시키는 기능을 담당 한다.

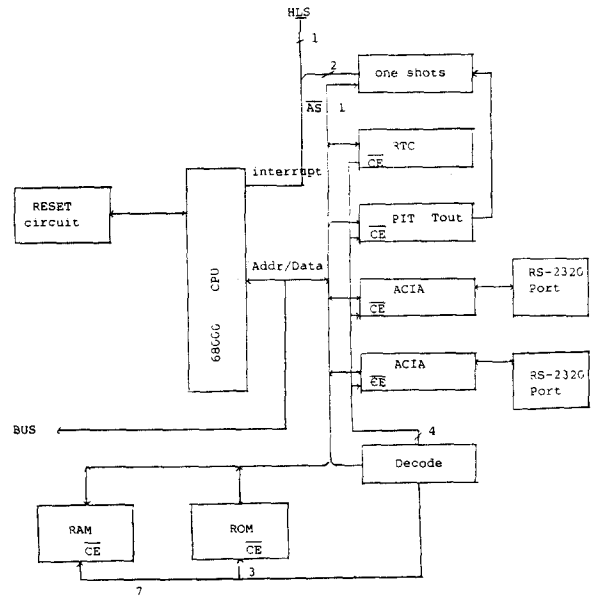


그림 3. CPU 보드의 전체 구성도

3. 시스템 콘트롤러

(가) CPU 부

CPU 부는 기본적으로 마이크로 프로세서에 의한 컴퓨터 구조를 가지고 있다. 즉 모토롤러의 16 비트 마이크로프로세서 68000을 사용하여 설계되었다. 그러나, PC의 실시간 응용을 위한 실시간 클럭, 실시간 인터럽터 처리 기능등을 추가 하였고, 시스템의 고장에 대비한 자기진단 기능을 갖추었다.

CPU부는 이러한 구조를 가지고 PC의 동작에 있어서 필요한 제반사항을 관리한다. 프로그래머와의 통신을 수행 하여 ladder program을 받아들인 후에 이를 HLS의 memory에 loading시키며 또한 i/o configuration table을 받아서 I/O processor에 전달해주고서, 입력 processor로 전달된 후 CPU에 의해서 읽혀진 후 이를 다시 HLS에 전달한 한 후 HLS를 enable시켜서 HLS로 하여금 ladder를 풀게하고 풀 결과를 HLS로부터 읽어 들인 후에 이를 I/O processor에 넘겨준다. CPU 보드의 전체 block diagram은 그림 3과 같다.

실시간 응용을 위한 인터럽터 처리 기능을 추가하여 빠른 실 시간 반응 속도를 얻도록 하였으며, 자기 진단을 위한 기능들이 삽입되어 주기적으로 전체 시스템의 동작 상태를 진단하게

된다. 또한 비상 정전등의 원인에 의하여 전원 공급이 중단되었을 경우에, 시스템의 계속성과 빠른 복구를 위하여 시스템 내의 모든 메모리의 내용을 보존하도록 전원 보호 회로를 사용하여 돌발적인 사태에 대비하였다.

(나). HLS(Hardware Logic Solver) 부

제 2 장의 전체 구조에서 설명한 바와 같이 PC가 대형화, 고기능화 함에 따라서 주어진 응용 프로그램을 완료하기 위한 시간, 즉 스캐닝 시간의 단축을 실현하는 문제가 아주 심각해 진다. 만약 일반적인 컴퓨터 구조하에서 이를 수행하려면 필연적으로 스캐닝 시간이 길어져서, PC의 효율성을 상실하게 된다. 이를 극복하기 위하여, 다중 프로세서 구조와 같은 새로운 방식을 적용하거나, 특수한 하드웨어에 의하여 ladder diagram을 수행 하게 하는 방법등을 적용 할 수 있다.

본 논문에서 다루는 시스템은 후자의 방식을 채택하고 있다. 즉 본 대형 PC에서는 전용으로 래더 논리를 풀기 위한 HLS라는 특수한 하드웨어를 채용하고 있다. HLS는 몇 가지의 전용의 동작을 수행하는 프로세서의 구조를 가지고, CPU에 부가

되어 CPU의 수행을 보조하는 보조용 프로세서이다. HLS는 ladder의 수행 속도를 증가 시키기 위하여 4 단계의 pipeline 구조를 가지고 있다. HLS는 8x10으로 구성 되는 Network을 Column단위로 해석한다. 래더 언어로 구성된 Network을 푸는 방식에는 Column단위로 푸는 방식과 Row 단위로 푸는 방식의 2 가지로 나눌 수가 있다[3][8][9]. 이 2 가지 방식은 각각 장단점이 있지만, Column 방식이 병렬 수행에 유리하기 때문에 본 시스템은 이 방식을 채택하였다[3][9]. 각 클럭 마다 2 개의 fetch unit로 부터 래더 논리를 풀기 위한 정보들을 fetch하여 매 4 클럭 마다 1 Column에 관한 모든 데이터를 fetch하여 처리하도록 하였다. 하나의 Column을 풀기 위한 작업을 서로 무관한 작업들로 분리하면 어드레스 fetch, 데이터 fetch, 데이터 preprocessing과 OR 명령어 처리의 4 단계로 나누어진다. 1 column이 8개의 스텝을 구성하므로, 2 개의 instruction fetch unit에 의하여 최대의 속도를 얻을 수 있다. 이와 같은 방식에 의하여 HLS는 0.1usec/step, 즉 1000 step의 ladder를 푸는 데 0.1msec가 소요 된다. 이와 같은 고속의 논리 연산 속도에 의하여 본 PC는 대용량의 데이터를 고속으로 처리할 수가 있다. HLS의 블록 선도는 그림 4와 같다.

그림 4의 각 부분의 기능은 다음과 같다.

PC : Program Counter. 수행할 명령어의 위치를 표시

OM : OR memory. node간의 OR 정보를 저장

AMu, AMl : Address Memory Upper or Lower

각 명령어의 어드레스(출력 번지, 입력 번지등)를 저장하며, 각 클럭마다 PC가 하나씩 증가되어 fetch되며, AMu와 AMl는 병렬로 동시에 fetch됨.

FMu, FMl : Function Memory upper or lower

각 node의 명령어의 토큰을 저장

DMu, DMl : Data Memory upper or lower

입출력 번지의 실제 데이터가 저장되어 있다.

HLS Board는 래더 언어 중 대부분을 차지하는 Boolean Instruction을 하드웨어로 풀수 있으나, Ladder diagram 중에서 카운터, 타이머등의 응용 명령어(Block Type Instruction: BTI)는 수행을 할 수가 없다. 따라서 HLS가 수행 중에 BTI를 만나면 CPU로 인터럽트를 발생시켜 CPU가 BTI를 풀도록 한다. 이러한 구조는 더욱 고속의 PC를 실현 하기 위하여, 개선 되어야 할 것이다.

(다) IOP 보드

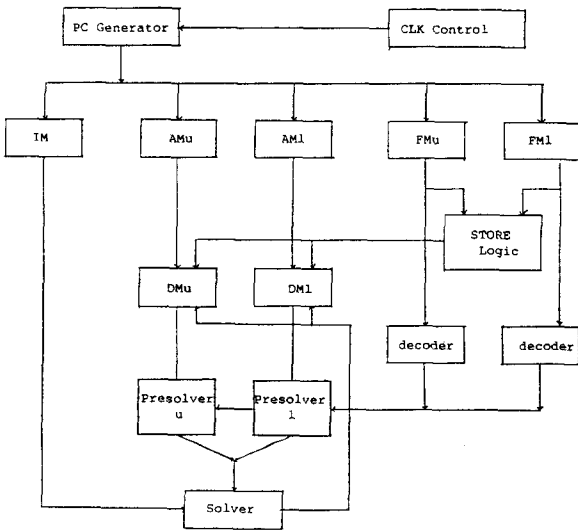


그림 4. HLS의 블록 선도

IOP(Input-Output Processor) 보드는 HLS와 함께 CPU 부의 작업을 분담하기 위한 보조 프로세서의 구조를 가지며, 2 대의 CPU로 구성되어 외부 공정과의 입출력을 전담한다. 본 시스템이 공정으로부터 입력을 수집하는 과정은 크게 두 단계로 나눌 수 있다. 먼저 RBC(Remote Base Controller)가 외부의 공정에 삽입 되어 있는 다수의 입력 장치로부터 데이터를 수집하면, 이 데이터를 축적하여 RS-422등의 통신 회선을 통하여 시스템 제어부에 있는 IOP로 보낸다. IOP는 자신이 관장하는 여러 대의 RBC로부터 위와 같은 방식으로 데이터를 수집하고, 이를 IOP 내부의 메모리에 저장한다. 다음 단계로 시스템 제어부의 CPU 부는 이 데이터를 HLS 부의 데이터 메모리에 저장하여 Ladder

Diagram을 해석하게 된다. 출력은 위에서 설명한 과정의 역순으로 수행된다. 하나의 RBC는 최대 256점의 입출력을 처리할 수 있으며, 하나의 IOP는 최대 8 대까지의 RBC와 통신을 수행 함으로서 최대 2048점의 입출력 처리 능력을 갖는다. 또한 CPU 부는 4 대의 IOP를 관장할 수 있어서 최대 8096 점의 입출력을 처리할 수 있다. CPU는 Burst mode 의 DMA 전송 방식을 사용하여 IOP의 메모리를 어서서할 수 있으며, 이와 같은 구조에 의하여, IOP는 CPU 부와 병렬로 입출력 작업을 수행 할 수 있다. 그림 5에 IOP의 블록 선도가 표시되어 있다.

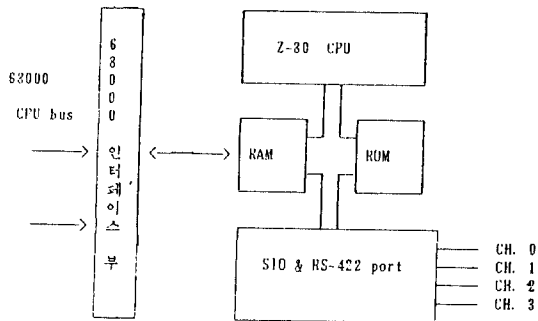


그림 5. IOP의 블록 선도

IOP에 연결 되는 입출력 부는 PC가 설치될 공장 내의 입출력 device와 직접 부착되어 입출력 데이터를 교환하는 부분이다. 개발한 PC가 처리할 수 있는 입출력은 총 2048 point인데 16점의 입력 혹은 출력 모듈 8개가 1개의 I/O Base를 구성하고 2개의 I/O Base를 1개의 RBC가 관리하게 되어 있다. RBC는 시스템 콘트롤러의 IOP의 한 채널과 RS-422로 통신하면서 자기가 관리하는 입출력 데이터를 교환한다.

4. 결론

본 논문에서는 총 2048개의 입출력 접점을 가지는 대용량 프로그래머블 콘트롤러(PC)의 하드웨어 구조에 대하여 기술하였다. 본 PC는 프로그래머, 시스템 콘트롤러, 및 입출력 부로 구성 되어 있다. PC가 대용량의 입출력과 응용 프로그램을 고속으로 실현하기 위하여 여러가지의 구조를 필요로 한다. 본 논문에서는 논리 연산을 풀기 위한 전용의 하드웨어인 HLS를 설계하여 0.1ms/Kstep의 고속

연산을 실현 하였으며, CPU의 작업과 병렬로 입출력을 수행하는 IOP를 가지는 구조로 설계 되었다.

이상의 시스템은 앞에서 언급한 IOP와 RBC 사이의 고속 MODEM 개발을 통한 Remote I/O 기능을 보완 하여 주면 최대 8192 점 까지 확대가 가능하도록 설계가 되어 있으며, Ladder diagram을 0.1msec/Kstep의 고속으로 수행할 수 있는 하드웨어인 HLS의 채용으로 고속의 수행 속도를 실현하고 있다. 현재의 HLS는 Block Type Instruction의 수행에 제약이 있으나, 이의 구조를 개선함으로써 더욱 고속의 수행 속도를 실현 할 수 있다. 또한 시스템 콘트롤러에 parallel processing 기능의 보강을 통한 시스템의 고속화 및 고신뢰도화, 표준 네트웍 기능의 부가 등을 통하여 더욱 고급화될 수 있다. 개발된 PC는 아직 대형 PC의 개발 경험이 없는 국내에 많은 파급 효과를 줄 것이며 국내의 공장 자동화 기술의 축적 및 진보에 일익을 담당할 것으로 기대된다.

참고 문헌

1. 김 원철, "프로그램형 제어기의 설계 및 제작에 관한 연구," 서울 대학교 공과 대학 제어 계측 공학과 석사학위 논문, 1984
2. 변 대규, "제어 언어에 관한 연구," 서울 대학교 공과 대학 제어 계측공학과 석사학위 논문, 1985
3. 박 흥성, "프로그램형 논리 다중 프로세서 구조와 성능 평가에 관한 연구," 서울 대학교 공과 대학 제어 계측 공학과 석사학위 논문, 1986
4. 최 한홍, "대형 프로그램형 제어기를 위한 소프트웨어의 개발 및 성능 분석에 관한 연구," 서울 대학교 공과 대학 제어 계측 공학과 석사학위 논문, 1987
5. 박 흥성, 김 종일, 변 대규, 권 옥현, "다중 프로 세서를 이용한 대형 PC 구조 및 성능 해석",

- 한국 자동 제어 학술 회의, pp169-174, Oct, 1986
6. 최 한홍, 박 홍성, 변 대규, 권 옥현, "대형 프로그래머블 컨트롤러를 위한 소프트웨어 개발에 관한 연구," 제어계측 연구회 합동 학술 연구 발표 논문집, pp73-76, May, 1987
 7. Jongil Kim and Wookhyun Kwon, "The Architecture and Performance Evaluation of A Multiprocessor Based Programmable Controller(MBPC)," Korean Automatic Control Conference, Oct. 1987
 8. J.A.Siebel and C.L.Arosor, "Programmable Controllers," Automation, pp.61-64, Feb. 1984
 9. Texas Instrument, Advanced PC's unveiled by Texas Instrument, Texas Instrumnet, 1984
 10. Gould, Gould Modicon 584M Programmable Controllers, Gould, 1983
 11. 권 옥현, 박 홍성, 변 대규, 최 한홍, 김 덕우, "대형 프로그래머블 컨트롤러의 개발 : Part II (S/W)," 한국 자동 제어 학술 회의, 1987
 12. H.F.Felder and G.A.Tendulkar, "Multiprocessing Boosts PC Performancs", i&CS, Jan, 1985
 13. 안 재봉, 지 동근, 최 호현, "Programmable Controller의 link system에 관한 연구", 한국 자동 제어 학술 회의, pp175-177, Oct, 1986