

고속 DCO를 이용한 제1차 1차 Digital PLL

이희호, 김원기, 조영환, 심보수  
조선대학교 전자공학과

Minimum Phase First Order Digital PLL  
Using High DCO

Ju Ho Park, Hyun Gi Chung, Kyung Byung Cho, Soo Bo Shim  
Dept. of Electronic Eng., SoonSill Univ.

ABSTRACT

In this paper, Minimum phase First order Digital PLL using High DCO (Digital Controlled Oscillator) improved locked range and noise bandwidth for Digital PLL of the past. Finally, it showed phase difference and circuit operation through simulation and experiment.

1. 서론

통신에서 PLL은 동기화 및 FSK회로 등에 널리 이용되고 있다. 그러나 Analog PLL의 경우 VCO의 DRIFT, PD의 부차특성과 LOOP FILTER의 SATURATION 문제 등이 있고 이들을 DIGITAL화함으로써 해결할 수 있다. 또한 DIGITAL PLL은 동작의 고정성상, LSI화 및 소정의 집적도 등에서 ANALOG보다 우수하다. 현재까지의 DPLL에 관한 DCO (Digital Controlled OSC.)의 사용과 같이 설명할 수 있다.

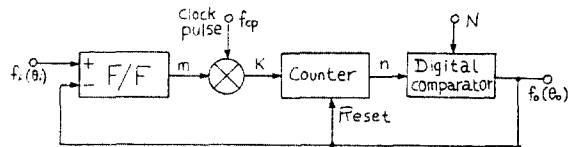
- 1) 주파수까지 다른 고정 주파수 발생기의 필요 없는 방법
- 2) 고정 주파수 발생기의 고역에 위상차가 발생 가능한 방법
- 3) 고정 주파수 발생기의 동작에 LATCHING 문제가 없는 방법
- 4) DSSS에 적용 가능한 방법

본 논문에서 제안한 제1차 1차 1차 PLL은 위상차 고정 주파수 발생기의 필요 없이 DCO에 사용된 고정 주파수 발생기에 있어 위상차와 위상잡음 문제가 없다. 또한 고정 주파수 발생기에 위상차가 발생하지 않는 DCO에서는 고정 주파수 발생기에 발생하는 위상차와 주파수 변동을 무시할 수 있다. 또한 위상차와 위상잡음 문제가 없는 고정 주파수 발생기에 있어 위상차와 위상잡음 문제가 없다. 또한 위상차와 위상잡음 문제가 없는 고정 주파수 발생기에 있어 위상차와 위상잡음 문제가 없다.

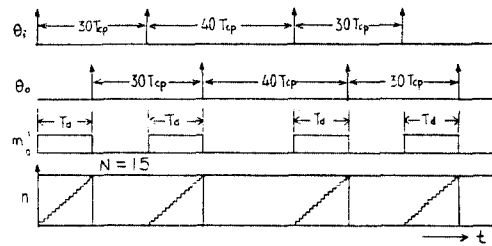
2. 회로 구성 및 해석

2-1. 1차 DPLL의 회로 구성

도 1(a)는 1차 DPLL의 구성도를 나타낸 것이다. 여기서 Phase Comparator는 Flip-Flop을 이용하였고 DCO는 Counter의 주기가 되는  $f_{cp}$ 와 위상차가  $m$ 인 Counter의 출력  $n$ 과 Digital Comparator의 출력  $N$ 과 비교하여  $n$ 이  $N$ 에 도달하면  $n$ 의 판독을 정지하고 카운터를 Reset시킨다. 도 1(b)는 1차 DPLL의 동작을 나타낸 것이다.  $N$  이하의  $f_{cp} = f_{cp}/30$ ,  $f_{cp}/40$  및  $f_{cp}/30$  인 경우  $10\text{ cycle}$  이내에  $100\%$ 의  $n$ 이 발생한다. 여기서  $100\%$ 이 들어가기 직전에  $n$ 이  $0$ 이 되고  $100\%$ 이 된 입력의 변경은 인정되지 않는다. 따라서  $100\%$ 의 정황에 대해서  $m$ 의 정황에 따라  $100\%$ 의 정황을 따라  $n$ 의 변화를 추적할 수 있다. 다시 말하면, 이 정황에 대해 위상차  $m$ 의  $100\%$  만큼 지연된 출력을 발생하게 된다. 이것을 Duty ratio를 계산하면  $f_{cp}/30$ ,  $f_{cp}/40$ , 및  $f_{cp}/30$  인 경우 0.5, 0.375 및 0.5 가 된다.



도 1. 1차 DPLL의 구성도



도 2. 위상차와 위상잡음

도 3. 위상차와 위상잡음의 비교

2-2. 회로의 수학적 해석

그림 2.는 제1차원 1차 DPLL의 동기회로 블록  
 출력  $f_o$  를 다음과 같이 구할수있다.

$$\omega_o = \phi f_{cp} / N \quad \text{또는} \quad f_o = m f_{cp} / N \quad (1)$$

$$\text{여기서, } \phi \text{ 는 위상차 호차} \quad \phi = 2\pi m = \theta_i - \theta_o \quad (2)$$

$$\text{만, } \theta_i = 2\pi \int_0^t f_i dt + \varphi_i$$

$$\theta_o = 2\pi \int_0^t f_o dt + \varphi_o, \quad \varphi_i - \varphi_o = 2\pi m(t)$$

식(1)에서 위상차와 출력 주파수는 비례관계가 성립  
 되고 출력 PLL의 VCO에 대응된다. 이 DCO와  
 동작 영역. 선대  $(f_{cp} / N) (m-1)$ 까지 가라앉다.  
 즉, 다음 식으로 된다.

$$0 \leq f_o \leq f_{cp} / N, \quad 0 \leq m \leq 1 \quad (3)$$

다음, 제1차원 1차 DPLL의 동상명칭식과 정상명칭식  
 별 구하면 식(2)를 미분하고 식(1)을 대입하면

$$d\phi/dt + \phi/\tau = d\theta_i/dt \quad (4)$$

만,  $\tau$ 는 서상수이고  $\tau = N/f_{cp}$ 이다.

식(4)를 미분하여  $f_o$  에대한 식으로 쓰면

$$df_o/dt + f_o/\tau = f_i/\tau \quad (5)$$

따라서 식(5)는 1차 DPLL의 동상명칭식이다.  
 식(4)와 식(5)에서 입력  $f_i, \theta_i$  의 위상차 및  
 $f_o$  에대한 응답한 식형으로 얻을 갈수있고 정상상태에서  
 인, 출력의 주파수는 같고 정상위상차  $\phi_s$  는 다음과 같  
 이 된다.

$$\phi_s = \tau \omega_i \quad \text{또는} \quad m = \tau f_i \quad (6)$$

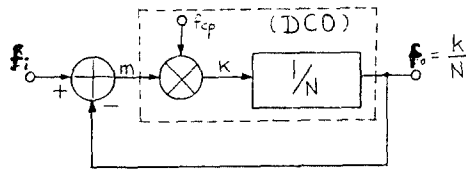


그림 2. 제1차원 1차 DPLL의 동기회로

그림 3.은 동기상태  $f_i = f_o$  에서 입력주파수  $f_i$  에대  
 한 1차 DPLL의 동기범위를 나타내었으며 다음과 같  
 다.

$$0 \leq f_i \leq m/\tau \quad (7)$$

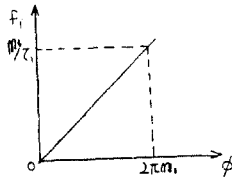


그림 3. 제1차원 1차 DPLL의 동기범위

3. 잡음 해석

3-1. 양자화 잡음

입력이 일정한 주파수에도 출력에는 2종류의 주파수가  
 나타날수가 있다. 이것을 양자화 잡음이라 한다. 이러  
 한 양자화 잡음은 입력 필수가 clock pulses의  
 정수배가 아닐때 발생한다. 즉, 입력의 주기가 클럭펄스  
 의 정수배이면 위상비교기의 입력단에서 인, 출력의 주파

수가 일치해 일치 할수있기 때문에 위상비교기의 출력  
 급의 대용의 정상상태에서 일정한이다. 그러나 입력의 주  
 기가 일정 필수의 정수배가 되지않으면 위상비교기의 대  
 용 급의 분량하여 주기가  $\tau f_{cp}$ 만큼 다른 것으로와 출력  
 수가 같아져야 하는데 위상비교기에 알지 못한다. 따라서  
 정상상태가 되어도 2종류의 주파수가 동시에 나타난다.  
 하지만 이 2종류의 평균주파수는 입력주파수와 일치 한  
 다. 이 양자와 잡음을 식으로 나타내면 다음과 같다.

$$n_g = 1/\tau \pm (\tau f_{cp}/2) \approx f_i \mp f_i^2 / 2 f_{cp} \quad (8)$$

3-2. 외부 잡음

잡음의 정도 잡음의 대역폭과 White Gaussian  
 Noise에대한 초기 위상의 분산 및 잡음대역의 개수에  
 의 관계가 1차 Analog PLL을 미분한다.  
 $W_c \pm W_n$  의 대역폭과 잡음 n(t)는 다음 식으로 나  
 타낸다.

$$n(t) = \sqrt{2} (n_s(t) \sin \omega_c t + n_c(t) \cos \omega_c t) \quad (9)$$

만,  $n_s$  및  $n_c$  :  $W_c$  에 대한 제1차원 서로 서로의 잡  
 음 성분을 나타낸다.  
 여기서 정상상태를  $\sqrt{2} A \sin(\omega_c t + \theta_s)$ 로 하면 DPLL의  
 출력  $f_o$  는  $f_i$  의 식(6)과 같아 되고  $\phi_s$  는 정상상태의  
 위상차와 같게 할수있다.

$$f_i(t) = s(t) + n(t) = \sqrt{2} A \sin(\omega_c t + \theta_i) \quad (10)$$

$$\theta_i = \tan^{-1} \left( \frac{A \sin \theta_s + n_c}{A \cos \theta_s + n_s} \right)$$

$$n_s, n_c \ll A$$

만약  $\theta_s = \omega_c t$  일때 제1차원 PLL의 정상상태에 있다면 식  
 (10)에서  $\theta_i$  는 일정한  $W_c$  만큼 바뀌어고 있다.  
 따라서  $\theta_i = \omega_c t + \theta_1$  일때  $\theta_1 = \theta_s = \omega_c t + \theta_1 - \tau \omega_c$  이  
 나타내어 위상차 식(4)에 대입하면 다음과 같아진다.

$$d\theta_1/dt + \omega_c \theta_1 = \omega_c \theta_i \quad (11)$$

만,  $\omega_c = 1/\tau$  이고  $\theta_1$  과  $\theta_2$  는  $s(t)$  와  $n(t)$   
 입력위상과 출력위상이다. 이때에의 폐루프 전달함수  
 H(s)를 구하면 다음 식으로 된다.

$$H(s) = \theta_2/\theta_1 = \omega_c / (s + \omega_c) \quad (12)$$

여기서 위상차에 대한  $\theta_2 = 0$  일때  $\theta_1 = \theta_2$  이고  
 여차  $\theta_1 = \tan^{-1} n_c/A = n_c/A (A \gg n_c)$  이 나타내어 위상차  
 식(4)에 대입하면 다음 식으로 된다.

$$d\theta_2/dt + \omega_c \theta_2 = \omega_c n_c/A \quad (13)$$

이 식에서  $n_c$  에 대한  $\theta_2$  의 평균을 나타내어  
 다음과 같다.

$$H_n(s) = \theta_2/n_c = (\omega_c/A) / (s + \omega_c) \quad (14)$$

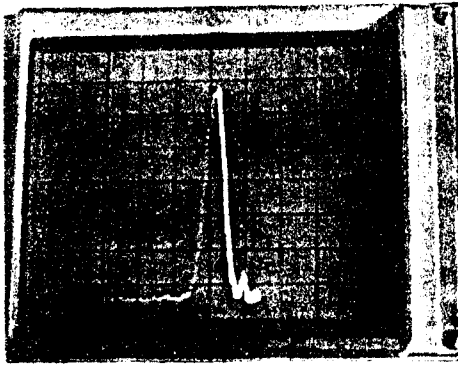
$$\therefore H_m(s) = H(s)/A$$

이 주파수에서

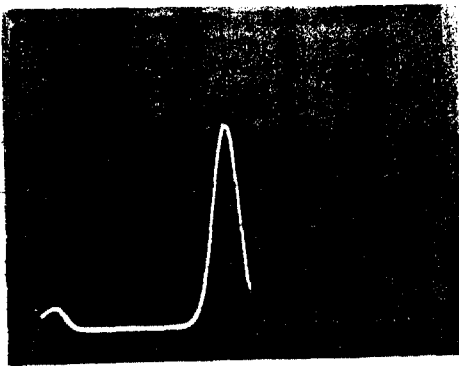
식(14)의  $H_n(s)$  에 대한 잡음 전력 Spectral Density  
 $N_o (W/Hz)$  는  $N_o = W_c$  이고  $W_c = W_e$  이고  $W_e$  는  
 $\theta_2$  입력의 출력에 대한  $|H_n(j\omega)|^2 N_o / 2A^2 (W/Hz)$   
 이 된다. 따라서  $\theta_2$  의 전력

$$\sigma_{\theta_2}^2 = N_o / 2A^2 \int_{-\infty}^{\infty} |H_n(j\omega)|^2 d\omega / 2\pi = N_o B_n / A^2 \quad (15)$$





(그림 6) 제1차원신호 발생시점과 잡음대의 신호 측정결과



(그림 7) 잡음에 제1차원 신호의 전력

그림 7. 임의적 파워 Spectrum

## 5. 결론

본 논문은 고정성 DCO를 이용한 제1차원 1차 DPLL을 제안하고 그 동작 및 잡음해석을 했다. 또한 실험을 통해 본 DPLL의 비당성률 증명할수 있었다. 특징으로는 잡음범위 및 동기범위가 0에서  $f_{cp}/N$  까지 가능하고 잡음대역은 종래의 Analog PLL과 같은 정도로 얻을수 있었다. 또 동기 인입과제에서 진동여거의 발생하지않고 시정수 7 에 따라 제1차원에 잡음을 추적할수 있었다. 또한 본 DPLL.에서 임의소신 잡음을 고려하지 않았지만 그외 잡음에 대해서는 임의소신 잡음제거 능력이 있음을 알수있었다. 그리고 이번 논문은 1차DPLL의 개념을 이용한 고차 DPLL의 검토 및 상용의 하나이다.

## REFERENCE

1. JAMES D. GISSNA and DONALD M. LEVY "Phase noise and Loop Lock Time for a Binary Synchronized Digital Phase Locked Loop in white Gaussian Noise" IEEE TRANS. COMM. VOL. COM 20 NO. 2 APRIL 1972
2. PASTERNAK, G. and WHALLA, R.L. "Analysis and Synthesis of a digital phase locked loop for FM demodulation" Bell Syst. Tech. J. June 1974
3. Joseph Sarsbruck, John Greco and Donald L. Schilling "Response of an All Digital Phase Locked Loop" IEEE Trans. Comm. VOL. COM 22. NO. 6, June 1974
4. S. O. RICE "Mathematical analysis of random noise" THE BELL SYSTEM TECHNICAL JOURNAL VOL. 23 and 24
5. Howard Medalia "Design of Phase Locked Loop Circuits with Experiments" Howard W. Sams and Co. Inc.
6. 柳沢 健 "PLL(位相同期ル-7)応用回路" 総合電子出版社