

직접결합 GaAs Preamplifier  
& Main Amplifier 설계

강희조, 김길상, 전주성, 조순철, 최승철

숭실대학교 전자공학과

Design GaAs Direct-Coupled Preamplifier & Main Amplifier

Heau Jo KANG, Kil Sang KIM, Joo Sung JEON, Soon Chul JO, Seung Chul CHOI

Dept. Of Electronics Eng., Soong Sil University

ABSTRACT:

The design of a GaAs direct-coupled pre-amplifier and main-amplifier is described. The developed pre-amplifier have 13dB gain, 3-GHz bandwidth and 4.8dB noise figure for the one-stage amplifier, and 5.6dB noise figure for two-stage amplifier. The developed four-stage main amplifier has 36dB gain and 1.5GHz bandwidth with a power consumption of 710mW - 790mW. All designs were based on computer simulations, with SPICE, using FET model mentioned Fig.1. These amplifiers are promising candidates for application to high-speed data communication systems.

1. 서 론

지난 수년에 걸쳐서 GaAs FET microwave system에서 solid basis로 정착 하였다. 게다가, GaAs IC 기술에의 최근 진보는 GaAs FET 회로의 large-scale integration의 개발을 가능하게 만들었다. 그것의 작은 integration scale 때문에, GaAs analog IC는 이들 IC 가운데 실제적인 적용을 위해 가장 각광받을 소자중의 하나일 것이다. analog IC에서, monolithic broad band amplifier는 자동차, 인공위성, 그리고 high speed data 통신 system 등에서와 같이 넓은 적용을 하기 때문에 필요가 된다. High speed data 통신 system을 위해서 low noise, low-VSWR, 그리고 high gain amplifier가 요구된다. 이전에 보고된 high gain direct-coupled amplifier는 26dB에서 42dB의 GAIN 범위를 지니고 multistage construction은 장기의 목적으로는 적합하지 못하며 게다가 multistage amplifier의 중요한 것은 stage 사이의 bandwidth degradation가 토론되지 않았다. 이 paper는, 회로 configuration이 low Noise, low VSWR pre-amplifier 그리고 high gain amplifier가 소개되었고 잡음지수를 포함하는 design consideration으로서 입력 VSWR multistage connection으로 적절하다. pre-amplifier을 위해 common-source follower stage는 새롭게 설계 하였다. 그리고 preamplifier는 13dB gain과 3 GHz bandwidth 그리고 one stage amplifier은 4.8dB noise figure, 그리고 two stage amplifier를 위해 5.6dB noise figure, four stage main amplifier는 710mW-790mW의 power consumption를 가진 1.5 GHz bandwidth와 36dB의 gain을 가졌다. 이 amplifier는 high speed data 통신 system에 적용 가능하다.

II. FET Model for Circuit Design

회로 설계에 사용된 등가 회로와 drain 전류 방정식은 Fig.1(a)에서 보여준다. Drain 전류 Id는 SPICE 형식으로 부터 묘사되었다. 회로 설계에 사용된 FET parameter는 Table I에 수록되었다. parameter  $\beta$ ,  $r$ ,  $\lambda$ , 는 drain (-V)특성에 어울리도록 결정하였으며 gate-to-source capacitance Cgs와 gate-to-drain capaci-

tance Cgd는 FET gate 아래에서 공핍영역에서 전하의 변화로부터 유도되었다. Rs, Rd는 gate-to source and gate-to-drain diode 특성으로부터 추출하였으며 Rg는 gate dimension으로부터 계산되었다. noise analysis를 위한 등가 회로는 Fig.1(b)에 보였 준다. noise source는 thermal noise Rg, Rs, Rd, drain 전류 noise 형태의 factor P는 FET structure로 정속 그러므로 noise calculation에 적당한 결과를 위해 다양한 P의 값이 필요하다. Gate-induced noise에서는 무시하였다. 적당한 P의 값을 사용한 amp의 noise figure를 설계할수 있는 가능성을 찾았다.

III. Circuit Designs

모든 설계는 위에서 언급한 FET model를 사용하여 SPICE를 가지고 computer simulation에 의해 계산 하였다. noise 계산시 P는 2/3 - 2의 범위로 하였다

(1). Preamplifier  
low noise, low VSWR, broad bandwidth가 preamplifier에서 요구되며 이러한 관점에서 optimum preamplifier 회로 설계 하였으며 table II에서 direct-coupled, low VSWR amplifier을 보여준다. gate width는 input matching condition을 만족하도록 결정해야 한다. noise figure를 줄이는 가장 중요한 설계 계수는 FET gate, feedback resistor이다. simulation에서 feedback resistor은 고정시키고 load resistor는 각 output FET gate width 위해 변화 시켜다. 이상의 결과를 바탕으로 one stage two stage preamplifier가 Fig.2에 설계하였다.

(2). Main amplifier  
Main amplifier를 위해서 high gain과 broad bandwidth를 얻는 multistage construction에 최적화 하는 것이 필요하다. Fig.3은 amplifier stage의 수에 대하여 -3dB bandwidth fc, voltage gain 6V인 직결합 회로의 두 종류를 보여준다. 회로(a)는 단지 common-source FET를 사용하였고 회로(b)는 feedback FET를 가진 common-source FET를 사용하였다. 입력 FET를 위한 gate width와 각 회로들 위한 source-follower는 제각기 180 um와 200um이다. feedback FET를 200um(2의 경우), 400um(3의 경우) 서로 다른 gate width를 가진 회로(b)를 또한 비교하였다. 동일한 이득 조건 하에서, 회로(b)는 회로(a)보다 더 큰 fc를 갖는다. 이것은 회로(b) 출력 impedance가 feedback에 의해 줄어들고 각 단 사이에 bandwidth degradation이 적어진다. feedback FET 때문에 large gate width를 가진 회로(b)는 적은 impedance 때문에 동일한 이득 조건에서 large fc를 가진다는 것을 Fig.3에서 찾았다. 그러므로 회로(b)는 multistage construction의 바람직하다. broad bandwidth를 얻기 위해 source-follower FET의 gate width를 최적화 하는 것이 필요하였다. Fig.4에서 next-stage common-source

FET 에 대하여 source-follower FET 의 gate-width 비율  $Wg2 / Wg3$  에 대하여 -3dB bandwidth  $f_c$  를 보여준다. 이 simulation 에서 입력의 gate width 와 feedback FET 의 값은 각각 45 $\mu$ m 와 50 $\mu$ m 이다. bandwidth  $f_c$  는 large  $Wg2/Wg3$  를 위해 large source follower input capacitance 때문에 낮게 한다. 그리고 small  $Wg2/Wg3$  를 위해서 large output impedance 때문에 낮아진다. large  $Wg2/Wg3$  를 위해서 small  $Wg3$   $f_c$  degradation 은 source follower 에 대해서 capacitive load 가 적기 때문에 중요하지 않다. bandwidth 는 또한 Fig.5 에서 보여진 바와 같이 interstage inductance 의 더해짐에 따라서 또한 개선 된다. 이 simulation 에서, 180 $\mu$ m 의 폭을 가진 input FET, 200 $\mu$ m 폭의 feedback FET, 200 $\mu$ m 폭의 source follower FET 가 unit amplifier stage 모서 사용되었고 inductance 가 parameter 모서 사용되었다. interstage inductance 는 다음단의 입력 capacitance 를 가진 series resonance 때문에 최대 효과를 갖는다. bandwidth 의 개선을 위해서 inductance 는 resonance 주파수 기 inductance 없이 amplifier 의 3dB bandwidth 의 위쪽의 부분에 위치하므로 선택해야 한다. Fig.5 에서 inductance 의 optimum value 는 2 nH 이다. 이러한 결과들을 토대로 해서 interstage inductance 를 가진 two stage main amplifier 를 Fig.6 에서 보인 것 처럼 설계 하였다. total gain 은 30dBW 의 power consumption 을 가진 30dB 가 되도록 목표를 잡았다. gain distribution 은 output FET 를 위해 약 1dB 그리고 각 stage 을 위해 약 1.2 dB 가 되도록 설계 하였다. output FET 의 gate width 는 외부의 50 load 안으로 동작하도록 200 $\mu$ m 가 되도록 선택하였다. 각 stage 를 위해서 gate width 는 broad bandwidth 는 물론 low power consumption 를 얻을수 있도록 선택 하였다. feedback FET 에 대해 입력 FET 의 gate width 비율은 첫 stage 와 둘째 stage 를 위해 45 $\mu$ m/50 $\mu$ m, 셋째 stage 를 위해 90 $\mu$ m/100 $\mu$ m, 넷째 stage 를 위해 180 $\mu$ m/200 $\mu$ m 가 되도록 선택하였다. source-follower FET 의 gate width 는 Fig.7 처럼 선택 되어진다. 즉 source-follower FET 와 feedback FET 의 값이 같아 도록 한다. interstage inductance 는 3dB 이내 평탄한 이득을 얻도록 설계 되었다. 각 stage 의 inductance value 의 optimization 은 연구에서 고려치 않는다.

#### IV. 결론

GaAs direct-coupled preamplifier 와 main amplifier 의 설계를 기술하였다. 이 preamplifier 에서 1단 amplifier 는 4.8dB 잡음지수, 13dB gain 과 20Hz bandwidth로 설계 하였다. 그리고 2단 amplifier 는 0.4dB 잡음지수 와 2.7GHz bandwidth, 22dB gain 으로 설계 하였다. 4단 main amplifier 는 56dB gain 과 710-790MHz 의 전력소모를 가지고 1.5GHz bandwidth를 가졌다. 그리고 이 논문에서 설계된 amplifier 는 초고속 data 통신에 유용하게 응용될수 있도록 보다더 이 분야에 많은 연구가 있어야 하겠다.

#### V. 참고 문헌

- [1] M. Hirayama, M. Ion, Y. Matsuoka, & M. Suzuki, "A GaAs 4kb SRAM with direct coupled FET logic," in ISSCC Dig. Tech. paper, Feb, pp. 46-47.
- [2] K. Honjo, I. Sugiura, & H. Itoh, "Ultrabroadband GaAs monolithic amplifier," Electron. Lett., vol. 17, no. 17, pp. 927-928, Nov. 1981.
- [3] B.P. Hornbuckle & R.L. Van Tuyl, "Monolithic GaAs direct-coupled amplifiers," IEEE Trans. Electron Devices, vol. ED-28, pp. 175-182, Feb. 1981.

- [4] Y. Imai, H. Ito, E. Ohwada, & T. Sugeta, "Ultra-broad band GaAs monolithic direct-coupled feedback amplifiers," IEEE Electron Device Lett., vol. ED-4, no. 9, pp. 323-325, Sept. 1983.
- [5] D.E. Hestath, "A monolithic wide-band GaAs In amplifier," IEEE J. Solid-State Circuits, vol. 17, pp. 1168-1173, Dec. 1982.
- [6] V. Pauker & M. Binet, "Wideband high gain small size monolithic GaAs FET amplifiers," in IEEE Microwave Millimeter Wave Monolithic Circuits Symp. Dig. Tech. Papers, 1983, pp. 71-75.
- [7] Y. Yamashiki, K. Asai, I. Mizutani, & E. Kurumada, "Self-alignment implantation for n-layer tech. (SAIN) for high-speed GaAs FETs," Electron. Lett., vol. 18, no. 3, pp. 119-121, Feb. 1982.
- [8] I. Takada, M. Inagaki, & I. Hirata, "GaAs MESFET circuit simulation model," Paper of Tech. Group, Inst. Pol. Tech., ITC Japan, pp. 7-10, 1983.
- [9] I. Takada, K. Kobayashi, M. Iida, & I. Sudo, "A MESFET variable capacitance model for GaAs integrated circuit simulation," IEEE Trans. Microwave Theory Tech., vol. MTT-30, pp. 719-721, May, 1982.
- [10] H. Imai, Y. Yamashiki, E. Asai, & E. Ohwada, "Electron-beam lithography in a self-aligned GaAs MESFET fabrication," IEEE Trans. Electron Devices, vol. ED-30, pp. 667-670, June, 1983.

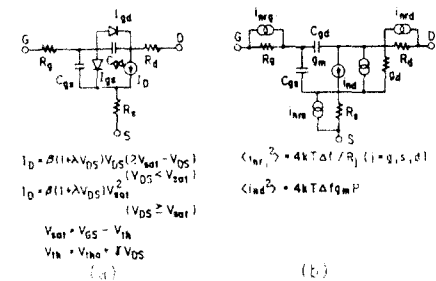


그림 1. FET model 의 회로 설계  
(a) FET model (b) FET noise model

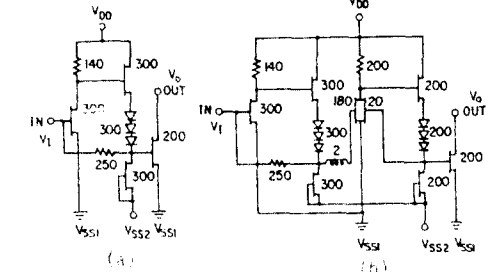


그림 2. 일단, 이단 preamplifier 회로

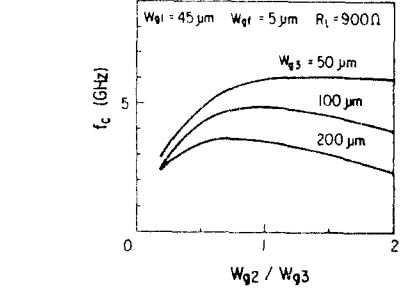


그림 4. -3dB 대역폭  $f_c$  의 source follower FET 와 다음단 common-source FET 에서 gate width 비율  $Wg2/Wg3$

