

Operational Transconductance Amplifier를 이용한 새로운 Notch 회로 합성

신 윤 태* 신 규 재* 신 건 순** 이 중 인* 김 동 용*
 * 전북대학교 공과대학 전기공학과, ** 금오공과대학 전자공학과

A New Notch Circuits Synthesis using Operational Transconductance Amplifier

Shin Yun Tae* Shin Kyoo Jae* Shin Gun Soon** Lee Chong In* Kim Dong Yong*
 * Dept. of Electrical Engineering, Chonbuk National University
 **Dept. of Electronic Engineering, Kumoh Engineering College

Abstract

Current-controlled notch circuits[symmetrical notch, highpass notch, lowpass notch] that employ only two or three operational transconductance amplifiers(OTA's) and two capacitors are presented. Those circuits are characterized by good linearity between controlled parameters and their respective control currents. And, the synthesized circuits can be used in high-order filter design and fully integrated in MOS technology.

1. 서론

능동 RC 회로는 RC적을 집적하기 어렵기 때문에 저항을 모의하기 위한 Switched-Capacitor(SC) 회로와 Continuous time MOSFET-C 회로가 연구되었다. 그러나 SC회로는 회로가 복잡하고, 고주파수에서 잡음이 문제가 되며[1,2], MOSFET-C 회로는 MOSFET를 이용하여 저항을 모의하기 때문에 비선형 저항특성을 제거하기 위한 선형 저항 모의가 요구된다[3,4].

상기의 문제는 Voltage-Controlled Current Source(VCCS) 방식의 Operational Transconductance Amplifier(OTA)로써 해결 할 수 있다. 이는 능동 RC 회로에서 저항을 제거한 상태의 능동 C 필터를 설계할 수 있기 때문에 [5-10] 저항을 모의한 SC와 MOSFET-C 기법이 필요없이 간단한 회로로써 continuous-time 상에서 직접 VLSI화 할 수 있는 장점을 갖는다.

본 논문에서는 먼저 OTA를 이용한 적분기에 대해서 고찰하고, 이를 이용하여 2 또는 3개의 OTA와 2개의 C로만

구성된 Notch 회로 [Symmetrical, Highpass, Lowpass Notch]를 합성 한다.

2.1 이상적인 OTA 소신호 등가회로

그림1.에 OTA의 심볼과 이상적인 소신호 등가회로 및 대략적인 내부회로를 나타냈다.

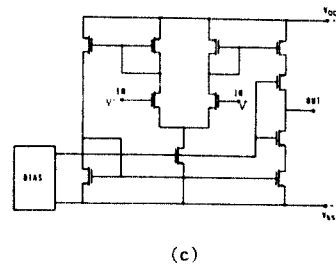
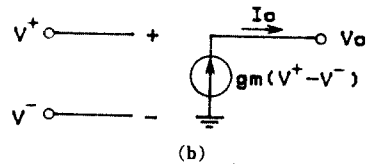
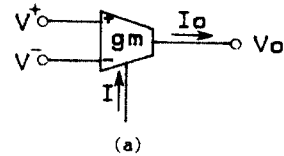


그림1. OTA. (a)심볼, (b)이상적인 등가회로, (c)내부회로
 이상적인 OTA는

$$I_o = g_m(V^+ - V^-)$$

로 나타낼 수 있으며, 여기서 g_m 은 transconductance gain 으로서

$$g_m = kI$$

이고, k 는 MOS의 gate 전압과 온도, 공정에 의해 결정되는 값이다[1,2].

2.2 적분기

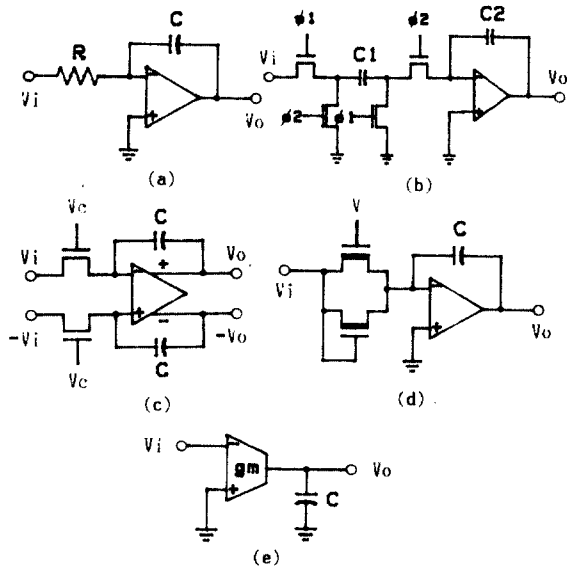


그림2. 적분기 (a)능동 RC 적분기, (b)SC 적분기, (c)fully balanced 적분기, (d)2개의 MOSFET로 선형저항을 모의한 적분기, (e)OTA와 C로 구성된 적분기(능동 C 적분기).

그림2.는 적분기를 나타낸 것으로써 (a)는 능동 RC 회로이고, (b)는 집적화를 위해 저항을 스위칭 주기와 커패시턴스로 저항을 모의한 SC회로이며, (c)는 저항을 팔성 영역에서 동작하는 MOS로 대체시킬 경우에 발생하는 MOS의 비선형 저항 특성을 제거하기 위하여 fully balanced 회로로 모의한 것이다[3]. 또한 (d)는 선형저항 특성을 갖도록 2개의 MOSFET를 이용하여 저항을 모의한 회로이다[4]. (e)는 OTA를 이용한 능동 C 회로로써 (a)에서 저항이 제거된 상태로 적분기를 모의한 것이다.

(e)회로는 continuous-time 신호를 처리할 수 있으므로 SC회로의 문제점을 해결할 수 있으며, (c)와(d)보다 간단하고 소비전력이 적은 적분기를 실현할 수 있다. 그러므로 이러한 장점을 갖는 적분기를 이용하여 Notch 필터를 설계한다.

3. OTA를 이용한 Notch회로 합성

OTA를 이용하여 Symmetrical Notch(SN) 회로를 합성하기 위한 식은 다음과 같다.

$$\begin{bmatrix} -A & A \\ -D & D+B \end{bmatrix} \begin{bmatrix} V_i \\ V_o \end{bmatrix} = \begin{bmatrix} -C \\ B \end{bmatrix} V \quad (1)$$

이때 전달함수는

$$\frac{V_o}{V_i} = \frac{AB+CD}{AB+BC+CD} \quad (2)$$

여기서 만약 $A=gm_1$, $B=gm_2$, $C=C_1s$, $D=C_2s$ 또는 $A=C_2s$, $B=C_1s$, $C=gm_2$, $D=gm_1$ 이면

$$\frac{V_o}{V_i} = \frac{s^2C_1C_2 + gm_1gm_2}{s^2C_1C_2 + sC_1gm_2 + gm_1gm_2}$$

가 된다. 그러므로 각각 그림3(a), (b)와 같은 회로를 얻을 수 있다.

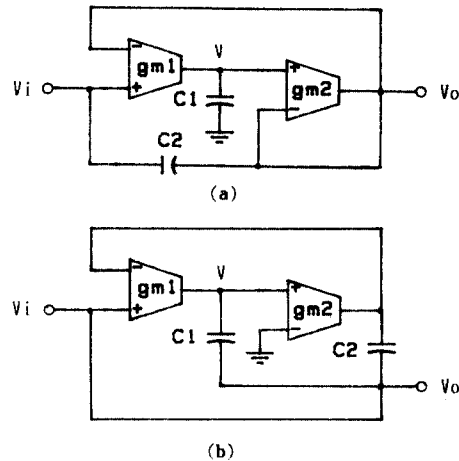


그림3. 2개의 OTA와 2개의 C를 사용한 SN 회로
(a) $A=gm_1$, $B=gm_2$, $C=C_1s$, $D=C_2s$ 인 경우
(b) $A=C_2s$, $B=C_1s$, $C=gm_2$, $D=gm_1$ 인 경우

식(3)에서는 Highpass Notch(HPN)과 Lowpass Notch(LPNN)를 얻을 수 없지만 OTA gm_3 를 추가하여 HPN과 LPNN를 얻을 수 있다. 먼저 그림3.(a) 회로에서 OTA gm_3 를 넣어 HPN과 LPNN 회로를 합성하면 각각 그림4.(a), (b)와 같고, 이때의 전달함수를 구하면 각각

$$\frac{V_o}{V_i} = \frac{s^2C_1C_2 + gm_1gm_2}{s^2C_1C_2 + sC_1gm_2 + gm_2(gm_1+gm_3)} \quad (4)$$

$$\frac{V_o}{V_i} = \frac{s^2C_1C_2 + gm_2(gm_1+gm_3)}{s^2C_1C_2 + sC_1gm_2 + gm_1gm_2} \quad (5)$$

와 같다. 한편 그림3.(b)에서도 마찬가지로 OTA gm_3 를 넣어 HPN과 LPNN 회로를 합성할 수 있다. 이를 그림4.(c), (d)에 제시하였으며, 이 회로의 전달함수는 각각 다음과 같다.

$$\frac{V_o}{V_i} = \frac{s^2 C_1 C_2 + g_{m1} g_{m2}}{s^2 C_1 C_2 + s C_1 g_{m2} + g_{m2}(g_{m1} + g_{m3})} \quad (6)$$

$$\frac{V_o}{V_i} = \frac{s^2 C_1 C_2 + g_{m2}(g_{m1} + g_{m3})}{s^2 C_1 C_2 + s C_1 g_{m2} + g_{m1} g_{m2}} \quad (7)$$

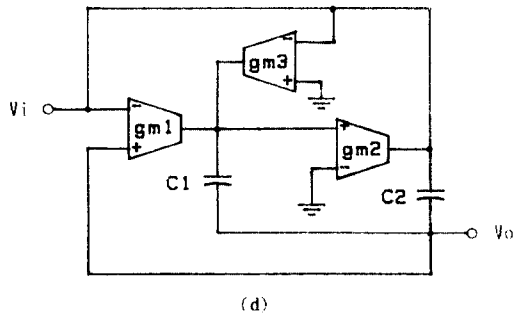
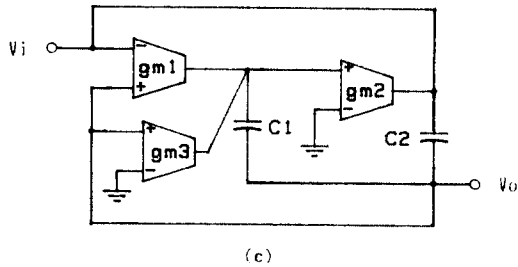
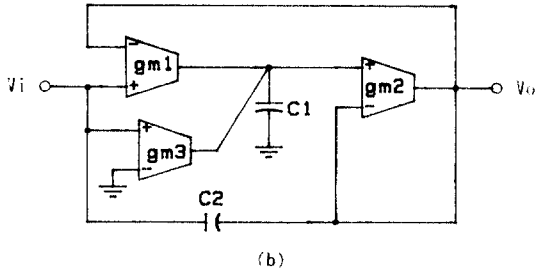
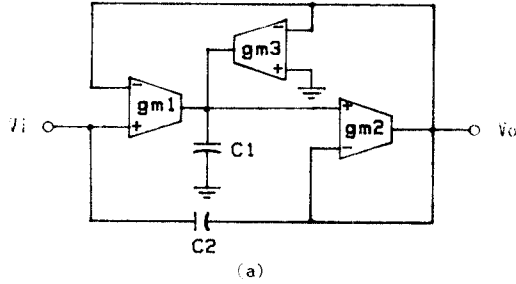


그림4. 3개의 OTA와 2개의 C를 사용한 HPN과 LPN 회로
(a)HPN, (b)LPN, (c)HPN, (d)LPN

그림4. 회로의 전달함수와 중심주파수들을 요약하면 표1.과 같다.

표1. Notch 회로의 전달함수와 중심주파수

Notch 회로의 명명	분모 다항식	분자 다항식	중심주파수, f_o
SN [식 (3)]	$s^2 C_1 C_2 + s C_1 g_{m2} + g_{m1} g_{m2}$	$s^2 C_1 C_2 + g_{m1} g_{m2}$	$\frac{1}{2\pi} \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}}$
HPN[식 (4, 6)]	$s^2 C_1 C_2 + s C_1 g_{m2} + g_{m2}(g_{m1} + g_{m3})$	$s^2 C_1 C_2 + g_{m1} g_{m2}$	$\frac{1}{2\pi} \sqrt{\frac{g_{m2}(g_{m1} + g_{m3})}{C_1 C_2}}$
LPN[식 (5, 7)]	$s^2 C_1 C_2 + s C_1 g_{m2} + g_{m1} g_{m2}$	$s^2 C_1 C_2 + g_{m2}(g_{m1} + g_{m3})$	$\frac{1}{2\pi} \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}}$

4. 컴퓨터 시뮬레이션

SN 회로의 크기특성을 좋게 하기 위해서는 주파수가 증가함에 따라 분모항의 크기 감소됨을 방지해야 하므로 표1.에서 적절한 소자값을 구한다. 분모의 크기를 구하면

$$\left| s^2 C_1 C_2 + s C_1 g_{m2} + g_{m1} g_{m2} \right|_{s=j\omega} = \sqrt{4C_1^2 C_2^2 \omega^4 - 2\omega^2 C_1 C_2 g_{m1} g_{m2} + g_{m1}^2 g_{m2}^2 + \omega^2 C_1^2 g_{m2}^2} \quad (8)$$

이므로 ω^2 항을 제거하는 소자값을 취하기 위해

$$C_1 = C_2 = 10\text{pF}$$

으로 정하면

$$g_{m2} = 29\text{m}$$

의 값을 만족하는 값을 구해야 하므로

$$g_{m1} = 0.4443 \mu\text{mho}$$

$$g_{m2} = 0.8886 \mu\text{mho}$$

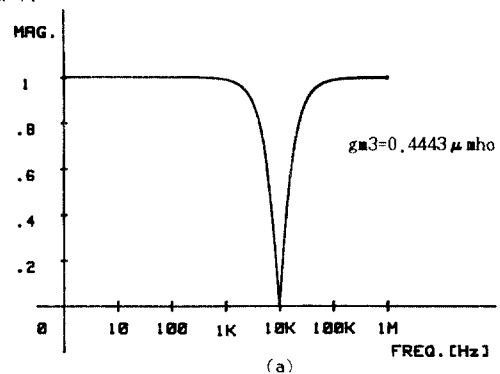
를 택한다. 이는 표1.에 있는 SN의 중심주파수 f_o 의 값을 10KHz로 정한 것이다. 그리고 HPN과 LPN의 경우,

$$C_1 = C_2 = 10\text{pF}$$

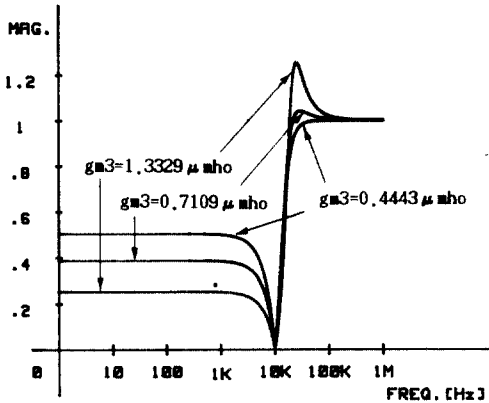
$$g_{m1} = 0.4443 \mu\text{mho} \quad (9)$$

$$g_{m2} = 0.8886 \mu\text{mho}$$

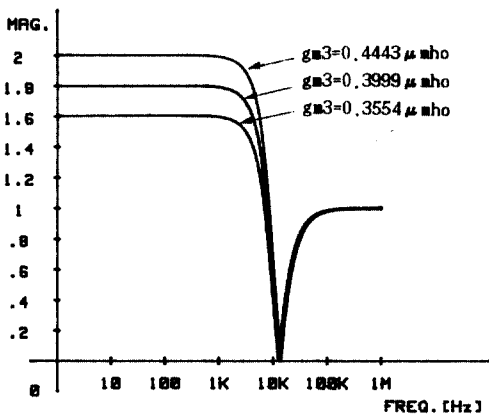
로 가정하고 g_{m3} 을 변화시키면서 시뮬레이션한 결과는 그림5.와 같다. 이 결과로부터 HPN과 LPN의 경우, g_{m3} 의 변화에 따라 gain이 각각 저주파영역에서 조절됨을 알 수 있다.



참고 문헌



(b)



(c)

그림5. Notch 회로의 크기 특성

- (a) SN의 경우 [그림3.(a),(b)]
- (b) HPN의 경우 [그림4.(a),(c)]
- (c) LPN의 경우 [그림4.(b),(d)]

5. 결 론

본 논문에서는 OTA를 이용하여 새로운 Notch 회로를 합성하였다. 이 회로는 capacitance와 transconductance gain에 의해 중심주파수를 가변할 수 있으며, 또한 제시한 Notch 회로를 cascade 형태로 구성함으로써 고차함수의 필터를 설계할 수 있다. 설계된 Notch 회로는 저항이 제거된 상태의 OTA와 C로만 구성되어 있기 때문에 회로가 간단하며, 특히 continuous-time상에서 MOS 기술을 이용하여 양질의 상태로 직접 VLSI화 할 수 있다.

그러나, OTA는 차입력 전압(differential input voltage)의 선형 범위가 좁으므로 이에 따른 연구가 계속되어야 할 것이다.

1. Roubik Gregorian and Gabor C.Temes, "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons, New York, Chapt.3,8, 1986.
2. Y.Tsividis and P.Antognetti, "Design of MOS VLSI circuits for Telecommunications", Prentice-Hall, Englewood Cliffs, N. J., Chapt.10,11, 1985
3. M.Banu and Y.Tsividis, "Fully Integrated Active RC Filters in MOS Technology", IEEE J.Solid-State Circuits, Vol.SC-18, pp.644-651, Dec. 1983.
4. Il S.Han and Song B.Park, "Voltage-Controlled Linear Resistor by Two MOS Transistors and its Application to Active RC Filter MOS Integration", Pro. of the IEEE, Vol.72, No.11, pp.1655-1657, Nov. 1984.
5. S.W.Kim and R.L.Geiger, "A Micropower Continuous-Time CMOS OTA Filter Operating in Subthreshold Region", 29th Midwest Symposium on Circuits and Systems, pp.200-203, Aug. 1986.
6. M.Bialko and Robert W.Newcomb, "Generation of All Finite Linear Circuits Using the Integrated DVCCS", IEEE Trans.on Circuit Theory, pp.733-736, Nov. 1971.
7. Henrique S.Malvar, "Electronically Controlled Active-C Filters and Equalizers with Operational Transconductance Amplifiers", IEEE Trans.on Circuits and Systems, Vol. CAS-31, No.7, pp.645-649, July 1984.
8. R.D.Reed and R.L.Geiger, "An Operational Transconductance Amplifier with Multiple-Inputs and a Wide Linear Range", 29th Midwest Symposium on Circuits and Systems, pp.368-371, Aug. 1986.
9. S.L.Wong, N.Kalyanasundaram and C.A.T.Salama, "Wide Dynamic Range Four-Quadrant CMOS Analog Multiplier Using Linearized Transconductance Stages", IEEE J. of Solid-State Circuits, Vol.SC-21, No.6, pp.1120-1122, Dec. 1986.
10. A.Nedungadi and T.R.Visvanathan, "Design of Linear CMOS Transconductance Elements", IEEE Trans. on Circuits and Systems, Vol. CAS-31, No.10, pp.891-894, Oct. 1984.