

“비휘발성 MNOS반도체 기억소자의 열화특성에 관한 연구”
(A Study of the Characteristics of Degradation in
Nonvolatile MNOS Memory Devices.)

이 상 배* 광운대학교 대학원 전자재료공학과
서 원 철
김 병 철
서 광 열

Yi, Sang-Bae* Dept. of Electron. Materials Eng.
Kim, Byung-Cheul Kwangwoon Univ.
Seo, Won-Cheul
Suh, Kwang-Yell

Abstract

Degradation effects observed in nonvolatile MNOS memory devices with in increasing W/E (Write/Erase) cycling were investigated using n-type MNOS capacitors.

The results showed that the density of Si-SiO₂ interface states and the conductivity of nitride were increased with W/E cycles, therefore the memory retention characteristics of the MNOS memory devices were degraded. Also, annealing of the degraded devices restored the original Si-SiO₂ interface states density, but failed to restore the original nitride conductivity.

Based on these experimental results, we found that the degradation of memory retention characteristic was affected by the nitride conductivity rather than by Si-SiO₂ interface states.

I. 서 론

비휘발성 MNOS 반도체 기억소자가 갖는 최대의 장점은 기억유지전력이 없이도 그 기억상태를 유지할 수 있으며, 전기적으로 W/E (Write/Erase) 가 가능하므로 비휘발성 EEPROM 으로써의 이용이 용이하다는 점이다. 그러나, 현재 MNOS기억소자를 실제 사용하는 데 있어서 가장 큰 문제는 W/E에 따른 소자의 열화(degradation)이다. MNOS기

억소자의 열화현상은 W/E를 위한 25V 전후의 높은 인가 전압과 W/E반복에 따른 연속적인 극성변화에 의해 발생한 비가역적인 특성을 수반한 장기적 피로(fatigue)현상으로 정의 될 수 있다.

MNOS 기억소자의 열화현상에 관한 연구는 Woods와 Tuska¹⁾가 처음으로 Si-SiO₂계면상태밀도의 증가가 열화의 원인이라고 제안한 이래, Svensson과 Jeppson²⁾은 MOS 소자의 NBS효과에 의한 Si-SiO₂ 계면상태의 생성에 관한 모델을 제시하고, MOS소자의 NBS효과와 MNOS 기억소자의 W/E반복횟수에 따른 열화현상을 비교하여 MNOS기억소자의 열화기구에 관한 모델을 제시하였으며, Suzuki와 Hayashi³⁾는 SiO₂막내의 hole 트랩생성이 열화의 주원인이라 보고하는등 그외에 많은 보고가 있었으나, 모든 열화현상을 만족할 만큼은 설명하지는 못하고 있다. 따라서, MNOS 기억소자에 있어서 열화기구의 규명은 앞으로 비휘발성 반도체 기억소자의 최적설계, 개량 또는 새로운 비휘발성 반도체 기억소자의 개발에 있어서 꼭 필요한 과제이다.

본연구는 비휘발성 MNOS반도체 기억소자의 열화원인을 규명하기 위해서 W/E반복횟수에 따른 Si-SiO₂ 계면상태 특성의 변화, 기억유지(retention) 특성의 변화, 그리고 정상상태 전압-전류특성을 조사하였다. 또한, 열화된 소자의 annealing에 의한 회복가능성에 대해서도 조사하였다.

II. 실험

사용된 MNOS 기억소자는 인(P)이 첨가된 비저항 5~8 Ω-cm인 n형 실리콘 (100) 반도체기판위에 SiO₂막을 23Å으로, Si₃N₄막을 530Å으로 각각 800 °C의 건식산화법 및 LPCVD방법에 의해 차례로 입힌 캐패시터형이었다.

MNOS기억소자를 W/E하기위해서 1mS, ±28V의 펄스를 게이트에 인가하였으며, 기억유지특성은 write-in전압인가 후 경과시간에 따른 flatband전압을 따른 램프방법에 의해 측정하여 얻었다. Quasi-Static C-V 측정에서 sweep rate는 소자가 열적 평형상태를 유지할 수 있을 만큼 충분히 느린 50 mV/sec였으며, 인가된 램프전압에 의한 변위전류 측정을 위해서 Keithely 616 electrometer를 fast mode로 하여 사용하였다. 또한, High frequency(1 MHz) C-V곡선은 Digital capacitance meter(Boonton72BD)를 사용하여 측정하였다.

III. 결과 및 고찰

1. W/E반복횟수에 따른 기억유지특성

Write-in전압 인가후 경과시간에 따른 flatband전압의 변화량을 따른 램프방법에 의해 측정하여 얻은 상온에서의 기억유지특성은 그림1과 같다. 그림1의 (a), (b) 및 (c)

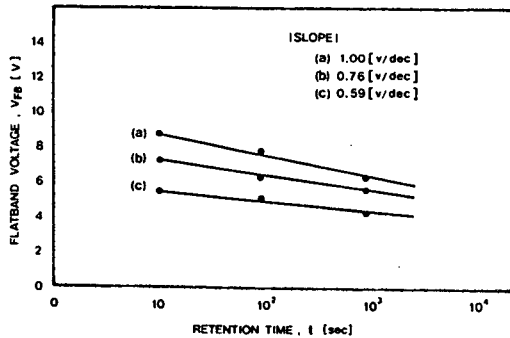


Fig. 1. Retention characteristics with initial flatband voltages as a parameter.

는 각각 초기flatband 전압(write-in 전압인가후 10초의 경과시간을 갖고 측정된 flatband전압)의 크기를 달리하면서 측정된 기억유지특성곡선이다. 또한, 그림1의 곡선 (a), (b) 및 (c)의 기울기(decay rate)로부터 초기flatband전압에 대한 decay rate를 그리면 그림2와 같다. 그림1과 2로 부터 flatband 전압은 시간에 대수함수적으로 감소하고, decay rate는 초기flatband전압에 선형적으로 비례한다는 것을 알 수 있다. 따라서, 본 연구를 위해 사용된 MNOS기억소자의 방전기구는 기억트랩으로부터 산화막을 통한 실리콘으로의 back tunneling⁴⁾이 주도적이라는 사실을 알 수 있다.

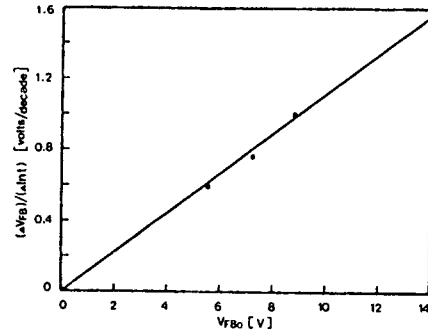


Fig. 2. Initial flatband voltage versus flatband voltage decay rate.

그림3은 초기flatband전압을 달리하면서 각각 W/E반복 횟수에 따른 decay rate의 변화를 나타낸다. 약 10⁵회 정도부터 decay rate가 현저하게 증가하였으며, 이것으로 부터 MNOS기억소자가 열화되었음을 확인하였다. 또한, 초기 flatband전압의 크기가 클수록 그 decay rate의 변화량이 증가함을 알 수 있다.

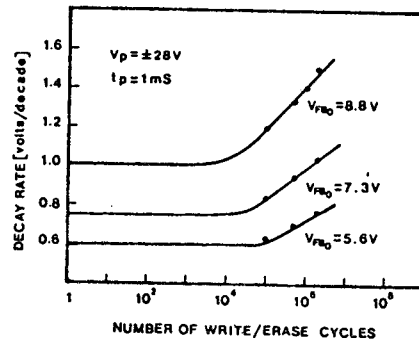


Fig. 3. Number of Write/Erase cycles versus initial flatband voltage decay rate with initial flatband voltage as a parameter.

2. W/E반복횟수에 따른 Si-SiO₂계면상태밀도의 변화

Quasi-Static C-V 및 1 MHz의 High frequency C-V를 측정하고, 얻어진 두곡선을 다음 관계식⁵⁾을 사용하여 비교분석하므로써 Si-SiO₂ 계면상태 밀도의 에너지적 분포를 구하였다.

$$N_{ss}(V_g) = \frac{\Delta C(V_g)}{QA} \left[1 - \frac{C_{HF}(V_g) + \Delta C(V_g)}{C_i} \right]^{-1} \times \left[1 - \frac{C_{HF}(V_g)}{C_i} \right]^{-1} \quad (1)$$

C_i 는 산화막과 질화막의 합성캐패시턴스이고, $\Delta C = C_{LF} - C_{HF}$ 로서 이때, C_{LF} 는 Quasi-Static 캐패시턴스, C_{HF} 는 High frequency 캐패시턴스, q 는 전자의 전하량, A 는 게이트면적이다. 또한, 게이트전압 V_g 와 surface potential ϕ_s 관계는 다음식⁶⁾을 이용하여 Quasi-Static C-V곡선을 적분하므로써 얻었다.

$$\phi_s(V_g) = \phi_0(V_0) + \int_{V_0}^{V_g} \left[1 - \frac{C_{LF}(V_g)}{C_i} \right] dV_g \quad (2)$$

여기서, ϕ_0 는 초기전압 V_0 에 상응하는 surface potential 값이며, 분석을 위해 V_0 를 flatband전압으로 선택하여 ϕ_0 를 0으로 놓아 V_g 와 ϕ_s 관계를 얻었다. 그런다음 ϕ_s 에 대한 계면상태의 에너지준위를 다음식 으로부터 구하였다.

E_{SS} 는 계면상태 에너지준위, E_{VS} 는 가전자대의 최대에너지준위, N_c 는 전도대의 유효상태밀도, N_d 는 도핑농도이다.

$$E_{SS} - E_{VS} = E_f - E_{VS} = E_g - kT \ln(N_c/N_d) + q\phi_s \quad (3)$$

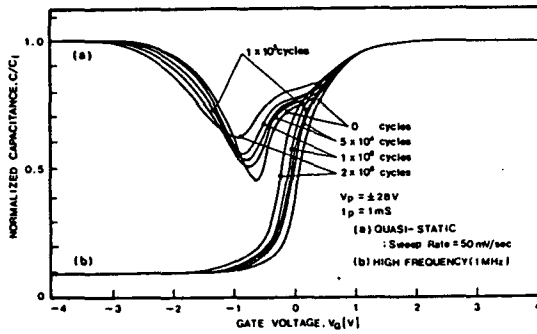


Fig. 4. A typical set of C-V curves with the number of Write/Erase cycles as a parameter.

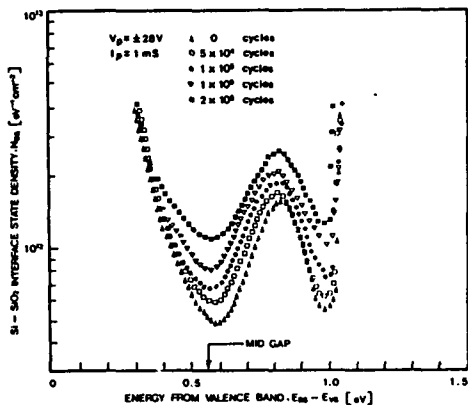


Fig. 5. Si-SiO₂ interface state energy distribution with the number of Write/Erase cycles as a parameter.

W/E 반복횟수에 따라 측정된 Quasi-static 및 High frequency C-V 곡선은 그림4와 같다. 그림4의 곡선들을 위와같은 분석방법에 의해 컴퓨터 계산한 결과 W/E반복 횟수에 따른 Si-SiO₂ 계면상태 밀도의 에너지적 분포는 그림5와 같다. 그림에서 알 수 있는 바와 같이 W/E반복 횟수가 증가함에 따라 계면상태밀도가 전체적으로 증가하였다.

3. 열화전후의 정상상태 전압-전류 특성

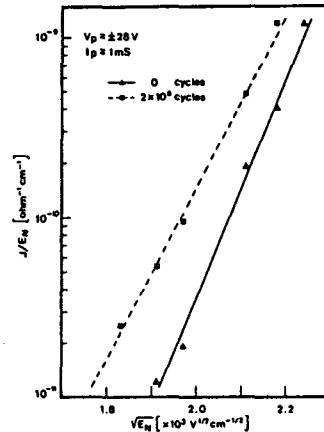


Fig. 6. Pool-Frenkel plots of steady-state current for different number of Write/Erase cycles.

열화전후에 측정된 정상상태 전압-전류특성을 Pool-Frenkel plot하여 그림6과 같은 결과를 얻었다. 그림에서 알 수 있는 바와 같이 상온 및 $10^6 \sim 10^7$ V/cm의 high field하에서 질화막내의 전류는 Pool-Frenkel 효과에 의한 전도기구에 따르며⁷⁾ 열화가 질화막전도도의 증가로 나타났다.

4. Annealing 효과

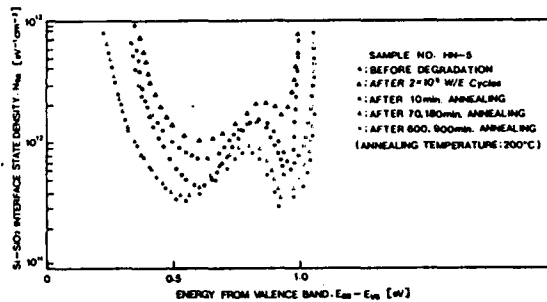


Fig. 7. Annealing of Si-SiO₂ interface states.

열화된 소자를 공기중에서 200°C annealing할 때 annealing 시간에 따른 Si-SiO₂ 계면상 태밀도의 에너지적 분포변화를 구한 결과는 그림7과 같다. 그림7로부터 알 수 있는 바와 같이 annealing시간이 증가할 수록 계면상 태밀도는 감소하여 약70분정도에서 원상태로 회복되었다.

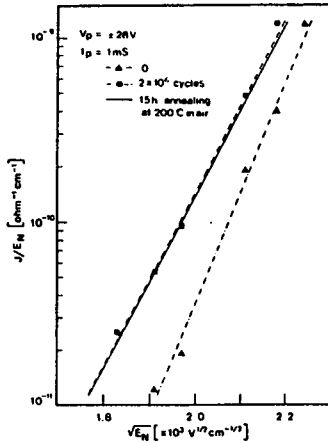


Fig. 8. Effect of annealing on steady state current.

열화된 소자를 15시간 공기중에서 200°C annealing한 후 정상상태 전압-전류특성을 측정된 결과는 그림9와 같다. 그림에서 알 수 있는 바와 같이 annealing후 정상상태 전류에는 변화가 없는 것으로 보아 질화막전도도는 annealing에 의해 회복되지 않음을 알 수 있다.

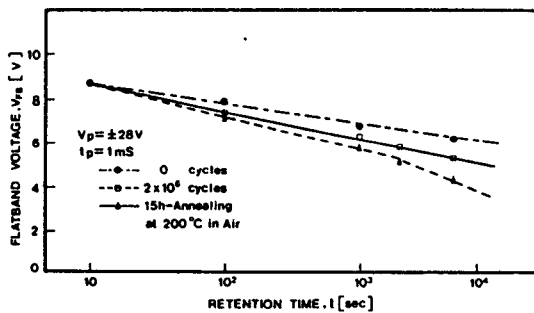


Fig. 9. Retention characteristics after 15h-annealing at 200°C in Air.

그림9는 annealing한 후 상온에서 측정된 기억유지 특성이다. 열화된 소자의 decay rate는 1.5 V/decade 이고, annealing한 후에는 1.31 V/decade이므로 MNOS기억소자의 기억유지특성은 annealing에 의해 약간 회복되었음을 알 수 있다. 이것으로부터 W/E반복횟수의 증가로 인한

기억유지 특성의 열화는 Si-SiO₂ 계면상태밀도의 증가보다는 오히려 질화막전도도의 증가가 더 큰 원인임을 알 수 있다.

III. 결론

비휘발성 MNOS 반도체 기억소자의 W/E반복횟수에 따른 열화특성을 조사한 결과 다음과 같은 결론을 얻었다.

1. W/E 반복횟수 증가에 따른 열화의 원인은 Si-SiO₂ 계면상태 밀도 및 질화막전도도의 증가가 주원인이다.
2. 공기중에서 200°C annealing에 의해서 Si-SiO₂ 계면상태밀도는 회복되나 질화막전도도는 회복되지 않는다.
3. 기억유지특성의 열화는 Si-SiO₂ 계면상태 밀도의 증가보다는 질화막전도도의 증가가 더 큰 원인이다.

[참고 문헌]

- 1) M.H.Woods and J.W.Tuska, Proc. 10th Ann. Relia. Symp., p.120 (1972)
- 2) K.O.Jeppson and C.M.Svensson, J. Appl. Phys., Vol.48(5), p.2004 (1977)
- 3) E.Suzuki and Y.Hayashi, J. Appl. Phys., Vol.52(10) p.6377 (1981)
- 4) L.Lundkvist, et al., Solid-St. Electr., Vol.16, p.811 (1973)
- 5) R.Castangne and A.Vapaille, Surface Sci., Vol.ED-13, p.701 (1966)
- 6) C.N.Berglund, IEEE Trans. Electr.Dev., Vol.ED-15, p.221 (1972)
- 7) S.M.Sze, J. Appl. Phys., Vol.38(7), p.2951 (1967)