

# 게이트 금속 변화에 의한 MOS 소자의 C-V 특성 (C-V Characteristics of The MOS Devies by Using different Gate Metals)

최 현식\*, 서 용진, 유 석빈, 장 의구.  
중앙 대학교 전기 공학과

Hyun-Sik Choi, Yong-Jin Seo, Seok-Bin Yoo, Eui-Gu Chang  
Department of Electrical Engineering Chung-Ang University

### Abstract

The instability of MOS devices is mainly caused by the oxide charges, and as the need to develop the gate metal grows researches for various new metal gate have been performed, and in these reserches, the difference work funtion existing between the metal and the semiconductor should be considered .

Here in this paper, the device is made by the sputtering and the LPCVD method using pure Al, compound metal, poly-si, as a gate metal, the result of the research was shown that the work funtion difference from using different gate metals effects on the flatband voltage shift

This means we can infer that the threshold voltage adjustment is possible by using different gate metals and this whole mechanism makes the devices behavior more stable.

### 1. 서 론.

집적도가 높아짐에 따라 반도체 소자가 소형화 되어 순수한 금속을 사용한 게이트와 이에 따른 소자간의 상호 연결, 오믹접촉, 소자의 안정성, 전류전하에 따른 문제점이 대두 되었다. 이러한 문제점을 해결하기 위하여 알루미늄 합금, 다결정 실리콘 등 새로운 금속물질의 개발에 많은 관심을 갖게 되었다. [1]

그중에서도, MOS소자의 이용도 때문에 게이트 금속에 대한 연구가 진행되어 왔다. 종리에는 MOS소자의 게이트 금속으로서 전기전도성이 우수하며, 산화막과의 접촉이 좋고, 금속공정이 용이한 순수한 알루미늄을 사용하여 왔으나, 전기적 이동, 스파이킹, 필록, junction shorts

등의 단점을 안고 있어 [2][3] 알루미늄과 실리콘, 구리가 혼합된 화합물 금속을 사용하였다.

최근에는 이중 금속의 고온 후속공정이 가능 하고, 산화막 속에서의 고정전하의 차폐 효과가 크며, 저항( $10\Omega/\text{square}$ )으로 인한 RC delay에 영향을 주는 다결정 실리콘을 주로 사용하고 있다. [1][4]

MOS 소자의 불안정성은 주로 산화막에 존재하는 전하에 기인하며 [5] 게이트 금속의 개발의 필요성이 커짐에 따라 여러가지 새로운 금속 게이트에 대한 연구가 진행되고 있으며, 이때 특히 금속의 일함수차에 따른 변화를 고려해 주어야 한다.

게이트 금속의 개발은 금속과 반도체 사이의 일함수차로 인해 Flatband 전압을 변화시켜 문턱전압의 조절을 용이하게 함으로써, 보다 이용성 있는 소자의 동작을 얻을 수 있다. 플랫밴드 전압의 감소원인중의 하나인 게이트 금속과 반도체 사이의 일함수차는 1) 다른 게이트 금속을 사용하여 이루어진 두 C-V 곡선 비교, 산화막 두께의 함수로서 플랫밴드 전압의 비교, 2) Potoemission 에 의한 방법등으로 구할 수 있다. [6]

본 논문에서는, 순수한 알루미늄, 화합물 금속, 다결정 실리콘으로 게이트 금속을 형성하여 1)의 방법으로 구한 일함수차에 따른 플랫밴드 변화를 산화막 두께에 따른 플랫밴드 변화와 비교분석하여 MOS 소자의 안정성에 미치는 영향을 고찰해 보고자 한다.

### 2. 실험.

비저항이  $14\sim 22[\Omega\text{-cm}]$  이고 불순물이 Phosphorus 이며, 결정방향이 (100)인 실리콘 웨이퍼(wafer)를 준비하였다.

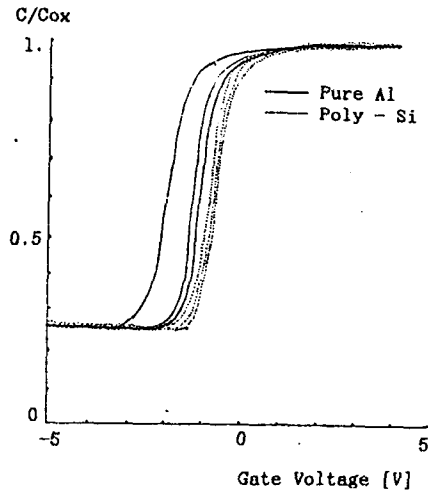
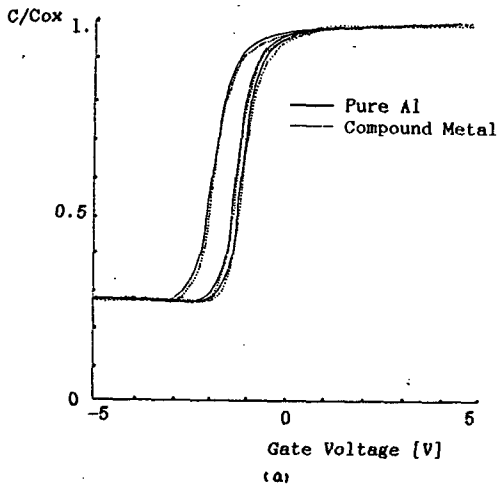
1) 웨이퍼(wafer)를 표준 세척 공정으로 세척한후  $1000[^\circ\text{C}]$  의  $\text{N}_2$  와  $\text{O}_2$  분위기에서

Preheating 하고 800[°C] 에서 Dry Oxidation 과 1000[°C] 에서 Wet Oxidation (two Step Oxidation)을 사용하여 900[Å], 1050[Å]의 산화막을 성장한 다음 900 [°C] 에서 1000[cc/min]의 H<sub>2</sub>을 흘려 주며 25분간 어닐링 하였다. 그 후 세척을 거쳐 275[°C] 의 온도에서, Chamber 압력을 5x10<sup>-7</sup> [torr]로 하고 deposit power가 88 [%] 이며 45 [sec/LBA] 의 deposition 시간을 가지고 순수한 알루미늄과 화합물 금속 (Al-98% : Si-1% : Cu-1%)의 target 을 사용한 Sputtering (V/I : 5.2-5.8[Ω]) 으로 두께 12000 [Å] 의 금속을 입힌다. 다음공정으로 14000 [Å]의 P/R을 입힌 후 110[°C] 에서 soft bake 하였다. Develop 과 160[°C]에서 Hard Bake를 거친후, Dry etching 을 하고 20000[Å] 정도의 P/R coating 을 행한후 Hard Baker를 하고 10:1 HF 용액에 담가 펠트산화막을 제거한다. 그 후 450[°C] 에서 400[ml/min]의 H<sub>2</sub> 을 흘려주며 30분간 Alloy 하고, 10<sup>-6</sup>[Torr] 에서 13000 [Å]정도 Al 을 Backside evaporation 하였다.

2). 1) 과 같은 공정으로 산화막을 형성한후, 온도를 620[°C]로 하고 SiH<sub>4</sub>를 340[cc/min]으로 흘려 주며 240[mtorr]의 기압 하에서 45분 deposition 하여 3550[Å] 정도의 다결정 실리콘(V/I=1.6[Ω])을 입힌후 950[°C]에서 N<sub>2</sub>를 4[l/min]으로 50분간 흘려 주며 Pocl<sub>3</sub> 을 Doping 하였다. 그 후 10:1 HF에서 3 초간 P<sub>2</sub>O<sub>5</sub> 을 제거 한다. 그 다음 V/I 측정을 거쳐 1) 과같이 Dot 마스크를 형성하고 etching 과정을 거쳐 Alloy 을 한다. 그 후 10<sup>-6</sup>[torr] 에서 13000[Å] 정도 Al 을 Backside evaporation 하였다. 위와같이 준비된 소자를 Curve tracer 를 사용하여 C-V 특성과 BTS 에 따른 Flatband 전압의 변화를 측정하였다.

### 3. 결과 및 고찰.

산화막의 두께가 1050[Å] 정도일때, 게이트 금속을 순수한 알루미늄, 화합물 금속, 다결정 실리콘 등으로 제작한 소자를 실온에서 C-V 특성을 측정한 것 과 10[V], -10[V] 의 바이어스에서 300[°C], 5분간 가열한 후의 C-V 곡선의 변화를 측정한 것을 그림 1 에서 나타내었다.



(b)

그림 1. 1050[Å]일때 C-V 곡선과 BTS 전후의 곡선  
a) 순수한 알루미늄과 화합물 금속 게이트 소자의 비교.  
b) 순수한 알루미늄 과 다결정 실리콘 게이트소자의 비교  
그림 1 에서 나타난 플랫폼 전압의 변위와 고정전하량을 표 1에서 나타 내었다.

표 1은 산화막의 두께가 1050[Å]일때, 플랫폼 전압의 변위와 고정전하량을 나타내었다.

표 1

| Gate Metal       | V <sub>FB</sub> [V] | B T S              |                    |                    | ΔV <sub>FB(2)</sub><br>- ΔV <sub>FB(1)</sub> | Q <sub>fix</sub><br>x10 <sup>12</sup> |
|------------------|---------------------|--------------------|--------------------|--------------------|--|---------------------------------------|
|                  |                     | V <sub>FB(1)</sub> | V <sub>FB(2)</sub> | V <sub>FB(3)</sub> |  |                                       |
| 1 pure Al        | -1.20               | -1.89              | -0.94              | -0.95              | 21.19  |                                       |
| 2 Compound Metal | -1.05               | -1.07              | -0.87              | -0.80              | 18.23  |                                       |
| 3 poly-Si        | -0.48               | -0.64              | -0.31              | -0.33              | 6.48   |                                       |

각 sample 의 BTS 전후의 플랫폼 전압변위는 순수한 알루미늄이 -0.95[V] 이고, 화합물 금속이 -0.80[V], 화합물 금속이 -0.33[V]로 줄어들었음이 나타났다. 플랫폼 전압의 변위를 일으키는 주된요인은 산화막내의 이동전하(Q<sub>m</sub>) 량과 고정전하(Q<sub>f</sub>) 량, Si-SiO<sub>2</sub> 계면에 트랩된 전하(Q<sub>it</sub>)의 영향이라 할 수 있다. 그중 Si-SiO<sub>2</sub> 계면에 트랩된 전하(Q<sub>it</sub>)는 소자 제작과정중의 H<sub>2</sub>분위기 어닐링에 의해 비활성화 되었다고 생각되므로, 결과에서 나타난 플랫폼 전압변위는 주로 이동성 전하(Q<sub>m</sub>) 량과 고정전하(Q<sub>f</sub>) 량에 의한 영향이라 사려된다. 특히, 다결정실리콘의 플랫폼 전압이 낮은 것은 다결정실리콘 Deposition 과정중 Si-SiO<sub>2</sub> 계면의 (Si<sup>+</sup>)<sup>+</sup>를 N<sub>2</sub> 분위기에서 고온 어닐링에 의해 감소시켰기 때문이며, 또한 다결정실리콘이 게이트 산화막 위에서 산소에 대한 장벽을 형성 한 것 때문이라고 생각 한다.

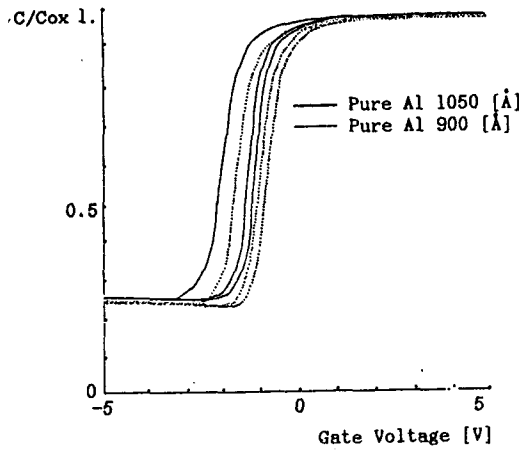


그림 2는 1050[Å], 950[Å]의 산화막 두께를 가진 알루미늄게이트 소자의 C-V곡선 비교

표2는 산화막의 두께가 900[Å] 일때, 플랫밴드 전압의 변위와 고정 전하량을 나타 내었다.

표 2

| Gate Metal       | V <sub>FB</sub> | B.T.B              |                    | ΔV <sub>FB(1)</sub> - ΔV <sub>FB(2)</sub> | Q <sub>f</sub> × 10 <sup>18</sup> |
|------------------|-----------------|--------------------|--------------------|---|-----------------------------------|
|                  |                 | V <sub>FB(1)</sub> | V <sub>FB(2)</sub> |   |                                   |
| 4 pure Al        | -1.01           | -1.61              | -0.80              | -0.81                                     | 19.69                             |
| 5 Compound Metal | -0.92           | -1.47              | -0.78              | -0.89                                     | 17.99                             |
| 6 poly-Si        | -0.43           | -0.54              | -0.30              | -0.24                                     | 5.97                              |

표 1 과 표 2 의 비교에서 산화막 두께가 감소 할수록 플랫밴드 전압은 낮아 졌으며 또한 플랫밴드 전압의 변위도 낮아 졌다.

표 3 은 게이트 금속변화와 산화막 두께에 따른 플랫밴드 전압의 변위이다.

표 3

| 게이트 재료<br>비교(1050) | ΔV <sub>FB</sub> | 금속 재료<br>비교(900) | ΔV <sub>FB</sub> | Oxide<br>두께 비교 | ΔV <sub>FB</sub> |
|--------------------|------------------|------------------|------------------|----------------|------------------|
| 1 - 2              | -0.15            | 4 - 5            | -0.12            | 1 - 4          | -0.14            |
| 1 - 3              | -0.62            | 4 - 6            | -0.57            | 2 - 5          | -0.11            |
| 2 - 5              | -0.49            | 5 - 6            | -0.45            | 3 - 6          | -0.09            |

플랫밴드 전압을 줄이는 주된 원인으로 산화막내의 고정전하량과 이동전하량의 조절과 게이트 금속의 변화로 인한 일함수차를 줄이는 것이라 할수있다.

표3에서 산화막의 두께변화에 따른 전하량의 조절에 의한 플랫밴드 전압 변위는 -0.090V - -0.14[V]이였지만 게이트물질의 변화에 따른 일함수차에 의한 플랫밴드 전압의 변위는 -0.12 - -0.62[V] 정도의 큰 변위를 나타낸다. 이는 게이트 금속변화에 따른 일함수 차의 영향이 산화막 내의 이동 전하량과 고정 전하량의 영향보다 더 민감하게 플랫밴드 전압에 영향을 줄수 알수 있었다.

#### 4. 결 론.

순수한 알루미늄이나 화합물 금속보다 다결정 실리콘의 플랫밴드 전압이 낮게 나타났으며, 산화막의 두께가 감소 할수록 플랫밴드 전압이 낮아 졌다.

또한 표1과 표2에 나타난 결과로 플랫밴드 전압에 미치는 영향은 산화막내의 전하의 변화량에 의한 것보다 금속과반도체 사이의 일함수 차에 의해 더 지배적임을 알수 있었으며 다결정 실리콘 게이트의 일함수 차는 -0.78[V]로 나타났다. 이는 다결정 실리콘 게이트가 순수한 알루미늄이나 화합물 금속 게이트 보다 플랫밴드 전압을 줄이는데 용이하며, 그것으로 인해 소자의 안정성에 더 효과적인이 기대된다.

#### 참 고 문 헌

1. SZE , VLSI Technoloy , McGraw-Hill book Company. 1983. pp 470.
2. S.P. NURAKA, "Interactions in metallization systems for intergrated circuits " , J.Vac. Sci. Technol B2(4) , Oct-Dec , 1984.
3. DONALDS. GARDNER , "Layered and Homogeneous Films of Aluminum and Aluminum/silicon with Titanium and Tungsten for Multilevel Interconnects" IEEE Tr. Electron Device, Vol. ED-32,NO2 FEBRUARY 1985.
4. DAH-BIN KAO, "Annealing of Oxide Fixed Charges in Scaled Polysilicon Gate MOS Structures" IEEE. Tr. Electron Device Vol. ED-32,NO.5 MAY 1985.
5. Y.J.Vander Meulen, C.H. Osburn et al. "Properties of SiO<sub>2</sub> Grown in the presence of Hcl or cl<sub>2</sub>" J. Electrochem. Soc.122(2) pp 284-290 1975.
6. R.H NICOLLIAN, J.R. BREWS, "MOS physics and Technology" A WILEY-INTERSCIENCE PUBLICATION pp.468-471 1982.
7. NOBORU SHIONO , CHISATO HASHIMOTO "Threshold-Voltage Instability of Temperature Aging" IEEE. Tr. Electron Vol. ED-29,NO.3 MARCH 1982.