

한 세 희

효성중공업주식회사

On the Design of Digital Sub-Controller for Accuracy Improvement of Analog Speed Control System.

SE - HEE HAN, HYOSUNG INDUSTRIES, LTD.

Abstract

Analog and Digital Speed Control Systems have mutually complementary properties.

Analog System has good dynamic characteristics and moderate steady-state accuracy and can be implemented economically with operational amplifiers.

Digital System, on the contrary, has good static accuracy, but relatively poor dynamic property. So, a hybrid system which uses both digital and analog control can have good static and dynamic characteristics.

In this paper, it is shown that a simple digital controller can improve steady-state accuracy of existing analog control system satisfactorily, and some design criteria are presented also.

1. 서론

가변속 전동기 구동장치(Variable-speed Motor Drive System)의 속도제어방식은 애널로그(Analog: 상사형)제어와 디지털(Digital: 이산형)제어로 대별된다.

연산증폭기(Operational Amplifier)와 속도발전기(Tacho-Generator)가 주요소인 애널로그제어방식은 과도응답성(Transient Response)은 우수하나 속도발전기의 오차, 연산증폭기의 오프셋(Offset) 및 온도 경년변화등에 의한 드리프트(Drift)로 인하여 정상상태의 제어정도(Steady-state Accuracy)는 비교적 낮다.

디지털 계산기(Digital Computer)와 펄스발생기(Pulse Generator)를 사용하는 디지털제어방식의 경우는 제어정도는 우수하나, 과도응답성은 보통이며, 특히 샘플링(Sampling)주기가 길어지면, 제어성능은 더욱 나빠진다. 따라서 이 두가지 제어방식을 병용하여, 각각의 장점을 취하는 하이브리드(Hybrid)형 제어기가 고안되어, 주파수를 기준입력으로 하는 제어방식이 실용화 되고있다(4).

본 연구에서는 마이크로프로세서(Micro-Processor)를 사용한 하이브리드 제어계를 설계·해석하고, 이를 실험하여 성능을 평가하였으며, 설계 기준을 제시하였다.

2. 애널로그 제어와 디지털 제어의 비교

(1) 제어계의 개요

전동기의 속도가 주 제어대상인 속도제어계는 통상적으로 전류(또는 토크)제어 마이너 루프(Minor Loop)를 갖는다. 이러한 제어계의 대표적인 예로서 그림 1 및 2에 직류전동기(또는 DC Brush-less 전동기) 속도제어계와 그 블록선도(Block Diagram)를 보였다(2).

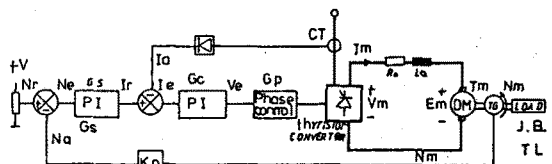


그림 1. 직류 전동기 구동계

에널로그 속도제어계의 제어정도를 향상하기 위한 디지털제어기의 설계

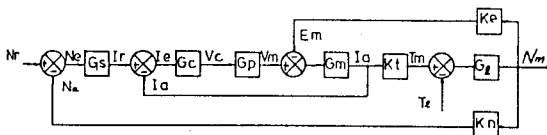


그림 2. 구동계의 블록선도

주 제어기능으로써 속도오차 증폭부는 비례-적분(P-I)으로써 정상상태의 오차를 영으로 하는 1형 제어계로써 동작한다. $G_s = K_p(1 + 1/T_i S) = K_p + K_i/S$ --- 1)
 그림 2의 계통도는 전압값 전류의 교환으로 인하여 비교적 복잡하나, 본 연구에서는 속도제어성능만을 논하고자 하므로 다음과 같이 단순화 하여 취급기로 한다.
 전류제어부는 속도제어계에 비하여 그 응답이 빠르므로 $G_c \rightarrow G_p \rightarrow G_m$ 으로 이루어진 페루르는 "1"로 근사화 하여 그림 3 과 같은 계로 단순화 한다.

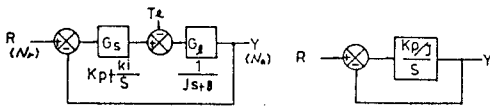


그림 3. 단순화한 제어계 A, 그림 4. 단순화한 제어계 B

R 과 Y 간의 개루프 전달함수 (Open Loop Transfer Function) 는

$$G_o(s) = G_s(s) \times G_d(s) = \frac{Kp}{J} \left(\frac{S + K_i/K_p}{S} \right) \left(\frac{1}{S + B/J} \right) \text{---2)}$$

(2) 에널로그 제어계의 해석 및 이득정수 결정

최적응답을 얻기 위한 기준 (Criteria)으로써 여러가지가 있으나, 여기서는 Pole - Zero를 상쇄시켜 해석을 간단히 하기로 한다. 식 2)에서 $K_i/K_p = B/J$ 로 하면 $G_o(s) = \frac{Kp}{J \cdot S}$ ---3)로써 그림 4와 같이 되고, 주파수 특성도 (Bode 선도)상의 고차주파수 (Gain Cross-Over Frequency) W_c 는 Kp/J 가 되며, 이값이 클수록 과도응답이 빨라진다. 그러나 전력변환기의 스위칭 주파수와 전류응답의 한계가 있으므로 적당한 값으로 제한하여야 한다. 상성리상 제어방식 전력변환기와 중용량의 직류전동기로 구성된 구동장치의 경우 W_c 는 대략 20-30 (rad / sec) 정도이다. 그림 4 에서 입력으로 단위스텝 (Unit Step)이 인가될때는

$$Y(s) = \frac{G_o(s)}{1 + G_o(s)} \cdot R(s) = \frac{\frac{Kp}{J}}{(S + \frac{Kp}{J})S} = \frac{1}{S} - \frac{1}{S + \frac{Kp}{J}}$$

$$\therefore y(t) = 1 - \exp(-\frac{Kp}{J} \cdot t) = 1 - \exp(-Wc \cdot t), t \geq 0 \text{---4)}$$

출력이 기준 입력의 95%까지의 응답시간은 $Tr = \frac{3}{Wc}$ ---5)로써, $Wc = \frac{Kp}{J} = 30$ (rad / sec) 라면, $Tr = 0.1$ sec이다.

그림 4 로 간략히 표현되는 제어계의 위상여유 (Phase Margin) 90° 이지만, 그림 2 의 원래의 구동제어는 $Wc = 30$ (rad/sec)일때 약 $40^\circ - 50^\circ$ 이다.

(3) 디지털 제어계의 해석 및 이득정수 결정

그림 5 와 같은 디지털제어기는, 그림 3 의 G_s 를 샘플링 주기 T_s 인 디지털제어블록 $G_s(z)$ 로 대체한 경우이며, 이때 샘플링에 기인한 위상 지연은

$$P_s = \frac{180}{\pi} W_c T_s \text{ (deg)} \text{---6)}$$

로써 이것은 제어계의 위상여유를 줄이게 된다.

샘플링에 의한 위상지연을 최대 45° 로 제한하기 위해서는 $W_c T_s \leq \frac{\pi}{4}$ ---7)

이어야 하고, $T_s = 0.1$ sec 라면 $W_c \leq 7.85$ (rad/sec)로써 에널로그의 경우보다 훨씬 작아 과도응답이 그만큼 느리다. T_s 를 줄이면 특성은 개선되나, 이 경우 보다 고속의 디지털계산기와 정밀한 펄스발생기가 필요하게 된다.

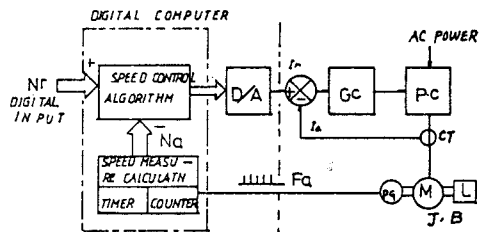
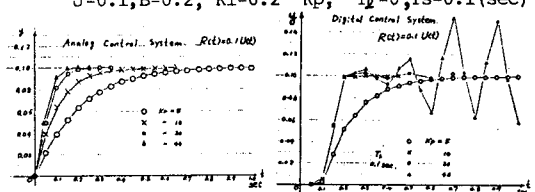


그림 5. 디지털 속도제어계 A.

(4) 에널로그제어와 디지털제어의 스텝응답 (Step Response) 비교.

그림 6 에 에널로그 및 디지털제어의 스텝응답을 컴퓨터 시뮬레이션으로 보였다. 계산에 사용한 제상수는 다음과 같다. (단위는 시간을 제외하고 모두 유니트화 하였다.) $J=0.1, B=0.2, K_i=0.2, K_p, T_d=0, T_s=0.1$ (sec)



에널로그 속도제어계의 제어정도를 향상하기 위한 디지털제어기의 설계

그림6 스텝응답 컴퓨터 시뮬레이션

이상에서 본바와 같이 에널로그 제어는 디지털제어보다 과도응답성이 우수하다. 그러나 정상상태의 오차는 통상 최대속도의 0.5% 정도로서, 정밀한 제어가 요구되는 부하에는 부적합하다. 디지털 제어의 경우는 고정도의 제어가 가능하다. 그림5.와 같은 디지털계산기에 의한 방식의 예도 주파수를 기준입력으로 하는 카운터 방식(그림7)과 위상고정 (Phase Locked Loop, 약자 P.L.L) 제어 하는 방식이 있으며, 어느것이냐 높은 정도를 얻을 수 있으나,

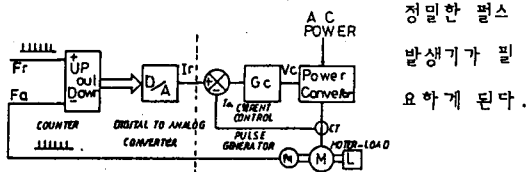


그림 7. 디지털 속도제어계 B

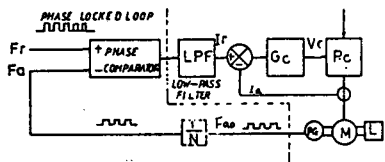


그림 8. 디지털 속도제어계 C

3. 하이브리드 속도제어계의 구성

(1) 하이브리드 제어계의 기능

하이브리드 제어방식은 에널로그 제어계에 디지털 제어부를 추가하여, 에널로그 제어의 약점인 정상상태의 오차 (Steady - state Error)를 줄이고, 우수한 과도응답성을 그대로 유지하기 위하여, 주 제어기능은 에널로그 제어계가 담당하고, 디지털 부분은 정확한 속도추정과 오차보정기능만을 갖게한다. 이와 같은 기능의 하이브리드 제어방식으로 그림9.와 같은 주파수 계수 방식이 실용화되고 있으나, 속도기준이 주파수로서 주어지므로 다음과 같은 단점이 있다.

- 속도설정용으로 정밀한 가변주파수 발전기가 필요하다.
- 직접 수치 입력이 곤란하다.
- 속도설정이 두가지로 주어진다. (DAC 1,2)

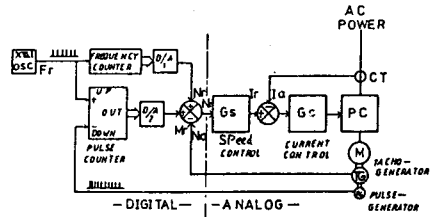


그림 9. 주파수 계수 방식 하이브리드 제어계

따라서 본 연구에서는, 마이크로 프로세서를 중심으로한 디지털제어기를 이용한, 그림10 과 같은 제어계를 구상하였다.

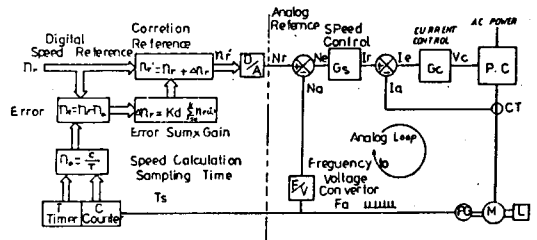


그림 10. 디지털계산기 방식 하이브리드 제어계

디지털부는 속도의 정상오차를 영으로 하기 위함 이므로 제1형의 제어기능을 갖는 오차적분기로서 동작하도록 한다.

(2) 디지털 제어부의 구성

그림 11. 에 보인바와 같이 8 비트 (bit)마이크로 콘트롤러 (Micro - Controller) 를 중심으로구성하였다.

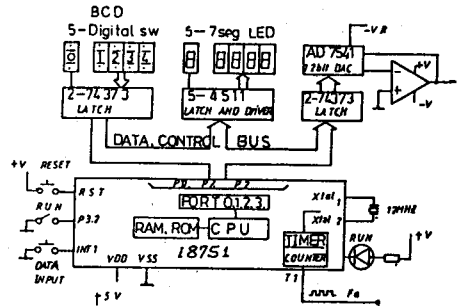


그림 11. 디지털 제어부의 구성

- 속도 설정기 : 4 자리의 디지털릿치로 구성 RPM 단위 수 입력(0-416)
- LED 표시기 : 속도기준, 현재속도동 표시 (RPM 단위)

o 마이크로컨트롤러: Intel 사제 i8751, 2K의 EPROM 내장.

12MHZ 의 CLOCK 에서 1us의 Machin-Cycle 로 동작. Timer, Counter 및 Port 내장.

o DAC : 12bit , AD7541 , 디지털 값을 아날로그 전압으로 변환하여 아날로그 제어계의 속도기준으로 출력.

(3) 아날로그 제어계의 구성

실험대상인 아날로그 제어계의 구성을 그림 12 에

보였다.

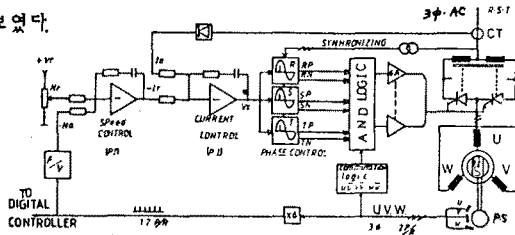


그림 12. 아날로그제어 사이리스터모터 구동계

전계는 18개의 SCR 로 구성된 사이클로 변환기 (Cyclo - Converter)로, 회전자 위치검출기(Rotor Position Sensor)가 부착된 동기전동기를 구동하는 사이리스터 전동기(Thyristor Motor) 구동계이다. 타여자 직류전동기와 동일한 속도-토크 특성을 보이므로 제어계의 블록선도는 그림 2 와 같다.

속도제어부 (Gs) 및 전류제어부 (Gc) 는 비례-적분종목으로 이득정수는 2장(2)항에서와 같이 정한다.

4. 하이브리드 제어계의 해석

(1) 하이브리드 제어계의 블록선도

아날로그 제어계의 정상상태의 오차를, 저주파(또는 직류)의 편차 입력 N 으로 취급하고, 아날로그 제어계 자체는 이상적인 것으로 가정하여 해석하기로 한다.

그림 10 과 위의 가정으로부터 얻어진 계통도는 그림 13 과 같다.

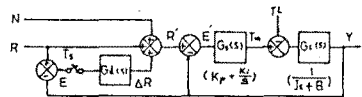


그림 13. 하이브리드제어계의 블록선도

$G_d(s) = K_d/s$ ----- 8)

로써 적분기이며 디지털 동가 Z 변환 함수는

$G_d(z) = \frac{K_d \cdot Ts}{z-1}$ ----- 9) 이다.

$G_s(s)$ 와 $G_L(s)$ 를 식(3) 에서와 같이 간략화 하고 이를 동가 Z 변환 하면(동가 임펄스 응답(Impulse - Response) 법 사용)

$G_a(s) = \frac{K_p}{J} \frac{1}{s} \rightarrow G_a(z) = 0.5K_p \cdot Ts \frac{z+1}{z-1}$ ----10)

(단 $K_p' = K_p/J$)

따라서 그림 13 의 제어계는 그림 14 의 동가디지털제어계로 변환하여 해석할 수 있다.

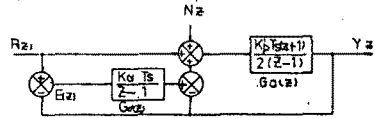


그림 14. 동가디지털제어계의 블록선도

그림 8 로부터 다음과 같은 관계를 얻을 수 있다.

$Y(z) = \frac{G_a(1+G_d)}{1+G_a(1+G_d)} R(z) + \frac{G_a}{1+G_a(1+G_d)} N(z)$ -----11)

$= \frac{0.5K_p' Ts(z^2 + K_d Ts z + K_s Ts - 1) \cdot R(z) + 0.5K_p' Ts(z^2 - 1) N(z)}{(0.5K_p' Ts + 1)z^2 + (0.5K_p' K_d Ts^2 - 2)z + 0.5K_p' K_d Ts^2 - 0.5K_p' Ts + 1}$ -----12)

(2) 제어계의 안정도 해석

식 12)로 표현되는 제어계가 안정되기 위해서는

본모로 된 특성방정식 (Characteristic Equation) $C(z) = A_0 z^2 + A_1 z + A_2 = 0$ 이 다음과 같은 조건을 만족하여야 한다. (Jury 의 Test [1] 법)

1) $C(1) > 0 : K_p' K_d Ts^2 > 0$

2) $C(-1) > 0 : 4 > 0$

3) $|A_2| < A_0 : \left| \frac{0.5K_p' K_d Ts^2 - 0.5K_p' Ts + 1}{0.5K_p' Ts + 1} \right| < 0.5K_p' Ts + 1$
 $\therefore K_d Ts < 2$ ----- 14)

만약 $Ts=0.1$ 이면 $K_d < 20$ 이어야 한다.

(3) 기준입력 R 에 대한 스텝응답과 K_d 의 결정

디지털제어기는 정상상태오차의 제거만이 목적이므로, 기준입력에 대한 과도응답에의 영향을 작게할 필요가 있다.

그러기 위해서는 식 13 의 근이 $K_d=0$ 인 경우의 것과 대차가 없어야 한다 $K_d Ts \ll K_p' Ts \Rightarrow K_d \ll K_p'$ ---- 15)

여러 K_d 값에 대한 스텝응답을 계산기 시뮬레이션으로 확인하여 K_d 값을 정한다. 그림 15 의 시뮬레이션

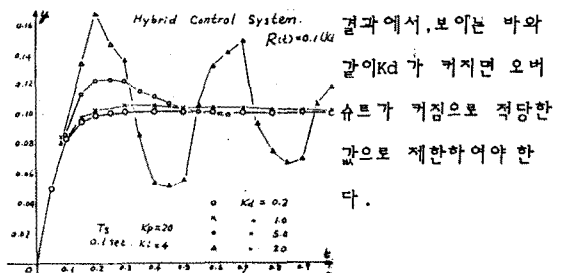


그림 15. 하이브리드제어계의 기준입력 스텝응답

애널로그 속도제어계의 제어정도를 향상하기 위한 디지털제어기의 설계

(4) 편차입력 N 에 대한 스텝응답 특성

그림 14 에서 낮은주파수의 편차입력의 관점에서는, 애널로그 제어계의 응답을 1로 근사화 할 수 있다. 이

$$\text{경우 } \frac{Y(Z)}{N(Z)} \approx \frac{1}{1+Gd(Z)} = \frac{Z-1}{Z-(1-KdTs)} \quad \text{----- 16)}$$

N 이 단위스텝입력인 경우 $N(Z) = \frac{Z}{Z-1}$, $Y(Z) = \frac{Z}{Z-(1-KdTs)}$ ---- 17)

$$\therefore Y(k) = (1-KdTs)^k, \quad K > 0$$

Y (K) 가 N 의 5%까지 감소하는 응답시간 Tr 은

$$(1-KdTs)^K = 0.05 \implies Tr = K \cdot Ts = \frac{1.3Ts}{\text{Log} \left(\frac{1}{1-KdTs} \right)} \quad \text{---19)}$$

식19)에서 Ts=0.1sec, Kd=1 이면 Tr=2.84 sec

로써 그림16 의 시뮬레이션 결과와 잘 일치한다.

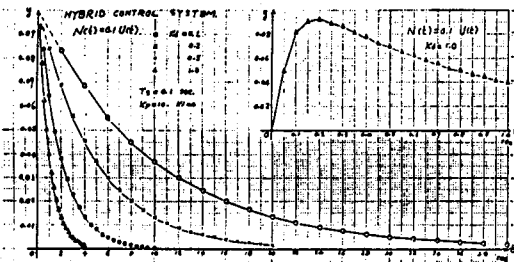


그림 16. 하이브리드제어계의 편차입력 스텝응답

(5) 주파수 응답

기본입력 및 편차입력에 대한 주파수 특성은 식12)로 표시되는 전달함수에 $Z=e^{j\theta}$ ($\theta = T\omega$) 를 대입함으로써 얻어진다. 이의 계산결과를 그림 17)에 보였다.

직류에 대한 응답은 $Z=e^{j0} = 1$ 을 대입하여 $Y = 1 \cdot R + O.N = R$ 이므로, 오차는 출력에 나타나지 않는다.

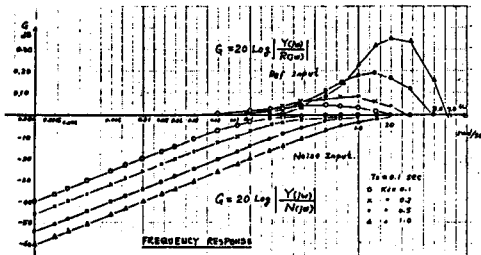


그림 17. 하이브리드제어계의 주파수 응답

5. 디지털제어 알고리즘 및 프로그램의 개요

(1) 속도검출 알고리즘

기본적인 제어알고리즘은 그림 10 에 나타나 있다. 속도제어정도를 높이기 위해서는 속도를 정확하게 검출하여야 한다. 디지털속도검출은 기본적으로 전동기축에 연결된 펄스발생기의 출력주파수를 측정하는 것과 같다. 이 방법에는 펄스계수방식, 주기측정방식등이 있으나, 본 연구에서는 넓은 속도범위에서 검출정도가 높은 그림 18 의 방법을 채택하였고, 다음과 같이 설계하였다.

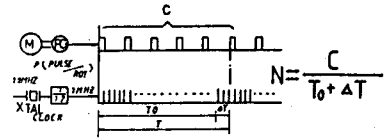


그림 18. 속도 추정 원리도

1) 속도리플(Ripple)에 기인한 측정오차를 줄이기 위하여 C 는 1회전당의 펄스수 P 의 배수로 한다. -->저분해능 측정밀도의 펄스발생기사용 가능.

2) 시간측정용 클럭(Clock)은 안정도가 높은 수정발진기를 사용하며(1 MHz), 클럭펄스 계수오차 (± 1)로 인한 측정오차를 줄이기 위하여 $T > 2^{16} \mu s$ 로 한다. -->저속의 프 로세서로 충분.

3) 1)과 2)에서 속도는 다음과 같이 계산한다.

$$N_a = \frac{(C/P) \times 60}{T \times 10^{-6}} = \frac{6n}{TP} \times 10^7 \text{ (RPM)} \quad \text{----- 20)}$$

단, T : 타이머(Timer)값 (μs)

C : 펄스 카운터의 값 ($=nP$)

P : 펄스 발생기의 1회전당의 펄스수

식 20)의 계산시 소수이하 한자리에 반올림하여 계산정도는 ± 0.5 RPM 으로 한다. 이로서 최대속도가 4095(RPM) 면 검출 제어정도는 $\frac{0.5}{4095} \times 100(\%) = 0.0122\%$ 가 된다.

4) 이와 같은 경우에 C 와 T 는 일정치 않고, 전동기 속도에 따라서 그림 19, 와 같이 변화한다. 이에 따라 샘플링주기 Ts 가 일정하지 않게되므로, 해석결과와 실험 결과는 다소 상이하게 된다.

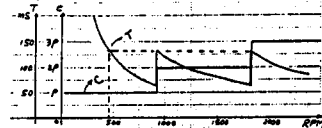


그림 19. 회전속도에 따른 C 및 T 의 변동

평균적인 샘플링시간은 0.1sec 이나 속도가 458 RPM 이 하인경우 샘플링시간은 속도에 반비례하여 커진다.

5) 그러나 식 14)에서와 같이 계의 안정도는 KdTs 에

애널로그 속도제어계의 제어정도를 향상하기 위한 디지털제어기의 설계

의존하므로 그림 20 에서와 같은 제어알고리즘을 채택하여

$K_d T_s = K_d$ 로써 입력하도록 하였다.

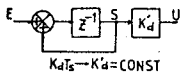


그림 20. 디지털제어부 계산 알고리즘.

(2) 디지털 제어 알고리즘

$$S(k) = S(k-1) + E(k-1) = \sum_{i=0}^{k-1} E(i)$$

$$U(k) = K_d \cdot S(k) \quad \text{--- 25)}$$

U(k)는 그림 11 에서와 같이 래치 (Latch) 를 거쳐 DAC에서 애널로그 전압으로 출력된다.

(3) 프로그램의 개요

그림 21 의 흐름도 (Flow - Chart) 에 보이는 바와 같이 전체프로그램은 주프로그램과 몇개의 인터럽트 (Interrupt) 처리프로그램으로 구성되어 있다. 소스 (Source) 프로그램은 MCS-51 매크로 어셈블러 (Macro-Assembler) (9) 로 작성하였으며, 어셈블후의 기계어 프로그램은 길이가 약 2K 바이트 (Byte) 로써 i8751 의 EPROM 내에 기억되었다.

6. 실험 및 비교 검토

(1) 그림 22 와 같은 회로로써 그림 15 및 16 의 시뮬레이션 결과를 확인하였다. 실제 구동계의 경우 J 및 B 의 정확한 값을 알 수가 없었으므로, 기존 입력응답은 시뮬레이션 결과와 일치하지는 않으나, (그림 23), K_d 에 대한 응답특성의 변화경향은 확인할 수 있었다. 그림 24 의 편차입력응답은 시뮬레이션결과와 잘 일치함을 알 수 있었다.

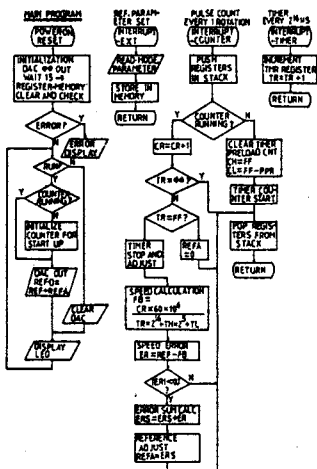


그림 21. 제어프로그램의 흐름도

(2) 이상에서 하이브리드제어기의 디지털제어부는 정밀하게 속도를 검출하고, 오차누적치로써 기준속도를 보정함으로써 정상상태의 오차를 극소화 할수있음을 확인하였고, 디지털 제어기의 이득이 전체계의 안정도와 과도응답성에 미치는 영향을 예측함으로써 최적치를 선정할 수 있음을 알수있다.

7. 결 론

본 연구에서는 저렴한 8 비트 마이크로프로세서와, 비교적 정밀도와 본해능이 낮은 펄스발생기를 사용하여, 기존의 애널로그 속도제어계를 고정도의 하이브리드제어계로 만들기 위한 이론적 분석과 설계기법을 제시하고, 이를 실험적으로 확인하였다. 실험제작한 디지털제어기는 기대성능을 만족하여 충분히 실용화 될 수 있음을 보여 주었다. 그리고 프로세서의 전동작시간중 약 90%정도는 여유시간이므로 이를 활용하여 전체제어계의 감시기능, 또는 통신기능등을 갖게할 수있을것이나, 이는 차후의 과제로 남기고자 한다.

참 고 문 헌

1. B. KUO, (Digital control System) H.R. Winston INC, 1980. PP278-286
2. P.C. SEN. (Thyristor DC Drive) John Wiley & sons. 1981. PP221-379
3. 上山直彦 (Thyristor Motor의 原理 と 運轉) 電氣書院 1974. PP46-48
4. 關根泰次 "配電變 制御變 HAND BOOK" 電氣書院 1979. PP8-275-277
5. A.K. Lin, W.W. Koepsel, (A Microprocessor speed control system) IEEE Transaction on I.E and C.I, vol IEIC24. NO3, 1977. PP160-164
6. T. OHMAE and others (A Microprocessor- controlled Fast- response speed regulator with Dual Mode Current Loop for DCM Drives) IEEE TRANSACTION ON I.A vol 1A-16, NO3 . PP388-394
7. F. Harashima and others, (Evaluation of Digital Speed Sensor and Signal Processing in Motor Drive) IPEC- TOKYO, 83, PP1717-1725
8. N. Azusawa and other (Microprocessor Based Fully Digital Control for Motor Drives) 日立 雜 論 Vol 65, Noz 1983-2, PP154-158
9. Intel Corp (Micro Controller User's Manual) 1982
10. T. Konishi and other, (A performance Analysis of Microprocessor - based Control system Applied to Adjustable speed Motor Drives) IEEE Transaction on Industries Applications. vol 1A - 16 No3 1980 PP378-387