

# 박막 MOS 구조의 고정표면전하에 관한 연구

유 석 빈 · 김 상 용 서 용 진 장 의 구  
중앙대학교 전기공학과

## A study of fixed oxide charge in thin flim MOS structure

Seok-Bin Yu, Sang-Yong Kim, Yong-Jin Seo, Bui-Goo Chang  
Department of Electrical Engineering, Chung-Ang University

### ABSTRACT

Very thin gate oxide(100-300Å) MOS capacitor has been fabricated. The effect of series resistance must be calculated and the exact metal-semiconductor work function difference should be obtained to get the fixed oxide charge density existng in oxide. Dilute oxidation make easy to control oxide thickness and reduce fixed oxide charge density. In case of dilute oxidation, fixed oxide charge density depends on oxidation time. If oxide is very thin, the annealing effect is ignored.

### 1. 서 론

최근 VLSI 소자의 scale down 에 의해 gate oxide 의 두께도 매우 얇아지게 되어 MOSFET 의 CHANNEL 이 submicron 일때, 200Å 이하로 되며, EAPROM 의 gate oxide 가 200Å 이하 이면, read-write voltage 를 상당히 줄일 수있고[1], 또한 16Mbit, 64Mbit DRAM 의 경우, 게이트 산화막은 120Å, 100Å 이하의 두께를 요하게 되어[2], 보다 양질의 thin oxide 및 좋은 재료의 개발에 연구가 집중되고 있다.

일반적으로 열산화에 의한 박막의 제작기술은 저온 성장 시킨뒤, 고온으로 열처리하여, 저온성장으로 인한 고정표면 전하(fixed oxide charge)를 줄이는 TWO STEP 열소 산화법이 있지만, 두께조절이 어렵고, 열처리(Annealing)과정중에도 산화막의 두께가 변화 된다는 결론을 지니고 있다. 그러므로, 두께조절을 용이하게 하고 균질의 박막을 얻을수 있는 DILUTE OXIDATION 방법이 연구되고 있다. [3] [4] [5] [6]

이 DILUTION 에 의한 산화방법은 고온에서 산소를 비활성 가스(inert gas)로 희석하여 산소의 분압을 감소시켜, 산화막을 통과하는 OXYGEN DIFFUSIVITY 를 감소시키므로 SILICON RICH REGION(EXCESS SILICON)을 줄일수 있어서  $Q_{fix}$  양을 감소 시킬수 있으며[3] [4], 고온의 산화온도에서도 사용할수 있어 저온산화로 인한  $Q_{fix}$  양의 증가를 방지할수 있다고 보고되었다. [ 7 ]

본 논문에서는 실험공정 마다 차이를 나타내는 직렬저항(seris resistance)의 영향을 컨덕턴스를 측정하여 계산하고 급속과 반도체의 일함수차를 고려해 추므로서, DILUTE OXIDATION 방법으로 성장시킨 얇은 산화막 내에 존재하는 Fixed Oxide Charge 를 보다 정확히 구하고, 박막의 산화막에서 어닐링(ANNEALING) 효과를 고찰해 보았다.

### 2. 실험

비저항이 5-9 Ω-cm 이고, 불순물이 Boron 이며, 결정방향이 (100)인, P형 Silicon Wafer 를 표준세척 공정으로 세척 한후, 1000 °C 에서 N<sub>2</sub>:O<sub>2</sub> = 1800:200 cc/min 의 gas를 흘려 주면서 15분, 30분, 60분, 90분 등의 시간에 차이를 두고 전기로의 석영관내에서 산화 시켰다.

90분동안 P<sub>o2</sub> = 0.1 atm 상태에서 산화 시킨후, 두께에 따른 Q<sub>f</sub> 및 V<sub>FB</sub>를 알기위해, HF로 산화막을 다시 에칭하여, 두께가 서로다른 산화막을 만들었다. 또한, dilute oxidation 과 dry oxidation 을 비교 하기위해 1000°C, O<sub>2</sub> = 200 cc/min에서 5분동안 산화시켰다.

산화된, 필요에 따라 20분간 POA(Postoxidation annealing)를 해 주었으며, 어닐링효과를 알기위해 일부의 소자는 어닐링 과정을 거치지 아니하였다. 각 소자의 산화 방법은 표1과 같다.

NUM	TIME(min)	비 고
I	30	NON POA
II	15	
III	30	
IV	60	
V	90	
VI	90	성장된 HF로 135초 예칭
VII	90	성장된 HF로 160초 예칭
VIII	90	성장된 HF로 185초 예칭
IX	5	O <sub>2</sub> 만으로 산화된 POA
X	5	O <sub>2</sub> 만으로 산화된 NON POA

표 1 산화 공정

산화 공정된, 전공중합기로 Al을 증착한뒤, 450 °C 에서 30분간 Alloy 하여 Ohmic contact 을 하였고, 게이트금속은 Al을 사용 하여 MOS소자들을 제작 하였다.

3. 결과 및 고찰

고정표면전하를 구조와 C-V method 로 구하는 경우, 구조에 의한 C<sub>ox</sub>는

$$C_{ox} = C_m \{ 1 + (G_m / \omega C_m)^2 \}$$

와 같이 되기 때문에 보다 정확한 산화막두께를 구하기 위해서는 저주파에서 측정을 하거나, 구조에서는 저항값을 고려해 주어야 한다. [8]

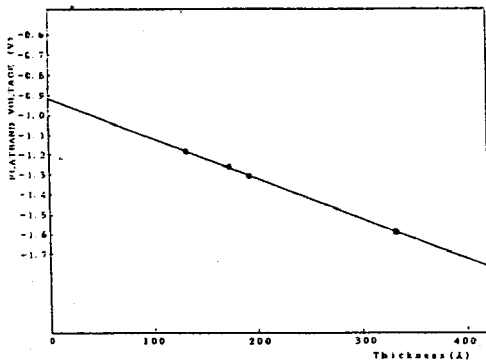


그림 1 산화막 두께에 따른 플랫폼전압

또한, 금속과 반도체의 일함수차는 각 공정마다 차이가 나기 때문에 그림 1과 같이 산화막두께에 따른 플랫폼 전압 관계에서 의심에 의해 구하였으며, 이 실험에서는 -0.916 ± 0.003 정도로 나타났다.

표 2에서 알수있듯이 같은 산화공정을 거친뒤 예칭한 소자의 고정표면전하 밀도는 동일하지만 산화막이 두꺼워질수록 플랫폼전압은 커진다. 이것은 플랫폼전압이 oxide charge, work function difference 와 함께 산화막두께의 함수임을 보여준다.

NUM	D <sub>ox</sub> (Å)	V <sub>fb</sub> (V)	Q <sub>f</sub> (/cm <sup>2</sup> )
V	331	-1.53	4.0 × 10 <sup>11</sup>
VI	191	-1.28	4.0 × 10 <sup>11</sup>
VII	175	-1.22	4.0 × 10 <sup>11</sup>
VIII	131	-1.16	4.0 × 10 <sup>11</sup>

표 2 같은 산화공정일때 고정표면전하밀도와 플랫폼전압

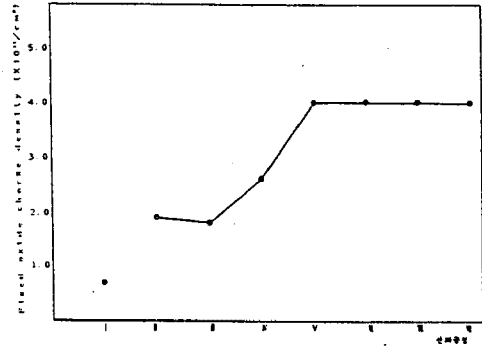


그림 2 산화공정에 따른 고정표면전하밀도

그림 2 는 dilute 방법으로 성장한, 산화막의 fixed oxide charge density 의 분포를 나타낸다. 어닐링 하지않은 소자의 고정표면전하 밀도는 매우 낮은 데 비하여, 어닐링 한 소자의 고정표면전하 밀도가 산화시간이 길어질수록 증가하는것은 이 dilute oxidation 방법이 산화와 동시에 어닐링 과정을 수반하기 때문 이라고 생각되며, 장시간의 어닐링 효과로 인해 Si-SiO<sub>2</sub> 계면에서 열에너지에 기인한 새로운 이온화된 전하가 생성되거나, 안정되었던 상태가 과잉의 Si 원자를 만들기 때문에 Q<sub>f</sub> 를 증가 시켰다고 생각된다.

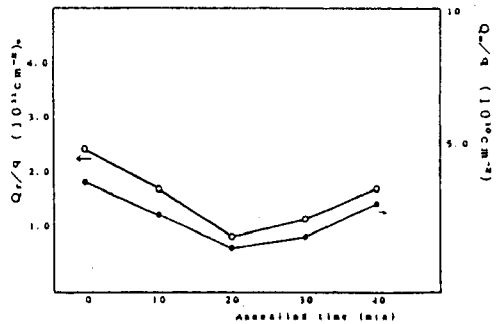


그림 3 어닐링시간과 이동성전하와 고정표면전하와의 관계

그림 3은 어닐링시간에 따른 고정표면전하 밀도의 분포와 이동성 전하밀도를 나타낸다. 20분간 어닐링한 소자가 고정표면 전하밀도와 이동성 전하밀도를 최소로 감소시켜 특성이 가장 안정된 상태를 보여준다.

Dry O<sub>2</sub> 로 성장한 산화막이 없을 경우에 어닐링 하지않은 소자의 Q<sub>r</sub> 는  $0.89 \times 10^{11}$  [ cm<sup>-2</sup> ]임에 비해 어닐링을 한 결과 고정표면 전하밀도가  $6.6 \times 10^{11}$  [ cm<sup>-2</sup> ]로 증가한 것은 어닐링시간에 따라서 O<sub>2</sub> 및 Si원자의 재분포에 의한 것으로 생각된다.

이와같이 여러가지 제작공정에 의한 각 소자의 C-V 특성은 그림 4, 그림 5 와 같다.

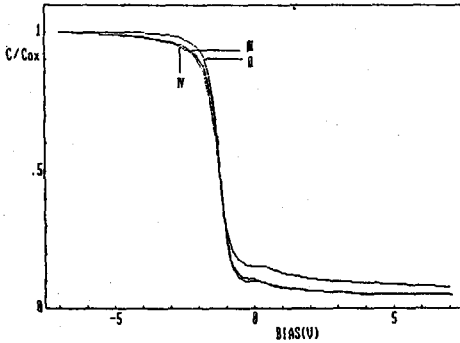


그림 4 C-V 특성

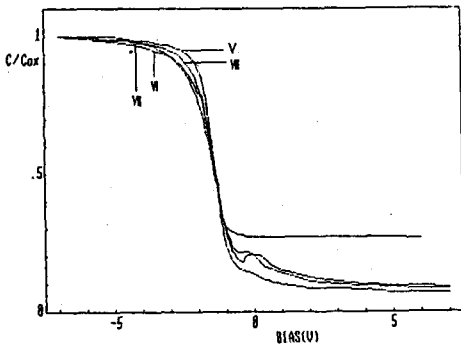


그림 5 C-V 특성

[ 참고 문헌 ]

1. S.S.Liu, C.H.Fu, G.B.Atwood, H.Dun, J.Cangston, E.Hazani, E.Y.So, S.Sachdev, and K.Funchs, "HMOS III Technology", IEEE J.Solid state circuits, Sc-17,p810 (1982)
2. M.Hirose "Advanced CVD Technology and Ultra Thin Oxide for ULSI.", Technical Proceedings Semicon / Korea, B-39 (1988)
3. V.Murali and S.P.Murarka, "Kinetics of Ultrathin SiO<sub>2</sub> growth", J.Appl.phys., vol.60, p2106 (1986)
4. S.P.Murarka, "Oxygen partial pressure dependence of the fixed surface-state charge Q<sub>ss</sub> due to thermal oxidation of n-(100) Silicon", Appl.Phys.Lett., 34, p587 (1979)
5. K.K.Hung, Y.C.Cheng, "Characterization of metal-oxide-semiconductor transistors with very thin gate oxide", J.Appl.phys., vol.69, p816 (1986)
6. Y.Kamigaki and Y.Itoh, "Thermal oxidation of silicon in various oxygen partial pressures diluted by nitrogen", J.Appl.phys., Vol.48, p2891 (1977)
7. B.B.Deal, "The current Understanding of Charges in the Thermally Oxidized Silicon Structure" J. Electrochem. Soc., 121, p198C (1974)
8. E.H.Nicolian and J.R.Brews, "MOS Physics and Technology", Chapter 5, Wiley, New York (1982)

4. 결 론

본 연구에서 수행된 oxide는

- 1) Thick oxide 와는 달리 Thin oxide 에서는 어닐링 효과는 기대하기 어렵다고 생각된다.
- 2) Dilute 산화는 어닐링효과를 포함하고 있음을 알수있다.
- 3) Thin gate oxide 의 고정표면전하의 마지막값의 결정은 oxidation condition 보다 어닐링 조건이 더 지배적이다.
- 4) Dilute 산화로 성장한 산화막의 고정표면 전하밀도는 같은 온도에서 산화시간에 더 의존하게 된다.