

수치해석에 의한 전력용 VDMOSFET의 구조와 전기적 특성에 관한 컴퓨터 시뮬레이션

박 배 웅  
조선대학교 대학원

이 우 선  
조선대학교 전기공학과

Computer Simulation on the Structure and Electrical Characteristics of Power VDMOSFET based on Numerical Analysis

Bae-Woong Park Woo-Sun Lee  
Dept. of Electrical Engineering, CHO SUN University

ABSTRACT

Two dimensional numerical analysis program of power VDMOSFET structure has been developed. Modeling and analysis on the electrical characteristics of the device are presented

These are available for the device structure optimization and physical understanding of the behavior of the device

1. 서 론

전력 MOSFET는 전력 bipolar transistor에 요구되는 큰 base 구동전류, 스위칭 속도 능력의 한계성이 있기 때문에 개발이 필요하게 되었다. 이러한 전력 MOSFET는 전력 bipolar transistor에 비해서 중요한 이점은 높은 스위칭 속도능력 및 주파수에 적용이 가능하며 전압제어 디바이스로 구동전력의 소비가 적고 on저항이 정의 온도계수를 가지며 2차 항복이 없고, 또한 병렬접속이 용이하다는 점 등이다. 또한 전력 MOSFET가 대 전력으로 될 수 있다는 것은 수직 이중 확산구조로 할수있고, 채널을 짧은 채널로 할 수 있기 때문이다. 여기서 형성된 채널의 길이는 1~3 μm로 극히 짧은 채널이다. 오늘날 반도체소자의 성질을 정확히 예측하는데 걸리는시간과 제조하는데 비용이 많이 들기 때문에 반도체회로 및 반도체소자를 최적화하는데 컴퓨터 시뮬레이션이 많이 이용되고 있다. 따라서, 본 연구에서는 Gummel의 알고리즘과 Mock의 식 및 Jacobian 행렬을 풀어가는 Newton-SLOR법 및 Stone의 반복법을 이용하여, 전력용 VDMOSFET를 구조적으로 설계하고 이 설계에따라 수치해석을 한 후 2차원 컴퓨터 시뮬레이션을 위한 프로그램을 개발하고 이 개발된 프로그램에 의해 전력용 VDMOSFET의 I-V특성, 정전위 분포와 전류분

포 threshold 전압, on-저항과 transconductance, 디바이스의 표면이동도에 대하여 2차원 컴퓨터 시뮬레이션하고자 한다.

2. 수학적인 모델 및 수치해석 방법

MOS 디바이스의 기본방정식을 기본적으로 bipolar transistor 모델링에 사용된것과 같다. 그러나 MOS 디바이스는 반도체층과 Oxide 층이 다 포함되어있고 대다수 전류의 흐름이 이들 interface로 흐르게되며, 표면이동도에서 차이가 있다.

반도체 소자의 특징은 불순물분포, 캐리어 이동도 및 수명 시간등과 같은 물리적인 파라메타에 의해서 결정된다. 소자의 모델링은 시간과 공간을 독립변수로하여 전자와 정공에 대한 quasi-Fermi전위와 정전위의 해를 구해야한다. 이 해를 구하기 위해서 본 연구에서는 기본 방정식인 포아손 방정식과 전자 및 정공에 대한 각각의 연속방정식의 해를 수치해석적으로 구하였다.

비등온 상태에서 캐리어에 대한 기본 방정식은 다음과 같다.

$$\nabla^2 \psi = - \frac{q}{\epsilon_{ii}} (p - n + N_D - N_A) \quad (1)$$

$$\nabla \cdot \vec{J}_p = -q (R - \partial p / \partial t) \quad (2)$$

$$\nabla \cdot \vec{J}_n = q (R - \partial n / \partial t) \quad (3)$$

윗식에 대한 보조방정식은 다음과 같다.

$$\vec{J}_p = -q \mu_p p \nabla \psi - q D_p \nabla p \quad (4)$$

$$\vec{J}_n = -q \mu_n n \nabla \psi + q D_n \nabla n \quad (5)$$

$$\vec{J}_T = \vec{J}_p + \vec{J}_n \quad (6)$$

식(1)은 포아손 방정식이고, 식(2), (3)은 각각 정공과 전자에 대한 연속의 방정식이다. 전자 및 정공전류에 대한 연속의 방정식인 식(2)와(3)은 디바이스내의 각 grid 점에서

불균일하게 2차원 모델을 설계하여 그림 1과같이 나눌 수 있으며 인접한 grid사이에서 온도가 일정하다고 가정하고 전류밀도, 이동도 전계가 각 grid점에서 일정하다면 정공전류밀도  $J_p(N)$ 는 다음과 같다.

$$J_p(N) = -\mu_p(N) [a_n p_{i,j+1} - b_n p_{i,j}] \quad (7)$$

그림 1의  $N, (N-1), M(M-1)$ , 각점에 관해서 식(7)에 Gauss 적분이론을 적용하면,

$$\begin{aligned} X_a \mu_p(N-1) a_{n+1} p_{i,j-1} + y_a \mu_p(M-1) a_{m-1} p_{i-1,j} \\ + y_a \mu_p(N) a_n p_{i+1,j} + X_a \mu_p(N) a_n p_{i,j+1} - \\ [X_a \mu_p(N-1) b_{n-1} + y_a \mu_p(M-1) b_{m-1} + y_a \mu_p(M) b_m \\ + X_a \mu_p(N) b_n p_{i,j}] + X_a y_a R_{i,j} = 0 \end{aligned} \quad (8)$$

과 같이된다.

그림 1의 OPQR내에서 캐리어 밀도가 일정하다고 가정하고 포아손 방정식인 식(1)을 규정화하여 Taylor 급수 전개하면 포아손 방정식은 다음식으로 된다.

$$\begin{aligned} X_a / y_j \psi_{i,j-1} + X_a / X_i \psi_{i-1,j} + y_a / X_{i+1} \psi_{i+1,j} \\ + X_a / y_{j+1} \psi_{i,j+1} + X_a y_a (p_{i,j} + n_{i,j}) = 0 \end{aligned} \quad (9)$$

수치풀이 방법의 Flow chart는 그림 2와같이 정전위 전자 및 정공농도를 초기치로 한다음 포아손 방정식을 풀고 정공 및 전자에대한 연속의 방정식을 풀어서  $\delta$ 가 수렴치에 충분히 수렴할때까지 계속 반복하여 전자 및 정공농도를 구하고  $\psi, \phi_p, \phi_n, J_p, J_n$ 을 구하여 출력하게 된다.

본 연구에서 사용한 디바이스 구조도는 그림 3과같다. 여기서, AC는  $2.6 \mu m$ , DE는  $9.4 \mu m$ , AI는  $1 \mu m$ , IH는  $2.6 \mu m$ , HG는  $6 \mu m$ 이다. X방향의 총길이는  $12 \mu m$ 이고, Y방향의 총길이는 oxide 층을 포함하여  $9.9225 \mu m$ 이다. 또 X방향의 총 grid수는 18개 Y방향의 총 grid수는 oxide 층을 포함하여 27개이다.

본 디바이스에서 다음과같은 가정을 하였다.

1. BC, CD, EF, AG 경계선에는 전류가 흐르지 않는다.
2. BC, CD, EF, AG에는 전계가 존재하지 않는다.
3. Drain과 Source 접합부에서는 등온이고 전자와 정공의 식으로 다음식이 성립한다.

$$\begin{aligned} n &= \frac{1}{2} [N_D - N_A + \{(N_D - N_A)^2 + 4n_i^2\}^{1/2}] \\ p &= n_i^2 / n \end{aligned}$$

### 3. 컴퓨터 시뮬레이션의 결과 및 검토

#### 3. 1 정전위분포와 전류분포

그림 3(B)에서 수치 해석하여 시뮬레이션된 I-V 특성곡선과 이론식에 의한 곡선을 그림 4에 나타내었다.

그림 5에서는 VDMOS의 정전위분포와 전류분포도를 나타낸다.  $V_D = 10V, V_G = 6V$ 일때, oxide 아래  $n^-$  부분에 oxide 역방향전계에 의해서 공핍층이 형성된것을 나타내며,  $n^-$ 층의 p-n 접합부에서 공핍층의 형성이 확장되어 있음을 알수있다. 그림 6을 그림 5와 같은 상태에서 전자와 정공농도를  $\log$ 값으로 plot한것이다. 게이트 아래  $n^-$  영역이 deplete되기때문에 전자는 oxide 및 p-n 접합에서 봉우리 모양으로 된다. 또한 디바이스의 y 방향을 따라서 분포한 전위는 그림 7과같다. a 곡선은 X방향  $2.6 \mu m$ 점, b 곡선은  $4.6 \mu m$ 점, c 곡선은  $6.6 \mu m$ 점에서 y 방향으로 분포되는 전위이다. 그림 8은 X방향을따라 분포되는 전류곡선이며 a 곡선은  $1.0 \mu m$ 점, b 곡선은  $3.1 \mu m$ 점, c 곡선은  $7.9 \mu m$ 점이다.

#### 3. 2 Threshold 전압

Threshold 전압은 다음식에 따른다.

$$V_{TH} = V_{FB} + \{ (2 \epsilon_{si} q N_A \phi_B) / C_{ox} \} + 2 \phi_B \quad (10)$$

그림 9은 threshold 전압의 변화를 채널길이 on에 따라서 시뮬레이션에 의한 결과와 계산식에 의한 결과가 잘 일치하였다. 또한 채널길이  $1 \mu m$ 에서,  $N^+ - P$  접합길이에 따른 threshold 전압의 변화를 그림 10에 나타냈으며 디바이스의 온도가 높아질수록, 또한  $N^+ - P$  접합길이가 길어질수록 threshold 전압은 감소하였다.

#### 3. 3 ON-저항과 Transconductance

MOSFET의 on-저항과 transconductance에 대해 SUN에의해 수행된 실험값과 본 simulation에 의한 값에 대한 비교를 표 1, 표 2에 각각 나타내었다.

유효채널이 증진형일때 ON-저항에 대한 계산식은 다음과 같다.

$$R_E = \frac{1}{(W/L_{eff}) C_{ox} \mu_E (V_G - V_{TH})} \quad (11)$$

Transconductance  $g_m$ 은 scattering limited velocity 아래에서, 짧은채널을가진 포화 영역에서  $g_m$ 의 값은 다음과 같다.

$$g_{m_{max}} = C_{ox} \cdot W \cdot V_{sat} \quad (12)$$

## 4. 결 론

VDMOS의 I-V 특성을 컴퓨터 시뮬레이션하였으며 또

한,  $V_D = 0 \sim 20$  V 범위에서 정전위분포와 전류분포가 시뮬레이션 되었는데 드레인전압이 높을수록 디바이스의 공핍층은 더욱증가되고 전류는 디바이스 왼쪽부분으로 집중하여 흐르게되었다. Threshold 전압특성에 대해 시뮬레이션 하였으며, 채널의 길이가 짧아질수록 Threshold 전압은 감소하고, 디바이스 온도가 높아질수록,  $N^+ - P$  접합 길이가 길어질수록 Threshold 전압이 감소하였다. I - V 특성곡선에 영향을미치는 on - 저항과 Transconductance에 대해서 연구되었는데, 이들은 선행연구자의 실험결과와 본 시뮬레이션의 결과를 비교한결과 잘 일치하였다.

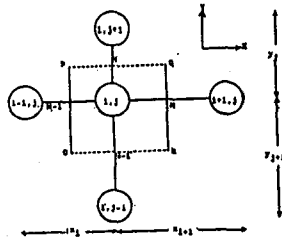


Fig 1. Node of nonuniform grid

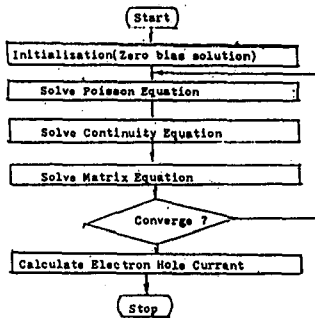


Fig 2. Flowchart of solutions

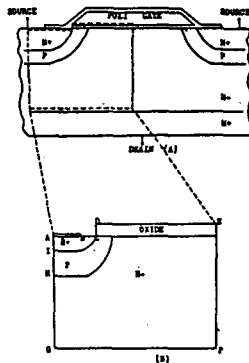


Fig 3. VDMOSFET structure, half section

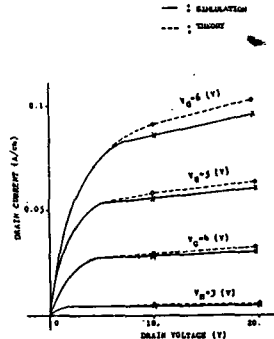


Fig 4. I - V Curve at  $V_{GS} = 3 - 6(V)$

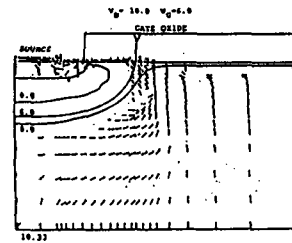


Fig 5. Equipotential and current flow pattern at  $V_{DS} = 10$  V,  $V_{GS} = 6$  V

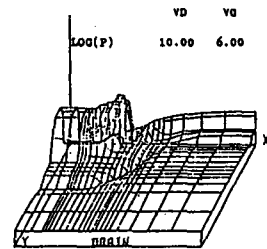


Fig 6(a). Carrier concentration at  $V_{DS} = 10$  V,  $V_{GS} = 6$  V

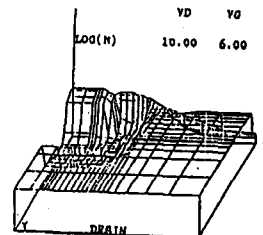


Fig 6(b). Carrier concentration at  $V_{DS} = 10$  V,  $V_{GS} = 6$  V

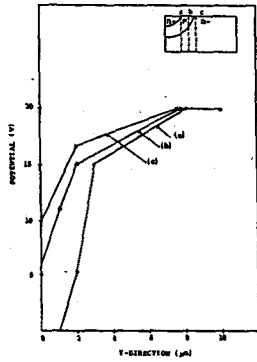


Fig 7. Potential distribution  
Y - direction

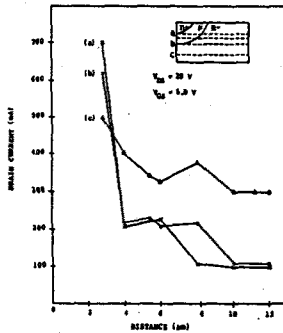


Fig 8. Current distribution  
X - direction

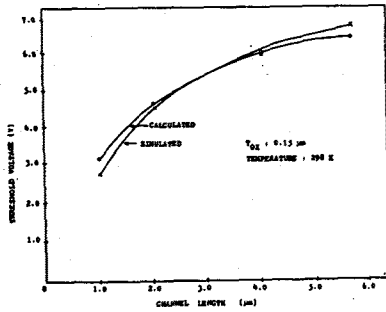


Fig 9. Threshold voltage by channel length

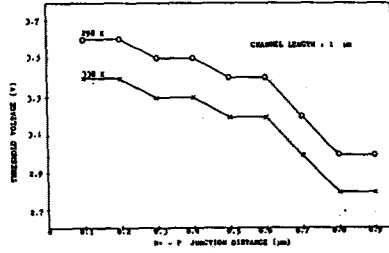


Fig 10: Threshold voltage by Temperature  
variation

Table 1. Comparison between simulation resistance  
and experimental data

	GATE BIAS (Volts)				
	3	4	5	6	7
SIMULATION RESULTS ( $\Omega$ )	57	31	15	13	12
EXPERIMENTAL DATA ( $\Omega$ )	42	18	14	13	11

Table 2. Comparison between simulated  
transconductance and experimental data

	GATE BIAS (Volts)			
	3	4	5	6
SIMULATION RESULTS ( $\mu S$ )	31	53	56	57
EXPERIMENTAL DATA ( $\mu S$ )	20	35	45	49

참고 문헌

- 1) Selberherr, s. et al.: "MINIMOS- A Two Dimensi-  
onal Mos Transistor Analyzer," IEEE Trans.  
Electron Device, ED-27, 1540-1550, 1980
- 2) Sun, S.C et al.: "Modeling of the On-Resistance  
of LDMOS, VDMOS and VMOS Power Transistors,"  
IEEE Trans. Electron Devices, ED-27, 356-367,  
1980